

애플리케이션 노트 AN-68

LYTSwitch-7 제품군

디자인 안내서

배경

LED가 주류 상품이 되어가면서 제조 원가의 절감이 최우선적인 과제가 되었습니다. 일반적인 A19 전구의 DOE 원가 분석에 따르면 LED 드라이버가 시스템 원가의 약 15% ~ 20%를 차지합니다. 따라서 모든 LED OEM은 경쟁이 심화되는 시장에 대처하기 위해 드라이버의 BOM 원가를 절감할 수 있는 방법을 찾아야 합니다.

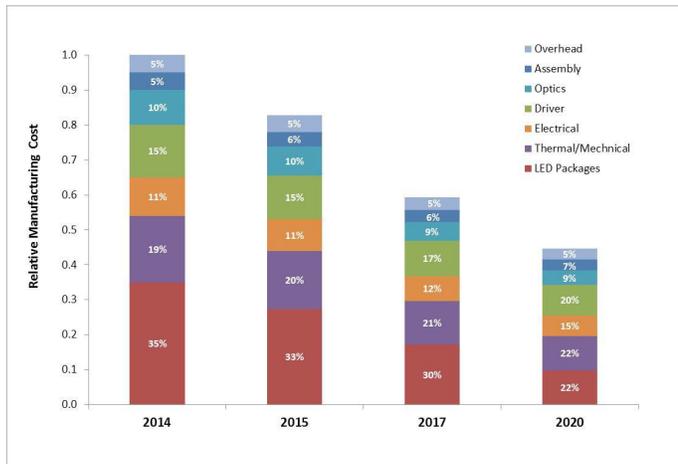


그림 1. 일반적인 A19 대체 램프의 원가 분석
(출처: DOE SSL 원탁 회의 및 워크숍 참가자 모임)

디머블 LED 드라이버 회로는 일반적으로 복잡하며, 백열 전구와 같은 고전력 저항 부하용으로 설계된 레트로핏 디머와의 호환을 위해 많은 부품을 필요로 합니다.

LYTSwitch-7 IC는 저렴하지만 안정적인 솔루션의 필요성을 고려하면서 디밍 호환성을 해결해 줍니다.

소개

LYTSwitch™-7 제품군은 저렴한 일체형(single-stage), 높은 PF(역률)의 정전류 및 댐퍼리스 디머블 LED 전구에 이상적입니다.

해당 제품군은 고전압 MOSFET을 가변 온-타임 CrM(Critical Conduction Mode) 컨트롤러와 통합했습니다. 최소한의 외부 부품을 사용한 다양한 보호 기능이 업계 최고의 전력 밀도와 기능을 제공합니다.

로우 사이드 구성을 통해 DC 버스에서 BYPASS 핀까지 단일 풀업 저항을 사용할 수 있어서 바이어스 권선이 불필요하고 저비용 기성품 드럼 초크의 사용이 가능합니다.

오토-리스타트가 적용된 보호 기능에는 입력 및 출력 과전압 보호, 출력 쇼트 보호 및 오픈 루프 보호가 포함됩니다.

써멀 폴드백을 사용하여 높은 온도에서도 조명이 보장됩니다. 과열 셧다운으로 고장 상태 시 보호 기능을 제공합니다.

제어 알고리즘 덕분에 턴온이 빠르고 팝온이 낮으며 디밍 비율이 10:1 보다 좋고 모노토닉 디밍 프로파일을 가집니다.

범위

이 애플리케이션 노트는 LYTSwitch-7 디바이스 제품군을 사용하여 비절연 AC-DC 벽 파워 서플라이를 설계하는 엔지니어를 위해 작성되었습니다. 모든 회로 부품의 선택을 위한 단계별 설계 절차를 제시합니다.

이 애플리케이션 노트에서는 설계 프로세스 중 파워 서플라이 엔지니어에게 더 많은 제어권을 부여하는 스프레드시트 기반 애플리케이션인 PIXIs Designer를 이용합니다. 이 소프트웨어는

<http://www.power.com/ko/design-support/pi-expert-design-software>에서 다운로드할 수 있는 PI Expert™ 설계 소프트웨어 제품군의 일부입니다.

본 애플리케이션 노트 이외에도 새로운 설계의 시작 시 아주 유용하게 사용될 엔지니어링 프로토타입 보드, 보고서 및 디바이스 샘플이 포함된 LYTSwitch-7 RDK(레퍼런스 디자인 키트)를 활용할 수 있습니다.

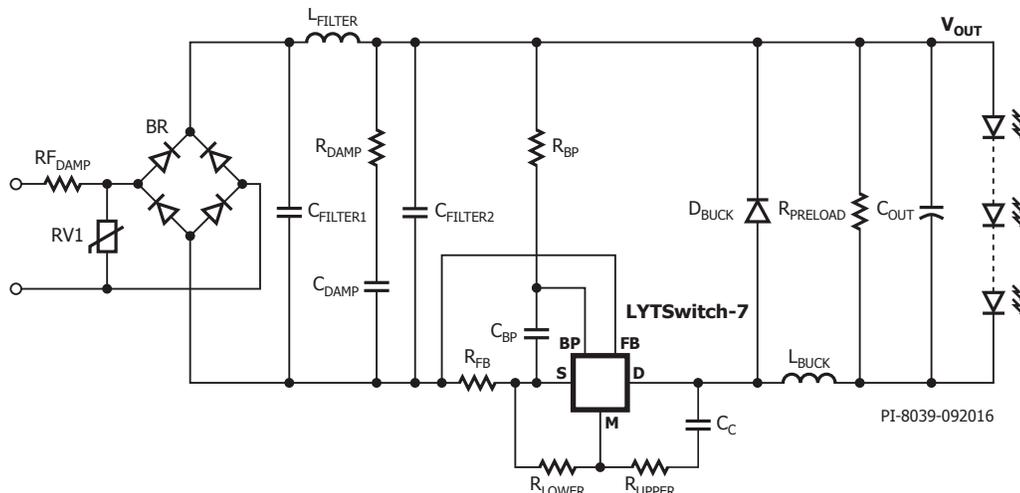


그림 2. 로우 사이드 벽 구성의 일반적인 LYTSwitch-7 회로도

핀 기능 설명

핀 이름	기능
BYPASS(BP) 핀	5.22V 서플라이 레일
MULTIFUNCTION (M) 핀	모드 1: MOSFET OFF • CrM을 보장하기 위해 인덕터 감자화(ZCD) 감지 • 출력 OVP 센싱 • 안정 상태 작동 전압 범위: [1V - 2.4V] 모드 2: MOSFET ON • 라인 OVP 센싱
FEEDBACK(FB) 핀	• 외부 전류 센싱 저항을 사용한 MOSFET 전류 센싱 • 정상 작동 전압 범위: $[V_{FB(REF)} - 0V]$
DRAIN(D) 핀	고전압 내부 MOSFET
SOURCE(S) 핀	전력 및 신호 그라운드

표 1. 핀 기능 설명

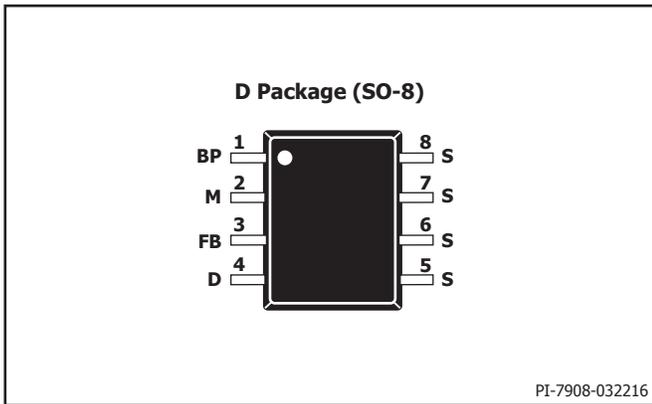


그림 3. LYTSwitch-7 핀 구성

LYTSwitch-7 작동

LYTSwitch-7 IC는 출력 전류가 평균 인덕터 전류와 동일한 CrM(Critical Conduction Mode) 벅 토폴로지에서 작동합니다.

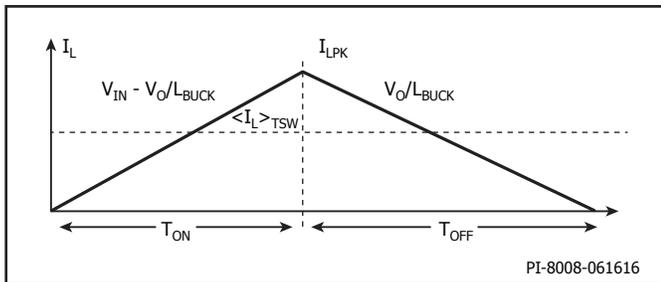


그림 4. CrM(Critical Conduction Mode) 인덕터 전류 프로파일

연결된 디머가 없는 경우 LYTSwitch-7 IC는 피크 Current Limit을 적용하고 T_{ON} 를 제어하여 일정한 Current Limit 영역의 시간(t_{CC})과 데드존의 시간(T_{DZ}) 간에 일정한 비율을 유지함으로써 정전류(CC) 레귤레이션을 유지합니다.

$$\frac{t_{CC}}{T_{DZ}} = 1$$

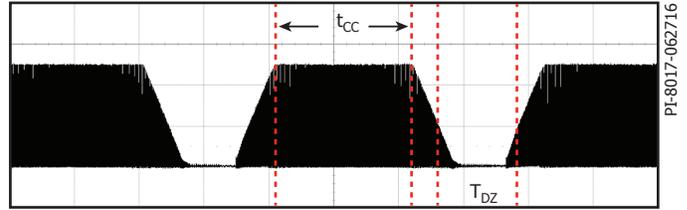


그림 5. LYTSwitch-7 준비율 컨트롤 구성

페이징 입력으로 작동하는 LYTSwitch-7 IC는 T_{ON} 을 조정하여 비율을 1로 유지합니다. 하지만 $T_{ON(MAX)}$ 에 도달하면 내추럴 디밍이 따라옵니다. 즉, 도통각이 변경되면 평균 인덕터 전류가 감소하여 출력 전류가 낮아집니다.

그림 6 ~ 9는 DER-539에서 LYTSwitch-7 IC로 디밍이 이루어지는 방식을 보여 줍니다.

연결된 디머가 없을 경우

출력 전류는 최대값입니다. $t_{CC}/T_{DZ} = 1$, $T_{ON} < T_{ON(MAX)}$

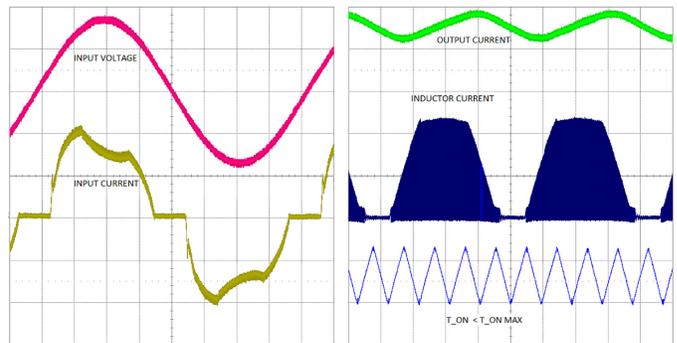


그림 6. 완전 AC 도통에서 입력 및 출력 파형

페이징 디밍, 150° 도통각

출력 전류가 자연스럽게 감소하고 $t_{CC}/T_{DZ} = 1$ 비율이 유지됩니다.

$$T_{ON} < T_{ON(MAX)}$$

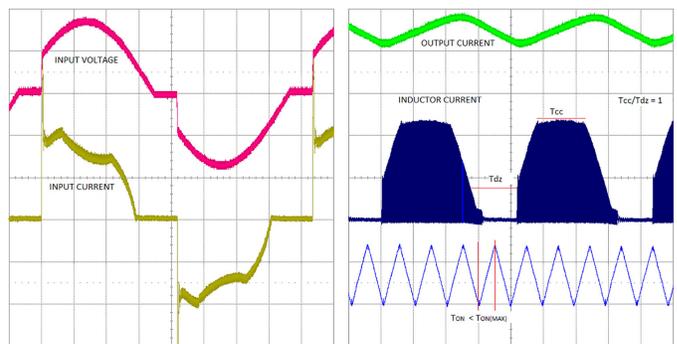


그림 7. 도통각 150°에서 입력 및 출력 파형

페이지 컷 디밍, 90° 도통각

페이지 컷으로 인한 출력 전류의 추가 저하. t_{CC}/T_{DZ} 비율이 1 미만입니다. $T_{ON} = T_{ON(MAX)}$. 스위칭은 입력 전압 강하 시 입력 전류를 늘리는 피크-전류를 기반으로 합니다.

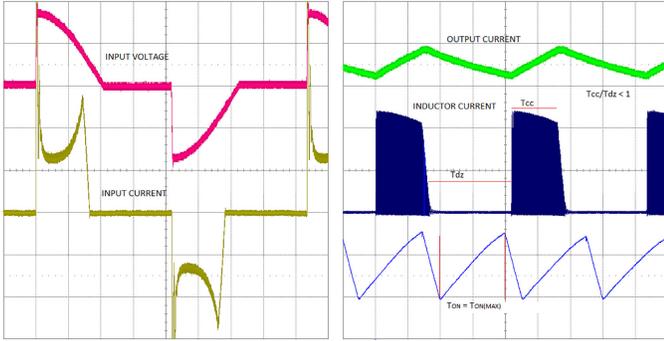


그림 8. 도통각 90°에서 입력 및 출력 파형

페이지 컷 디밍, 60° 도통각

T_{ON} 은 $T_{ON(MAX)}$ 에서 유지됩니다. 출력 전류는 자연스럽게 감소합니다. 입력이 낮아지면 입력 전류가 자연스럽게 올라가면서 TRIAC 디머의 정상 작동을 유지합니다.

그림 10은 NEMA SSL7A-2015 표준을 쉽게 충족하는 LYTSwitch-7 IC의 일반적인 디밍 곡선입니다.

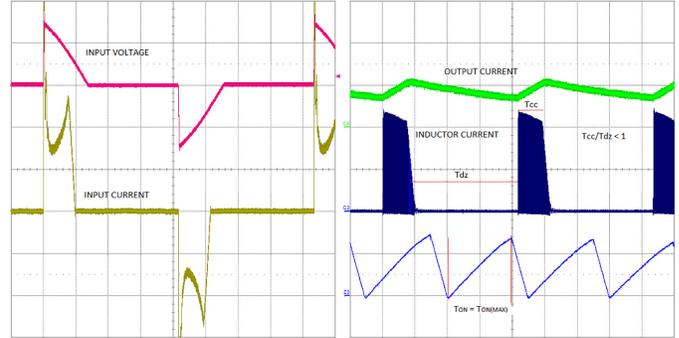


그림 9. 도통각 60°에서 입력 및 출력 파형

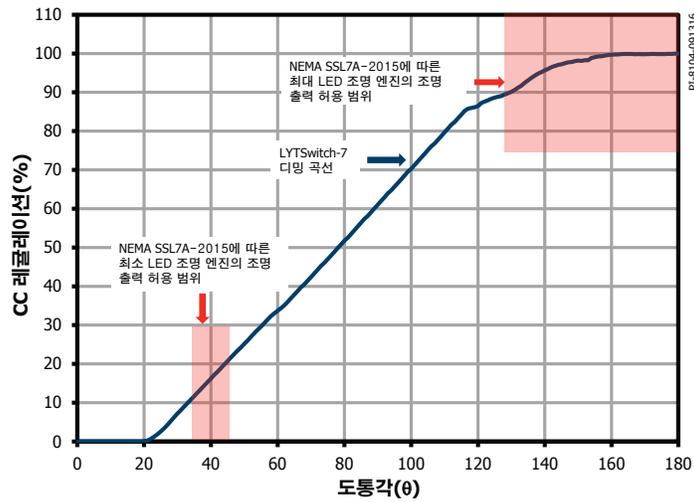


그림 10. LYTSwitch-7 디밍 곡선과 SSL7A-2015 제한

단계별 설계 절차

1단계 – 애플리케이션 변수 $V_{AC_{MIN}}$, $V_{AC_{TYP}}$, $V_{AC_{MAX}}$, f_L , V_o , I_o , V_D , 최적화 파라미터 입력

애플리케이션 변수 입력				
LINE VOLTAGE RANGE			로우 라인	AC 입력 전압 범위
VACMIN			90 V	최소 AC 입력 전압
VACTYP			115 V	일반적인 AC 입력 전압
VACMAX			132 V	최대 AC 입력 전압
FL			50 Hz	AC 메인 주파수
VO			50 V	출력 전압
IO			160 mA	평균 출력 전류 사양
EFFICIENCY			0.90	효율 예상치
PO			8.00 W	연속 출력 전력
VD			0.70 V	출력 다이오드 순방향 전압 강하

그림 11. 설계 스프레드시트의 애플리케이션 변수 색션

입력 전압 범위 및 라인 주파수

표 2에서 입력 전압 범위 및 라인 주파수를 결정합니다.

입력 전압	$V_{AC_{MIN}}$	$V_{AC_{TYP}}$	$V_{AC_{MAX}}$	F_L (Hz)
로우 라인 전용	90	100/115	132	50/60
하이 라인 전용	180	230	265	50
유니버설 입력용	90	115/230	265	50/60

표 2. 입력 라인 전압 범위 및 라인 주파수

정격 출력 전압, V_o (V)

표 3에 기반하여 정격 LED 출력 전압을 입력합니다. 최적의 디밍 성능을 위해 권장 V_o 열에서 선택합니다. 확장 V_o 열은 권장값을 넘어서는 디바이스를 사용할 수 있는 유연성을 제공합니다. 하지만 디밍 응답이 보장되지 않으며 실제 프로토타입에서 검증되어야 합니다.

입력 전압 범위 (V_{AC})	권장된 V_o	확장 V_o
로우 라인 또는 유니버설 입력용	25 - 55	15 - 72
하이 라인 전용	25 - 80	15 - 120

표 3. 출력 전압 범위

정격 출력 전류, I_o (mA)

정격 출력 전류를 입력합니다. 허용되는 최대 출력 전류는 LYT7504D의 경우 400mA, LYT7503D의 경우 265mA이며 이를 통해 디바이스가 내부 Current Limit에 도달하는 것을 방지합니다. I_o 와 I_{PK} 간의 관계는 아래와 같이 산정됩니다.

$$I_{PK} \cong 3.6 \times I_o$$

출력 다이오드 순방향 전압 강하, V_D (V)

출력 다이오드의 평균 순방향 전압 강하를 입력합니다. V_D 의 기본값은 0.7V입니다.

2단계 – LYTSwitch-7 디바이스 선택

"자동"을 선택하면 PIXIs에서 적절한 디바이스 크기를 선택합니다. 수동 선택의 경우 전력표에서 디바이스를 선택합니다.

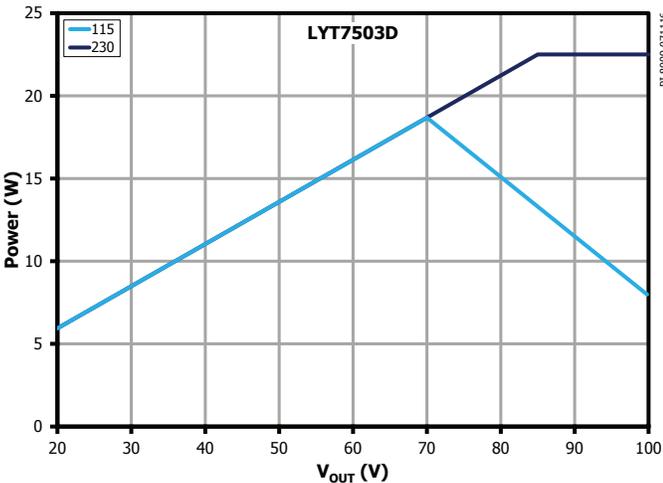
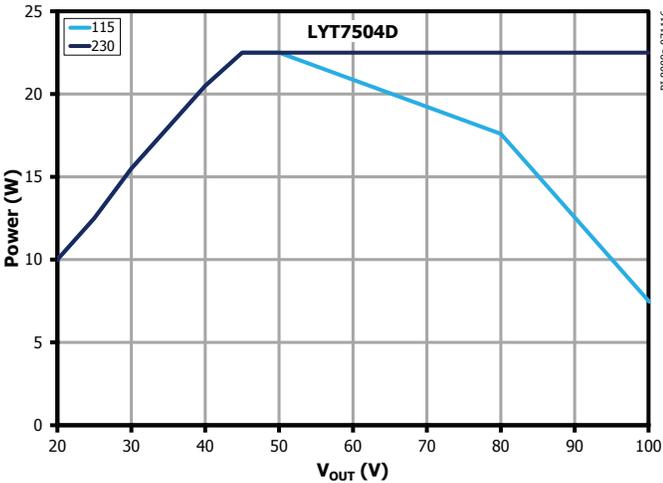


그림 12. 출력 전력표 그래프

3단계 – 출력 인덕턴스 결정

설계 스프레드시트가 사용할 권장 인덕턴스, $L_{P(TYP)}$ 를 계산합니다. 또한 $L_{P(MIN)}$ 와 $L_{P(MAX)}$ 사이의 모든 값을 사용할 수 있도록 인덕턴스 범위를 계산합니다. 계산 시 작동 인덕턴스와 관련하여 최고의 성능을 위해 다음의 설계 파라미터를 고려합니다.

- 스위칭 주파수 – 인덕턴스가 높을수록 피크 스위칭 주파수가 낮아집니다. 이를 통해 사용자는 더 나은 EMI 성능을 위해 스위칭 주파수를 조정할 수 있습니다.
- 인덕터/보빈 크기 – 인덕턴스가 높을수록, 턴 수가 많고 코어 크기도 더 클 수 있음을 의미합니다.
- 라인 레귤레이션 – 인덕턴스가 높을수록 라인 레귤레이션은 편평해 집니다.

4단계 – 출력 인덕터 유형 선택

사용자는 보빈 유형이나 기성품 드럼-코어 인덕터를 선택하여 사용할 수 있습니다. 드럼-초크는 보빈 유형 인덕터보다 훨씬 저렴합니다.

비차폐 드럼-코어 출력 인덕터 사용 팁

LYTSwitch-7 IC 로우 사이드 스위칭 벅 토폴로지를 사용하면 낮은 EMI로 비차폐 드럼-초크를 사용할 수 있습니다. 일관된 성능을 위해 다음의 팁을 권장합니다. 시스템에서 인덕터의 위치(즉, 메인 및 EMI 인덕터)와 역할 관리에 대한 기본 개념은 이러한 인덕터 사이의 자속 커플링과 마그네틱 자속이 도통면에 단락하는 것을 방지하는 것입니다.

- 입력 필터 인덕터와 출력 인덕터가 모두 비차폐인 경우 이 둘 사이의 간격이 충분해야 합니다.
- 커패시터의 케이스는 알루미늄 금속이므로 출력 인덕터와 출력 전해 커패시터 사이에 충분한 간격을 확보하십시오.
- 인덕터를 PCB의 중간에 금속 케이스와 가능한 멀리 배치하십시오. 출력 레귤레이션 및 EMI가 금속 케이스 내 드라이브의 영향을 받지 않는지 확인하십시오.
- 자속이 서로 반대가 되도록 인덕터 방향을 정하십시오. PCB에 삽입될 때 드럼-초크의 방향이 유지되도록 권선의 시작과 끝을 제어해야 할 수 있습니다.

PIXIs에서 공통 트랜스포머 코어 목록 중 선택하거나 다른 코어를 사용하는 경우 "커스텀"을 선택하고 파라미터를 채웁니다. 드럼-코어에 대해 "기성품"을 선택합니다. 표준 값에 대해서는 표 4를 참조하십시오.

LYTSWITCH-7 변수 입력			
DEVICE BREAKDOWN VOLTAGE		725 V	이 스프레드시트는 725V 디바이스만 지원합니다.
DEVICE	자동	LYT7503D	실제 LYTSwitch-7 디바이스
ILIMITMIN		1.06 A	최소 Current Limit
ILIMITTYP		1.15 A	일반 Current Limit
ILIMITMAX		1.24 A	최대 Current Limit
TON		2.95 us	VACTYP에서 고정 온-타임 영역 동안 온-타임
FSW		103 kHz	VACTYP에서 고정 Current Limit 영역의 최대 스위칭 주파수
DMAX		2.40	고정 온-타임 영역에서 가능한 최대 듀티 사이클

그림 13. 설계 스프레드시트의 LYTSwitch-7 변수 선택

인덕터 설계 파라미터			
LP_MIN		290 uH	절대 최소 설계 인덕턴스
LP_TYP		582 uH	일반적인 인덕턴스
LP_TOLERANCE		10 %	설계 인덕턴스의 오차
LP_MAX		873 uH	절대 최대 설계 인덕턴스

그림 14. 설계 스프레드시트의 인덕터 설계 선택

5단계 – 프리휠링 다이오드 선택

다음에 기반하여 프리휠링 다이오드를 선택합니다.

- 역 리커버리 시간, t_{rr} - CrM 작동을 통해 역 리커버리가 더 느린 출력 다이오드를 사용할 수 있습니다 (최대 250ns).
- 피크 역 전압, PV_{0} - 피크 입력 전압보다 최소 25% 높은 마진을 가진 피크 역 전압(PIV) 정격을 선택합니다.
- 순방향 전류, I_F - 출력 전류 I_O 를 최소 정격 순방향 전류로 사용합니다. I_O 가 300mA 미만인 설계에는 1A 다이오드를 권장합니다. 출력 전류(I_O)가 더 높은 경우에는 순방향 전류 경감 곡선을 확인하여 해당 작동 온도에 2A 다이오드가 필요한지 결정합니다.

6단계 – 출력 커패시터 선택

표준 기성품 인덕터 값	
470 μ H	1800 μ H
560 μ H	2200 μ H
680 μ H	2700 μ H
820 μ H	3300 μ H
1000 μ H	3900 μ H
1200 μ H	4700 μ H
1500 μ H	5600 μ H

표 4. 표준 드럼 코어 인덕터 값

LYTSwitch-7 IC는 리플 전류가 높아지는 대신 출력 커패시터가 없어도 작동할 수 있습니다. 하지만 LED 안정성을 높이고 디밍 도중 쉬머 (shimmer) 현상 방지를 위해 리플 전류 제한이 필요한 경우가 있습니다.

리플 전류는 출력 커패시턴스 및 LED 벌크 저항 모두의 특징입니다. 따라서 실제 LED 부하에 따라 출력 커패시턴스 크기를 정하고 특정 리플 전류 사양에 필요한 최소값을 결정해야 합니다.

출력 OVP 레벨보다 높은 정격 전압을 가진 전해 커패시터를 권장합니다.

7단계 – 더미 부하 저항 선택

오픈 부하 조건에서 출력 커패시터 전압의 점진적 증가를 방지하려면 더미 부하 저항이 필요합니다. 최소 권장값은 다음 식으로 구할 수 있습니다.

$$R_{PRELOAD} = \frac{V_o}{1mA}$$

8단계 – 바이패스 커패시터 선택

BYPASS 핀 커패시터의 값은 특히 순간 입력 전압이 V_o 미만일 경우 BYPASS 핀 전압이 V_{BP} 리셋 밑으로 떨어지는 것을 방지할 수 있을 정도로 커야 합니다. 대부분의 설계에는 정격 전압이 7V보다 큰 10 μ F가 권장됩니다.

인덕터 코어/구성 변수 입력			
CORE	EE13	EE13	트랜스포머 코어 입력
CUSTOM CORE NAME			커스텀 코어가 사용되는 경우 - 여기에 부품 이름 입력
AE		17.10 mm ²	코어 유효 단면적
LE		30.20 mm	코어 유효 패턴 길이
AL		1130.00 nH/turn ²	갭이 없는 코어 유효 인덕턴스
AW		21.28 mm ²	보빈의 권폭
BW		7.40 mm	보빈 실제 권선 폭
레이어		6.0	레이어 수

그림 15. 설계 스프레드시트의 인덕터 코어/구성 변수 섹션

9단계 – 피드백 저항 결정

다음 공식을 사용하여 피드백 센싱 저항 R_{FB} 를 계산합니다.

$$R_{FB} = \frac{V_{FB(REF)}}{3.6 \times I_O}$$

참조:

- R_{FB} : 피드백 센싱 저항
- $V_{FB(REF)}$: FEEDBACK 핀 레퍼런스 전압(-279 mV)
- I_O : 출력 전류

I_O 를 정격 입력 전압에 맞추기 위해 R_{FB} 트리밍이 필요할 수 있습니다.

10단계 – MULTI-FUNCTION 핀 부품 결정

R_{UPPER} 선택

아래 표를 사용하여 기본 R_{UPPER} 값을 선택합니다.

입력 전압 범위	권장 R_{UPPER}
로우 라인 전용	402kΩ, 1%, 0805
하이 라인/유니버설 입력용	402kΩ, 1%, 1206

표 5. 권장 R_{UPPER} 값

R_{LOWER} 선택

R_{UPPER} 및 R_{LOWER} 는 출력 OVP 기준점(Threshold) VO_{OVP} 를 설정하는 전압 분배 네트워크를 구성합니다.

로우 사이드 구성에서 출력 전압은 커플링 커패시터를 사용함으로써 감지됩니다. 이 방식에서는 보조 권선이 사용되는 트랜스포머 기반 벅 인덕터가 필요하지 않습니다. 로우 사이드 구성에서 R_{LOWER} 를 선택할 때는 정상 작동 중 출력 OVP의 거짓 트리거를 방지하도록 각별히 주의해야 합니다.

피크 MULTIFUNCTION 핀 전압은 인덕턴스, V_O 및 입력 전압의 영향을 받습니다. 아래의 공식을 사용하여 로우 사이드 구성에서 적절한 R_{LOWER} 를 계산합니다.

$$R_{LOWER} (Low - Side) = \frac{V_{MREF} \times R_{UPPER}}{V_{OUT} - V_{MREF}}$$

참조:

V_{MREF} : 표 6에 제시된 MULTIFUNCTION 핀 레퍼런스 전압

$F_{SW}(kHz)$	V_{MREF} (로우 사이드 구성), V		로우 라인/ 유니버설 입력용
	하이 라인 $V_O < 70V$	로우 라인/ $V_O \geq 70V$	
>70	1.9	1.9	1.9
60-70	1.85	1.85	1.85
50-60	1.8	1.8	1.8
40-50	1.7	1.8	1.8
30-40	1.6	1.7	1.7
20-30	1.5	1.6	1.6

표 6. 로우 사이드 구성에서 레퍼런스 MULTIFUNCTION 핀 전압(V_{MREF})

커플링 커패시터 선택

커플링 커패시터는 로우 사이드 구성에서만 적용할 수 있습니다. 100pF, COG 또는 NPO 유전체, 1kV, 세라믹 커패시터를 사용하십시오.

LYTSWITCH 외부 부품				
FB 핀 저항				
RFB_T		0.486 Ohms		피드백 핀 센싱 저항의 이론적 계산
RFB		0.487 Ohms		피드백 핀 센싱 저항의 표준 1% 값
M 핀 부품				
RUPPER		402.00 kOhms		M-핀 분배 네트워크의 상단 저항(E96/1%)
RLOWER		15.80 kOhms		M-핀 분배 네트워크의 하단 저항(E96/1%)
VO_OVP		62.8 V		VO 과전압 기준점(Threshold)
Line_OVP		452 V		라인 과전압 기준점(Threshold)
CC		100 pF		로우 사이드 벅 구성용 커플링 커패시터
RPRELOAD		50 kOhms		최소 출력 더미 부하 저항
CBP		10 uF		BP 커패시터
RBP		140 kOhms		DC 버스에서 BP 핀까지 권장 풀업 저항

그림 16. 설계 스프레드시트의 외부 부품 선택

11단계 - 디밍 부품 선택

최적화할 메인 디밍 부품은 표 17에 강조 표시되어 있습니다.

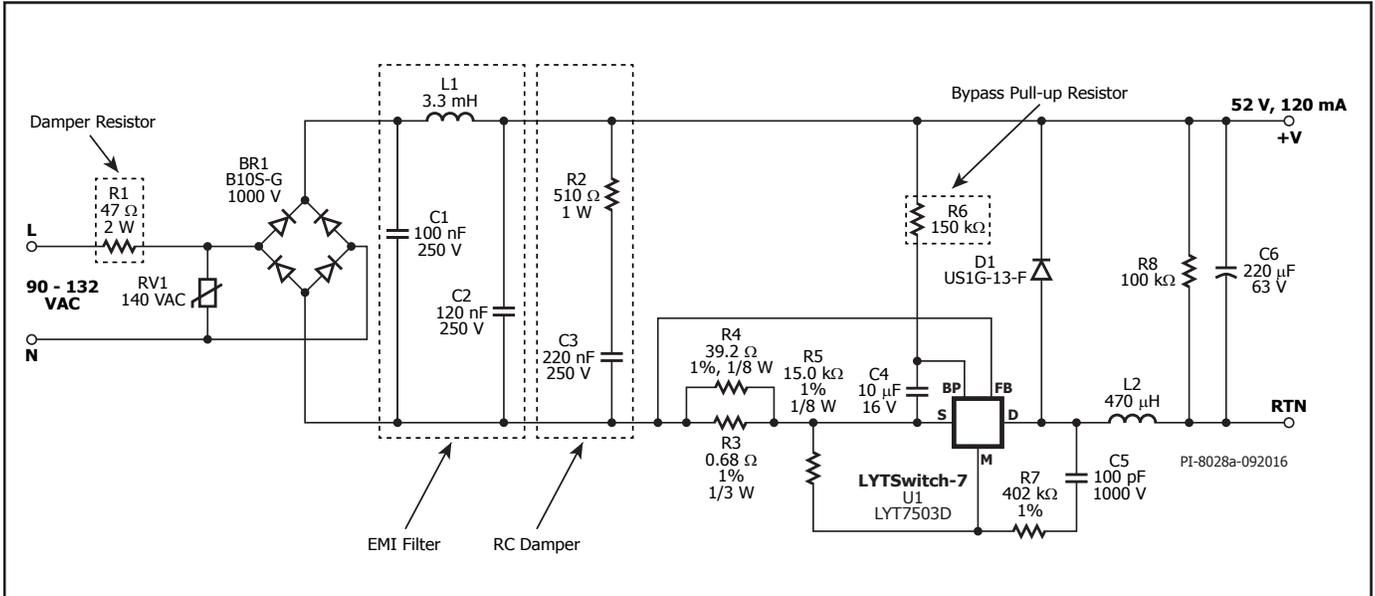


그림 17. 로우 사이드 벽 구성에서 LYT7503D를 사용하는 DER-539 로우 라인 입력 6.24W, 52V, 120mA 디머를 비절연 A19 LED 드라이버

댐퍼 저항

댐퍼 저항은 디밍의 댐퍼 및 안전 보호를 위한 퓨즈 역할을 합니다(안전 성격 퓨저블 유형의 저항을 사용해야 함). 그 값은 디머의 유형, 입력 전압, 출력 전력 및 효율 요구 사항에 따라 다릅니다.

사용되는 부품의 차이 때문에 각 디머마다 서로 다르게 작동합니다. 높은 래칭 전류와 홀딩 전류가 있는 TRIAC를 가진 디머는 일반적으로 고 출력 부하용으로 설계되었기 때문에 더 까다롭습니다. 하이 라인 작동용 설계 역시 특정 출력 전력에 대해 입력 전류가 로우 라인에서보다 낮기 때문에 더 까다롭습니다. 그림 19 ~ 22는 저항 값에 따라 입력 전류에 어떤 영향을 주는지 보여 줍니다. 이상적인 파형의 모양은 그림 22와 같아야 합니다. 하지만 저항 값이 효율 요구 사항으로 제한되는 경우도 있습니다. 지정된 출력 전력 및 입력 전압에 대한 댐퍼 저항의 권장값은 그림 18에 나와 있습니다. 또한 표 7은 다양한 LYTSwitch-7 DER에 사용되는 실제 디밍 부품을 보여줍니다.

DER #	V _o (V)	I _o (mA)	P _o (W)	라인	R _{DAMPER} (Ω)	R _{BLEED} (Ω)	C _{BLEED} (Ω)	효율 (%)
539	52	0.12	6.24	LL	47	510	220	86
540	52	0.09	4.68	LL	68	820	220	85
558	50	0.15	7.5	HL	100	510	220	85
561	60	0.125	7.5	WR	47	510	220	88
563	52	0.355	18.46	HL	100	560	220	86
568	84	0.12	10.08	HL	130	510	220	88

표 7. LYTSwitch-7 DER에서 디밍 부품 값

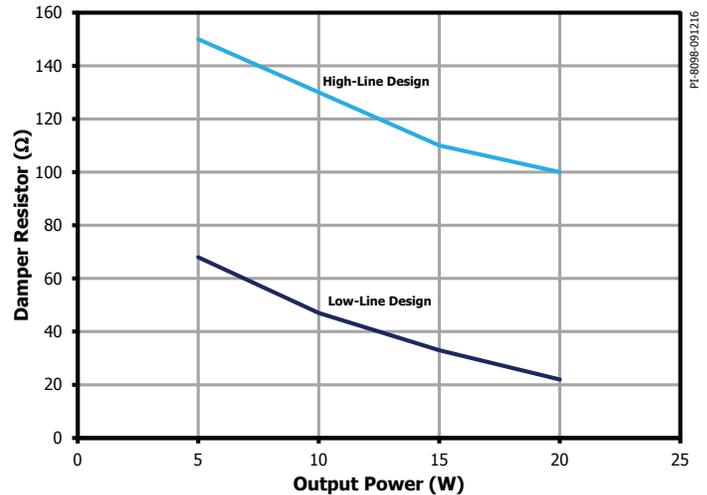


그림 18. 권장 댐퍼 레지스터 값

그림 19 ~ 22는 90° 도통각의 DER-539의 입력 전류에서 여러 댐퍼 저항(R1) 값의 영향을 보여줍니다. 값이 증가하면 댐핑 효과가 증가하므로 링잉이 억제됩니다.

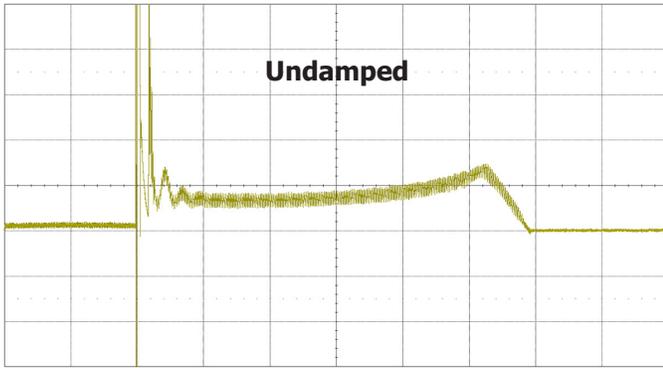


그림 19. 댐퍼 저항 없는 입력 전류

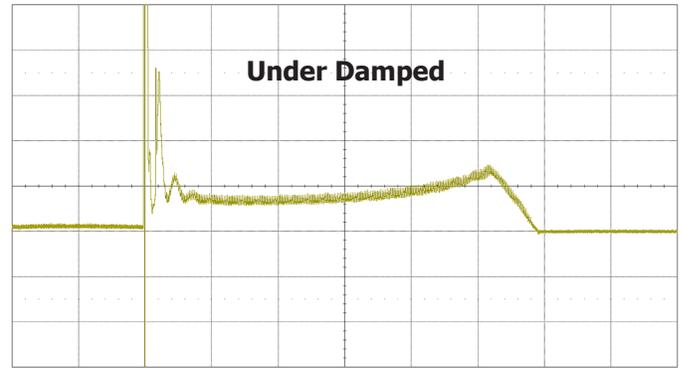


그림 20. 10Ω 댐퍼 저항 사용 시 입력 전류



그림 21. 22Ω 댐퍼 저항 사용 시 입력 전류



그림 22. 47Ω 댐퍼 저항 사용 시 입력 전류

서지 보호

MOV는 컨트롤러(U1)의 내부 MOSFET 및 브릿지 정류기(BR1)에서의 라인 서지 또는 팽창 때문에 전압 스트레스를 제한하는 전압 클램프 역할을 합니다.

EMI 필터

권장 EMI 필터는 저비용 pi(π) 구성을 사용합니다. 필터 설계는 역률 및 디밍 성능에 직접 영향을 미치므로 전체 회로 성능에도 매우 중요합니다.

입력 전류에 대한 1차측 커패시터(C1)의 효과를 그림 23에서 볼 수 있습니다. 커패시터는 높은 입력 전류 스파이크를 만드는데, 이는 TRIAC 래칭 전류에 긍정적이지만 이로 인해 생기는 링잉이 홀딩 전류보다 낮아져서, 특히 커패시턴스가 낮은 경우 깜박임 현상을 만들 수 있습니다.

입력 전력이 5W 미만인 경우 LC 필터만 가지고 EMI를 통과시킬 수 있습니다. 하지만 대개의 경우 1차측 커패시터가 필요하며 47nF ~ 100nF 사이의 값이 권장됩니다.

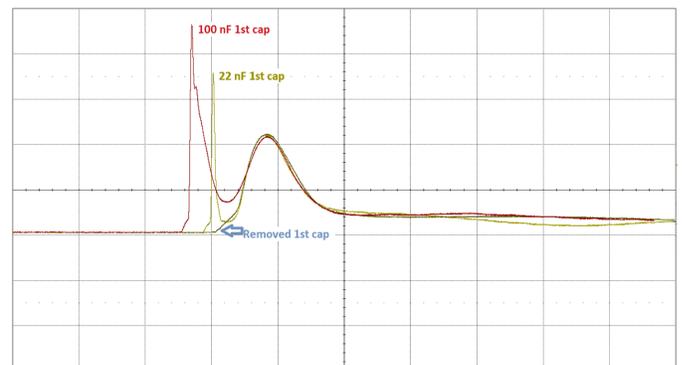


그림 23. 입력 전류에서 1차측 필터 커패시터의 효과

2차측 입력 필터 커패시터 C2에는 100nF ~ 220nF 사이의 값이 권장됩니다. 높은 값은 TRIAC 입력 전류 링잉을 댄핑하는 데 도움이 되고 호환성을 높일 수 있습니다. 하지만 230V에서 0.9 이상의 PF가 필요한 경우에는 총 입력 커패시턴스를 빠르게 선택하기 위해 25nF/W를 사용하십시오. 로우 라인 설계에서는 상대적으로 높은 입력 커패시턴스로도 높은 PF를 달성할 수 있습니다.

필터 인덕터 범위는 1mH ~ 4.7mH입니다. 입력 커패시턴스 값을 최대화하여 가능한 가장 작은 인덕턴스를 사용하십시오. 이 인덕터에 적합한 정격 전류를 선택하십시오. 특히 TRIAC가 켜질 때 돌입 전류 때문에 포화되는 경우 가청 노이즈 디밍이 생길 수 있습니다.

RC 댄퍼 선택

RC 댄퍼 회로는 디머 스위치의 TRIAC가 켜질 때 EMI 필터의 공진으로 인해 생기는 링잉 댄핑에 중요한 역할을 합니다. 입력 전류가 TRIAC 홀딩 전류(I_{HOLD}) 아래에서 링잉되는 것을 방지합니다. 그림 24는 RC 댄퍼 회로가 디밍 도중 입력 전류 파형에 미치는 영향을 보여줍니다.

대부분의 설계에서 R 및 C에 대한 일반적인 유효값은 각각 510Ω 및 220nF입니다. 다양한 LYTSwitch-7 DER에서 사용되는 실제 RC 댄퍼 값에 대한 레퍼런스는 표 7을 참조하십시오. 디머 호환성을 최적화할 때 이러한 값을 시작점으로 사용하십시오.

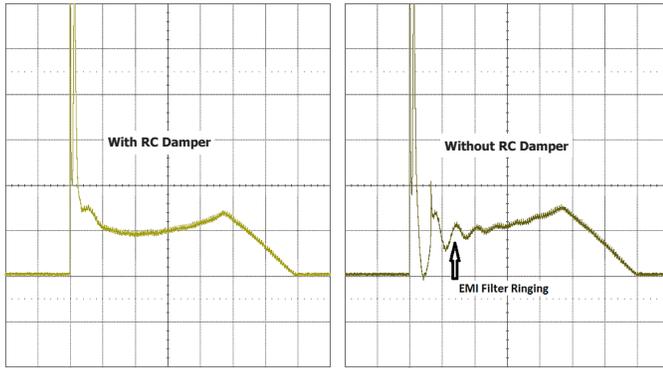


그림 24. 입력 전류 링잉에서 RC 댄퍼의 효과 표시

RC 댄퍼 배치

RC 댄퍼(R2 및 C3)의 일반적인 배치는 pi(π) 필터의 뒤입니다(그림 17). 이 구성은 대부분의 리딩 엣지 디머에서 우수한 디밍 비율(>10:1)을 제공합니다. 하지만 특정 TRIAC 디머 모델 또는 브랜드의 최대 도통각에 따라, 이 값이 낮은 경우(예: 도통각 150° 미만) 이러한 디머를 사용한 최대 출력 전류는 디머가 연결되지 않았을 때에 비해 낮을 수 있습니다. 전류를 늘리려면 RC 댄퍼를 브릿지 앞에 배치하여 도통각을 늘릴 수 있지만 이 경우 디밍 범위가 감소합니다. 그림 25는 일반적인 TRIAC 디머를 사용하는 DER-539의 디밍 성능에 있어 RC 배치와 관련된 출력 전류의 차이를 보여줍니다.

바이패스 풀업 저항 결정

디밍 도중 도통각이 작아지면 드레인의 전압이 낮아지며 비-스위칭 시간(데드존)은 드레인의 내부 공급이 컨트롤러에 대한 바이패스 공급을 더 이상 유지하지 못하는 지점까지 길어집니다. 언급된 상태 동안 바이패스 전압을 4.5V 위로 유지해야 하며, 유지하지 못할 경우 IC가 리셋되고 스위칭이 중지됩니다.

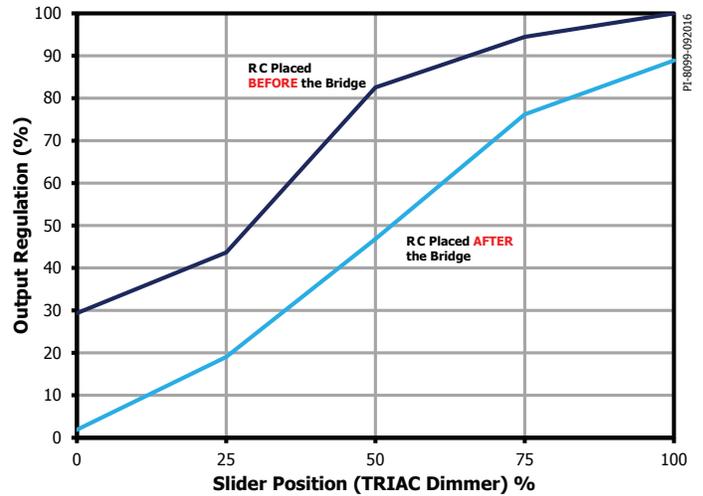


그림 25. 디밍 곡선에서 RC 댄퍼 배치의 효과

IC를 작은 도통각까지 내려서 적절하게 작동하도록 하기 위해 정류된 DC 버스부터 BYPASS 핀까지 그림 17에 보이는 풀업 저항(R_{BP}) 또는 R6를 추가할 것을 권장합니다. 권장 저항은 공식 6(Eq.6)을 사용하여 계산됩니다. 이를 통해 바이패스 전압이 딥 디밍에서도 항상 4.5V보다 높게 유지됩니다.

$$R_{BP} = \frac{V_o \times 0.8 - 5V}{250 \mu A} \quad (Eq.6)$$

최대 입력 전압에 따라 전력 소모가 높을 수 있기 때문에 저항 전력 정격의 크기를 하이 라인 작동에 적절하게 지정해야 합니다. 공식 6을 기준 값으로 사용하고, 딥 디밍에서 바이패스 전압을 4.5V보다 높게 유지하면서 전력 손실을 줄이기 위해 필요에 따라 저항을 조정하십시오.

설계 방법 요약

1. PIXIs를 사용하여 마그네틱을 설계하고 필요한 부품을 선택합니다.
2. EMI 최적화 – 입력 커패시턴스가 높을수록 호환성에 유리하므로 EMI에 필요한 최소 커패시턴스를 알면 디머 호환성에 최적화된 후 EMI 통과가 확실시됩니다.
3. 호환성 최적화
 - 댄퍼 저항 선택
 - RC 댄퍼 선택
 - R_{BP} 결정

보호 기능

SOA 보호

파워 업, 출력 과부하 또는 회로 단락 조건에서는 출력 전압이 낮거나 없을 경우 플라이휠 도통 중 인덕터에 저장된 에너지가 방전될 시간이 충분하지 않기 때문에 CCM(Continuous Conduction Mode)이 작동하며, MOSFET 전류가 안전 작동 영역(SOA) 제한을 초과 상승하여 손상을 초래할 수 있습니다. 벡 토폴로지에서는 이러한 상황이 다른 토폴로지에서보다 심각하게 나타납니다. LYTSwitch-7 IC에는 이러한 조건을 피할 수 있는 보호 기능이 있으며 피크 전류가 500ns 내에 작동 Current Limit에 도달할 경우 SOA 조건이 감지됩니다. SOA 펄스가 감지되면 다음 스위칭 주기가 활성화되기 전에 인덕터 전류를 0으로 리셋하기 위해 8개의 스위칭 펄스(F_{MIN} 사이클)를 건너뛸 것입니다.

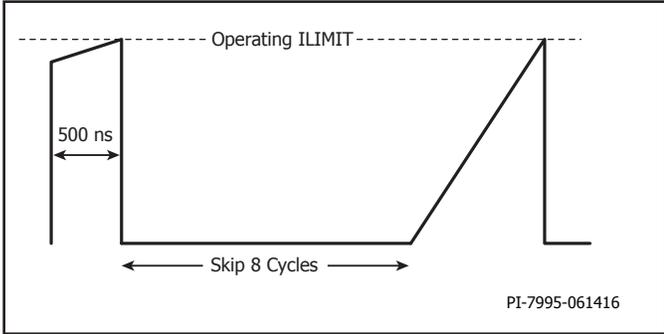


그림 26. SOA 스킵 사이클 타이밍

출력 쇼트 보호

출력 쇼트가 발생한 경우 SOA 이벤트가 트리거될 때 펄스 스키핑 모드가 활성화됩니다. 출력 쇼트가 2 SOA 이벤트를 초과하여 지속되는 경우 다음 스위칭 시도 전에 100ms 오토-리스타트 딜레이가 활성화됩니다. SOA 고장이 두 번의 100ms 오토-리스타트 시도 후에도 지속되면 딜레이가 1s로 증가합니다.

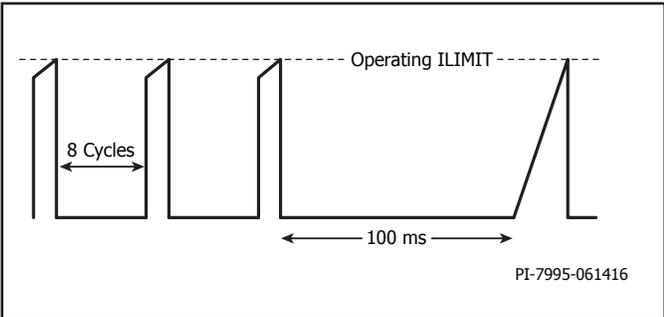


그림 27. 3개의 연속 SOA 이벤트 타이밍

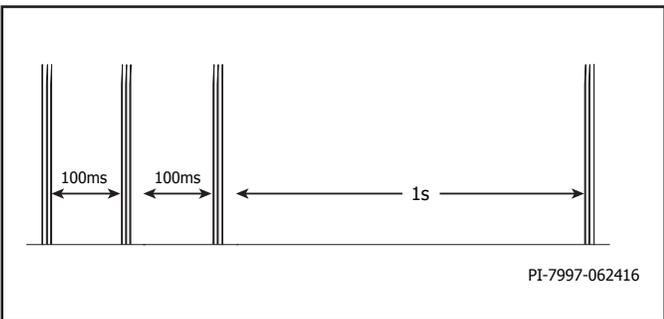


그림 28. 1s 오토-리스타트

장치가 3회 연속되는 SOA 이벤트를 감지하지 않는 경우도 있습니다. MULTIFUNCTION 핀 저전압으로 2차 보호가 구현됩니다.

MULTIFUNCTION 핀 저전압 보호

MULTIFUNCTION 핀 전압이 500ms 동안 1V 미만으로 유지되면 디바이스가 1s 오토-리스타트를 트리거합니다. 출력이 단락되면 이러한 상황이 발생할 수 있습니다. 그림 29 - MULTIFUNCTION 핀 저전압 오토-리스타트 타이밍

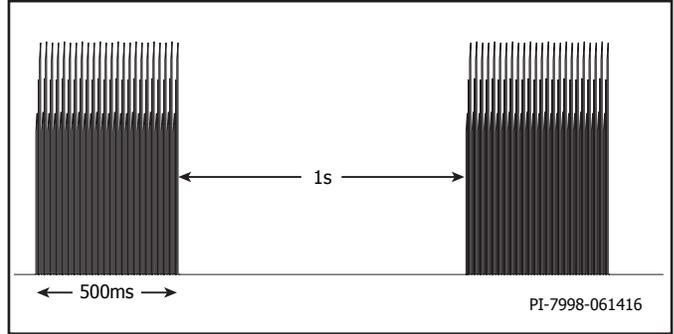


그림 29. MULTIFUNCTION 핀 저전압 오토-리스타트 타이밍

입력 과전압 보호

MOSFET가 켜질 때 MULTIFUNCTION 핀은 소스로 실제 단락되고 R_{UPPER} 를 통과하는 전류가 1mA를 초과할 경우 라인 OVP가 트리거됩니다. 고장이 트리거되고 디바이스가 오토-리스타트하면 즉시 스위칭이 중지됩니다.

$$V_{IN_{OVP}} = 1\text{mA} \times R_{UPPER} + V_{OUT} \quad (\text{Eq.7})$$

출력 과전압 보호

플라이휠 다이오드 도통 시간 중 MULTIFUNCTION 핀의 전압이 500ms 동안 V_{OVP} (2.4V)를 초과하면 출력 OVP가 트리거되고 장치가 오토-리스타트합니다.

$$V_{OUT_{OVP}} = V_{OUT} \times \frac{2.4\text{V}}{V_{MREF}} \quad (\text{Eq.8})$$

과전류 보호

R_{FB} 가 단락되는 경우처럼 내부 전류 제한에 도달하면 장치가 오토-리스타트합니다.

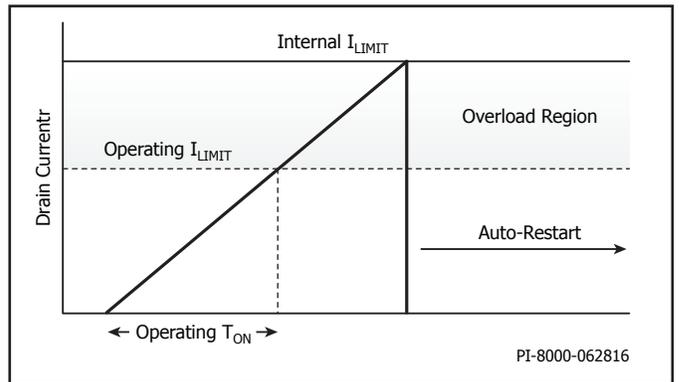


그림 30. 과전류 보호

써멀 폴드백 및 과열 섷다운

정선 온도가 145°C를 초과하면 써멀 폴드백이 시작됩니다. 출력 전류는 160°C에서 과열 섷다운이 트리거될 때까지 약 -2.5%/°C로 선형적으로 낮아집니다. 온도가 85°C까지 낮아지면 디바이스가 자동 복구됩니다.

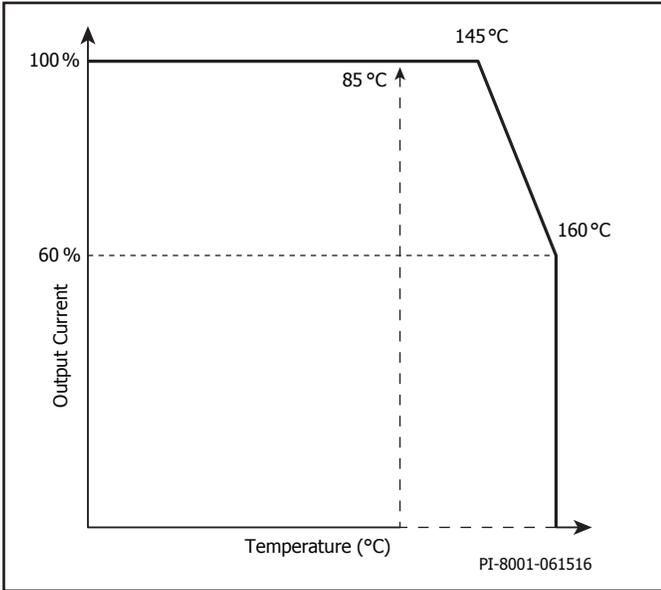


그림 31. 써멀 폴드백 및 OTP

LED 호환 디머에 대한 참고 사항

백열등을 더 이상 사용되지 않게 되고 시판되는 많은 새로운 디머들은 LED 친화적이므로 신제품들이 이러한 최신 디머에서만 작동하는 경우가 많아졌습니다.

일부 페이즈 컷 디머는 디머블 LED 전구용으로 설계됩니다. 이 정보는 일반적으로 디머 명판의 "LED" 표시로 확인할 수 있습니다. 이러한 디머의 경우 RC 댄퍼를 제거하여도 호환이 가능할 수 있습니다.

표 8에 나오는 일부 디머는 RC 댄퍼 없이 DER-539를 사용하여 정상적으로 작동하는 것이 확인되었습니다.

브랜드	모델 번호
Lutron	LGCL-153PLH-WH
Lutron	DVWCL-153PH-WH
Lutron	TGCL-153PH-WH
Lutron	CTCL-153PDH-WH
Leviton	IPL06
Leviton	6674

표 8. LYTSwitch-7을 사용한 LED 드라이버 호환 로우 라인 디머의 예

일부 디머가 LED 드라이버 "친화적"이라는 점을 고려하여 사용자는 어떤 디머가 가장 적합인지 여러 입력 구성에서 실험해볼 수 있습니다.

표 9에서는 그림 32 ~ 35에 표시된 네 가지 회로 구성에 대한 전체적인 내용을 요약합니다.

성능 기준	구성 1	구성 2	구성 3	구성 4
호환성	높음	중간	낮음	중간
효율	중간	중간	높음	낮음
BOM 원가	높음	높음	낮음	중간
디밍 비율	높음	중간	높음	높음
최대 도통에서 디머 사용 시 출력 전류 저하	중간	낮음	낮음	낮음

표 9. LYTSwitch-7에 대한 여러 입력 회로 구성의 상대적 성능 비교

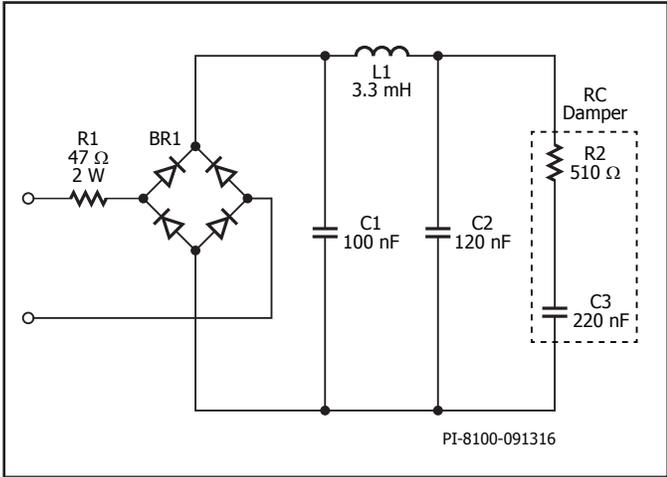


그림 32. 구성 1 - DER-539에 따른 레퍼런스

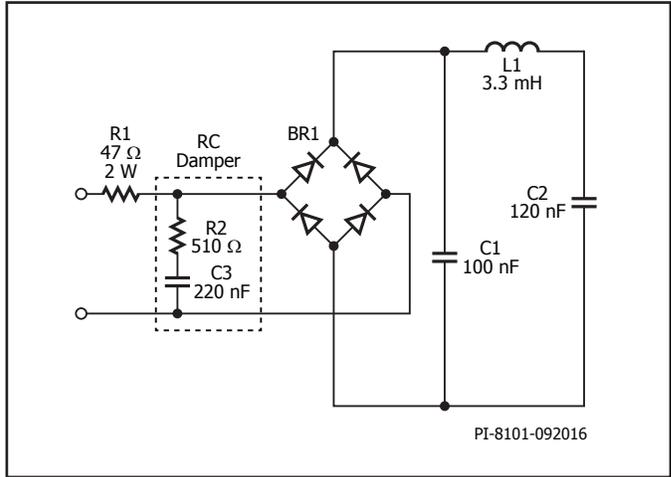


그림 33. 구성 2 - 브릿지 앞에 배치된 RC 댐퍼

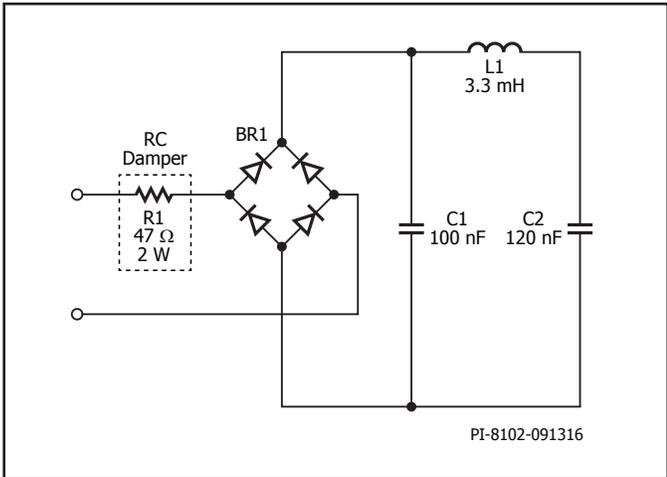


그림 34. 구성 3 - RC 댐퍼 없음

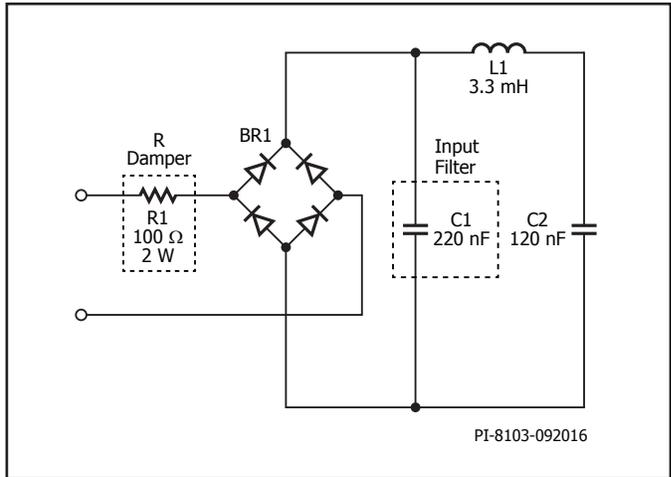


그림 35. RC 댐퍼 없음, 더 높은 R 댐퍼 및 1차 커패시터 값

PCB 레이아웃 고려 사항

그림 36에서 EMI 필터 부품은 필터 효율을 향상시키기 위해 서로 가까이 배치되어야 합니다. EMI 필터 부품 C1 및 L1은 회로 기판의 모든 스위칭 노드, 특히 U1 드레인 노드, 출력 다이오드(D1), 인덕터(T1)로부터 최대한 멀리 떨어진 곳에 배치해야 합니다.

핵심 IC 부품 R3, R4, R5, R9, R10, C5 및 C4를 신중하게 배치해야 합니다. 이러한 부품은 안테나 역할을 하는 긴 패턴을 최소화할 수 있도록 컨트롤러 U1의 핀에 매우 가깝게, 그리고 시스템 동작에 영향을 줄 수 있는 잠재적 노이즈 커플링을 피할 수 있도록 회로의 고전압 및/또는 고전류 스위칭 노드에서 가능한 멀리 배치하는 것이 좋습니다.

효과적인 노이즈 디커플링을 위해서는 바이패스 서플라이 커패시터 C4를 U1의 BYPASS 핀과 SOURCE 핀에 직접 배치해야 합니다.

그림 8에 보이는 다음 스위칭 회로 요소의 루프 영역을 최소화하면 EMI 생성이 경감됩니다.

- 인덕터 권선(T1), 프리휠링 정류기 다이오드(D1) 및 출력 커패시터(C6)로 구성된 루프 영역
- 입력 커패시터(C2), 컨트롤러 내부 MOSFET(U1), 프리휠링 정류기 다이오드(D1) 및 센싱 저항(R4, R5)으로 구성된 루프 영역

로우 사이드 구성의 LYTSwitch-7 IC에는 SOURCE 핀이 그라운드 전위에서 히트싱크로 사용됩니다. 이를 통해 설계자는 EMI 증가 없이 우수한 썬얼 관리를 위한 동판 영역을 최대화할 수 있습니다.

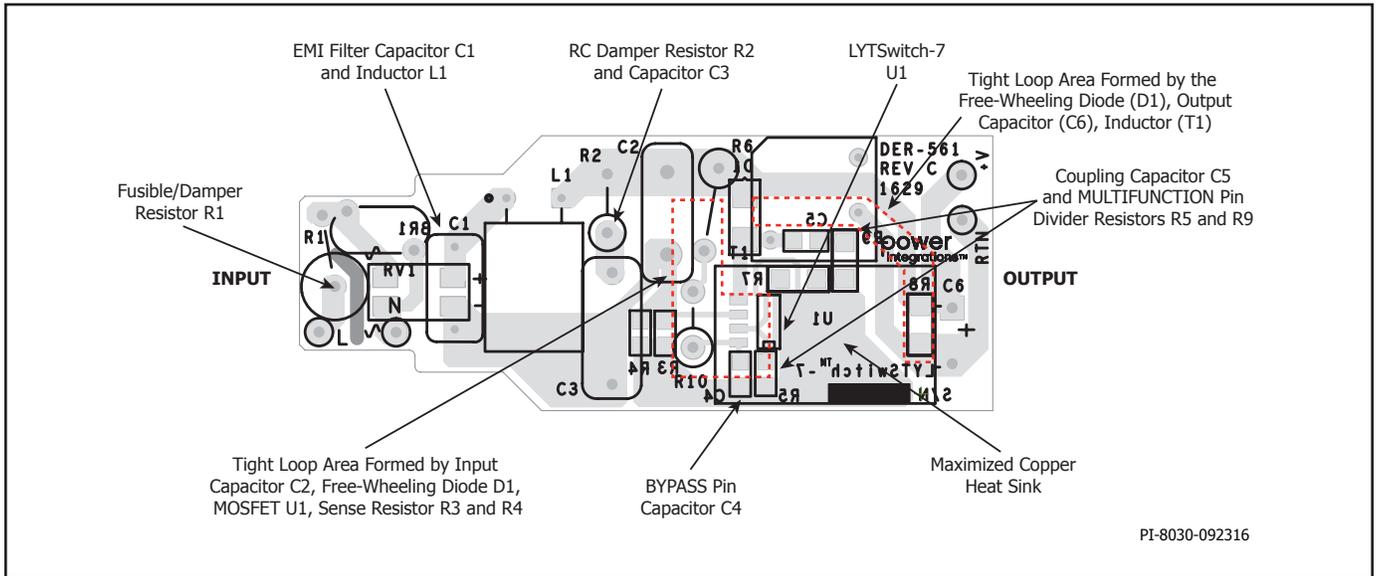


그림 36. 벽 구성에서 LYTSwitch-7을 사용한 핵심 루프 영역을 보여주는 설계 예제 DER-561 PCB 레이아웃

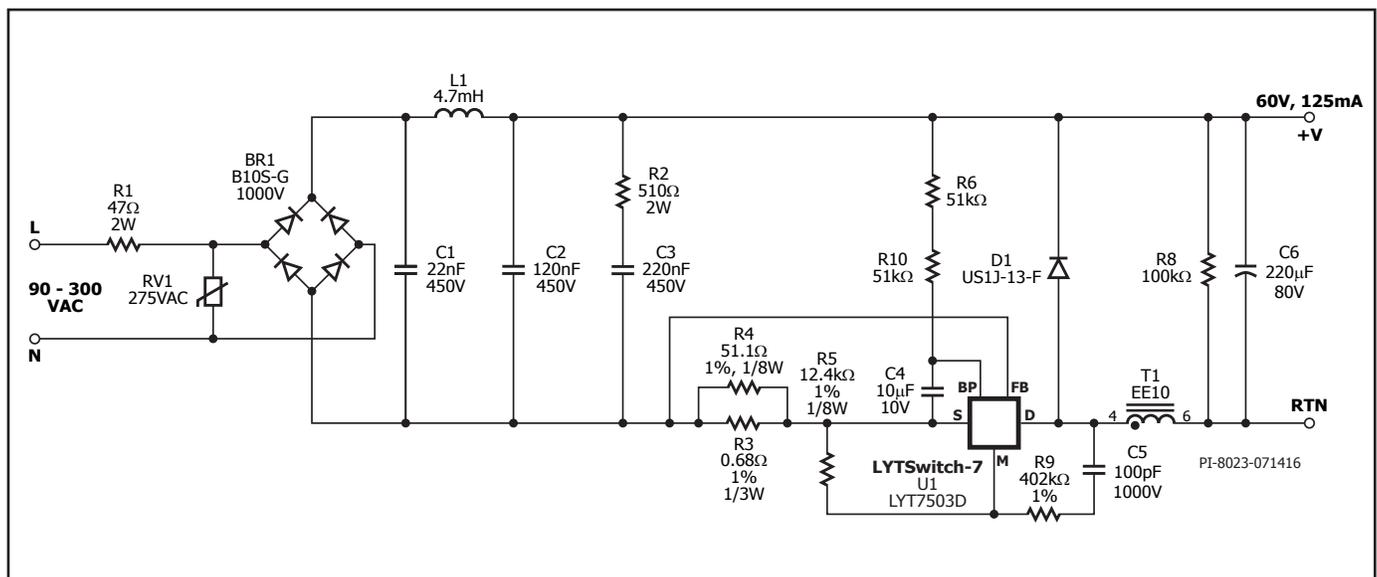


그림 37. 설계 예제 DER-561 회로도

빠른 디자인 체크 리스트

최대 드레인 전압

피크 드레인 전압 스트레스(VDS)가 스타트업 및 고장 상태를 비롯한 모든 작동 조건에서 725V를 초과하지 않는지 확인합니다.

최대 드레인 전류

스타트업 및 고장 상태를 비롯한 모든 작동 조건에서 피크 드레인 전류를 측정합니다. 인덕터 포화가 있는지 확인합니다(일반적으로 제일 높은 동작 주변 온도에서 발생). 피크 전류가 데이터시트에 지정된 최대 정격 절대값 이하인지를 확인합니다.

써멀 검사

최소 및 최대 입력 전압 및 최고 주변 온도 모두에서 최대 출력 파워 시 부품 온도 제한을 초과하지 않는지 확인합니다.

설계 도구

설계 도구에 대한 최신 정보는 Power Integrations 웹 사이트 (www.power.com)를 참조하십시오.

LYTSwitch-7 PIXIs 설계 스프레드시트는 PI Expert를 통해 온라인으로 (<https://piexpertonline.power.com/site/login>) 액세스할 수 있습니다.

개정	참고	날짜
A	최초 출시	9/16

최신 업데이트에 대한 자세한 내용은 당사 웹사이트를 참고하십시오. www.power.com

Power Integrations는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. Power Integrations는 본 문서에서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. Power Integrations는 어떠한 보증도 제공하지 않으며 모든 보증 (상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하며 이에 국한되지 않음)을 명백하게 부인합니다.

특허 정보

본 문서에서 설명하는 제품 및 애플리케이션(제품의 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허 또는 Power Integrations 에서 출원 중인 미국 및 해외 특허에 포함될 수 있습니다. Power Integrations의 전체 특허 목록은 www.power.com에서 확인할 수 있습니다. Power Integrations는 고객에게 <http://www.power.com/ip.htm>에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

Power Integrations의 제품은 Power Integrations 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 자세한 정의는 다음과 같습니다.

1. 수명 유지 장치 또는 시스템이란 (i)신체에 외과적 이식을 목적으로 하거나, (ii)수명을 지원 또는 유지하거나 (iii)사용 지침에 따라 올바르게 사용하는 경우에도 동작의 실패가 사용자의 상당한 부상 또는 사망을 초래할 수 있는 장치 또는 시스템입니다.
2. 핵심 부품이란 부품의 동작 실패가 수명 유지 장치 또는 시스템의 동작 실패를 초래하거나, 해당 장치 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 장치 또는 시스템에 사용되는 모든 부품입니다.

PI 로고, TOPSwitch, TinySwitch, SENZero, SCALE-iDriver, Qspeed, PeakSwitch, LYTSwitch, LinkZero, LinkSwitch, InnoSwitch, HiperTFS, HiperPFS, HiperLCS, DPA-Switch, CAPZero, Clampless, EcoSmart, E-Shield, Filterfuse, FluxLink, StakFET, PI Expert 및 PI FACTS는 Power Integrations, Inc.의 상표입니다. 다른 상표는 각 회사 고유의 자산입니다. ©2016, Power Integrations, Inc.

Power Integrations 전 세계 판매 지원 지역

<p>본사 5245 Hellyer Avenue San Jose, CA 95138, USA. 본사 전화: +1-408-414-9200 고객 서비스: 전화: +1-408-414-9665 팩스: +1-408-414-9765 전자 메일: usasales@power.com</p>	<p>독일 Lindwurmstrasse 114 80337 Munich Germany 전화: +49-895-527-39110 팩스: +49-895-527-39200 전자 메일: eurosales@power.com</p>	<p>이탈리아 Via Milanese 20, 3rd. Fl. 20099 Sesto San Giovanni (MI) Italy 전화: +39-024-550-8701 팩스: +39-028-928-6009 전자 메일: eurosales@power.com</p>	<p>싱가포르 51 Newton Road #19-01/05 Goldhill Plaza Singapore, 308900 전화: +65-6358-2160 팩스: +65-6358-2015 전자 메일: singaporeales@power.com</p>
<p>중국(상하이) Rm 2410, Charity Plaza, No. 88 North Caoxi Road Shanghai, PRC 200030 전화: +86-21-6354-6323 팩스: +86-21-6354-6325 전자 메일: chinasales@power.com</p>	<p>독일 HellwegForum 1 59469 Ense Germany 전화: +49-2938-64-39990 e-mail: igbt-driver.sales@power.com</p>	<p>일본 Kosei Dai-3 Bldg. 2-12-11, Shin-Yokohama, Kohoku-ku Yokohama-shi, Kanagawa 222-0033 Japan 전화: +81-45-471-1021 팩스: +81-45-471-3717 전자 메일: japansales@power.com</p>	<p>대만 5F, No. 318, Nei Hu Rd., Sec. 1 Nei Hu Dist. Taipei 11493, Taiwan R.O.C. 전화: +886-2-2659-4570 팩스: +886-2-2659-4550 전자 메일: taiwansales@power.com</p>
<p>중국(선젠) 17/F, Hivac Building, No. 2, Keji Nan 8th Road, Nanshan District, Shenzhen, China, 518057 전화: +86-755-8672-8689 팩스: +86-755-8672-8690 전자 메일: chinasales@power.com</p>	<p>인도 #1, 14th Main Road Vasanthanagar Bangalore-560052 India 전화: +91-80-4113-8020 팩스: +91-80-4113-8023 전자 메일: indiasales@power.com</p>	<p>대한민국 RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea 전화: +82-2-2016-6610 팩스: +82-2-2016-6630 전자 메일: koreasales@power.com</p>	<p>영국 Cambridge Semiconductor, a Power Integrations company Westbrook Centre, Block 5, 2nd Floor Milton Road Cambridge CB4 1YG 전화: +44 (0) 1223-446483 전자 메일: eurosales@power.com</p>