

TinySwitch-5 제품군

고효율 파워 서플라이를 위해 EcoSmart 기술을
탑재한 통합 오프라인 스위처

예비용

제품의 주요 특징

높은 집적도, 작은 공간

- 탁월한 서지 내성을 제공하는 견고한 725V 실리콘 MOSFET
- 최대 150kHz의 스위칭 주파수로 트랜스포머 크기 최소화

EcoSmart™ – 에너지 효율적

- 최대 92% 효율, 전체 부하 범위에서 균일
- 라인 센싱 포함 230VAC에서 무부하 전력 30mW 미만
- 300mW 입력(230VAC)에 대한 출력 전력 최대 210mW
- 무손실 1차측 전류 센싱

부품 수 감소, 설계 유연성

- 주파수 지터잉으로 EMI 필터 크기 감소
- 내장된 소프트 스타트 기능으로 스타트업 스트레스 최소화
- 스위칭 주파수 조정 가능
- 추가 부품 없이 I_{LM} 선택

광범위한 보호 기능

- 오토-리스타트는 과부하 고장 시 전력 공급을 3%보다 작게 제한
- 출력 단락 회로, 과전류 및 과전압 보호
- 라인 저전압(UV) 감지 기능으로 턴오프 글리치 방지
 - 간단하고 빠른 AC 리셋
- 라인 과전압(OV) 컷다운
- 큰 히스테리시스(Hysteresis)(OTP)로 정확한 셧얼 컷다운

일반 애플리케이션

- 가전 제품, 소비자 제품용 보조, 대기 및 바이어스 파워 서플라이
- 유틸리티 측정기, 스마트 그리드, 산업용 파워 서플라이

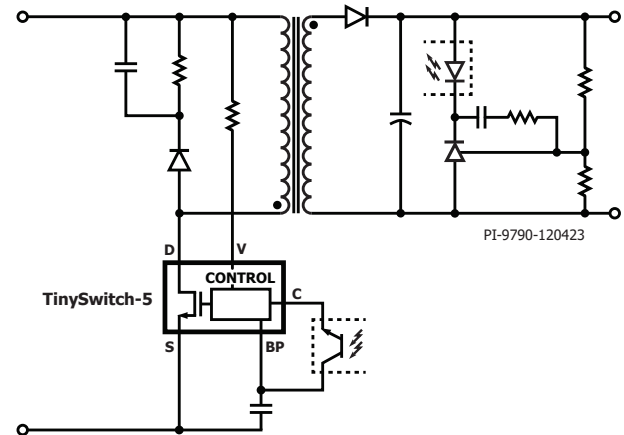
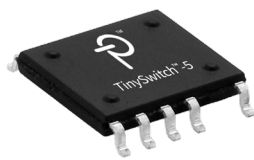


Figure 1. Typical Flyback Application.

Product Type	Output Power (W)		
	400 VDC	230 VAC	85-265 VAC
eSOP-12			15 - 45
eDIP-12	25 - 75	22 - 70	15 - 45
eSIP-7	120 - 190	105 - 175	70 -120

Table 1. Power Range by Package Type.



eSOP™-12 패키지(K 접미사)

- 초슬림 설계를 위한 로우 프로파일 표면 실장 패키지
- 웨이브 솔더링 또는 리플로우 솔더링 지원
- SOURCE 핀과 노출 패드를 통한 PCB 냉각으로 낮은 EMI 실현



eDIP™-12 패키지(V 접미사)

- 초슬림 설계를 위한 수평 방향의 로우 프로파일
- PCB와 히트싱크 모두에 열 전달
- TO-220 패키지와 동일한 써멀 임피던스



eSIP™-7 패키지(E 접미사)

- PCB 풋프린트를 최소화하기 위한 수직 방향 실장
- 클립을 사용한 간단한 히트싱크 장착
- TO-220 패키지와 동일한 써열 임피던스
- EPR(Extended Power Range) 제공

Figure 2. Packages.

Output Power Table¹

Product ³	PCB Copper Area ¹			Product ³	Metal Heatsink ¹		
	400 VDC	230 VAC $\pm 15\%$	85-265 VAC		400 VDC	230 VAC $\pm 15\%$	85-265 VAC
	Peak or Open Frame ^{2,3}	Peak or Open Frame ^{2,3}	Peak or Open Frame ^{2,3}		Peak or Open Frame ^{2,3}	Peak or Open Frame ^{2,3}	Peak or Open Frame ^{2,3}
TNY5071K	25 W	22 W	15 W	TNY5075E TNY5076E TNY5077E	120 W 170 W 190 W	105 W 155 W 175 W	70 W 105 W 120 W
TNY5071V	25 W	22 W	15 W				
TNY5072K	35 W	32 W	20 W				
TNY5072V	35 W	32 W	20 W				
TNY5073K	50 W	45 W	30 W				
TNY5073V	50 W	45 W	25 W				
TNY5074K	60 W	55 W	35 W				
TNY5074V	60 W	55 W	30 W				
TNY5075K	75 W	70 W	45 W				
TNY5075V	75 W	70 W	40 W				

Table 2. Output Power Table.

Notes:

1. The power table 2 represents the maximum practical continuous output power based on the following assumptions:

- 12 V output.
- Schottky output diode.
- 130 V reflected voltage (V_{OR}) and 85% efficiency.
- A 100 VDC minimum DC bus voltage for 85-265 VAC and 300 VDC bus voltage for 230 VAC.
- Sufficient heatsinking to keep device temperature $\leq 110^\circ\text{C}$.
- Power levels shown for the V package device assume 19.4 cm² of 610 g/m² copper heatsink area.
- Open frame design operating in a +50 °C ambient temperature.

2. Minimum peak power capability.

3. Packages: E: eSIP-7C, V: eDIP-12B, K: eSOP-12B.

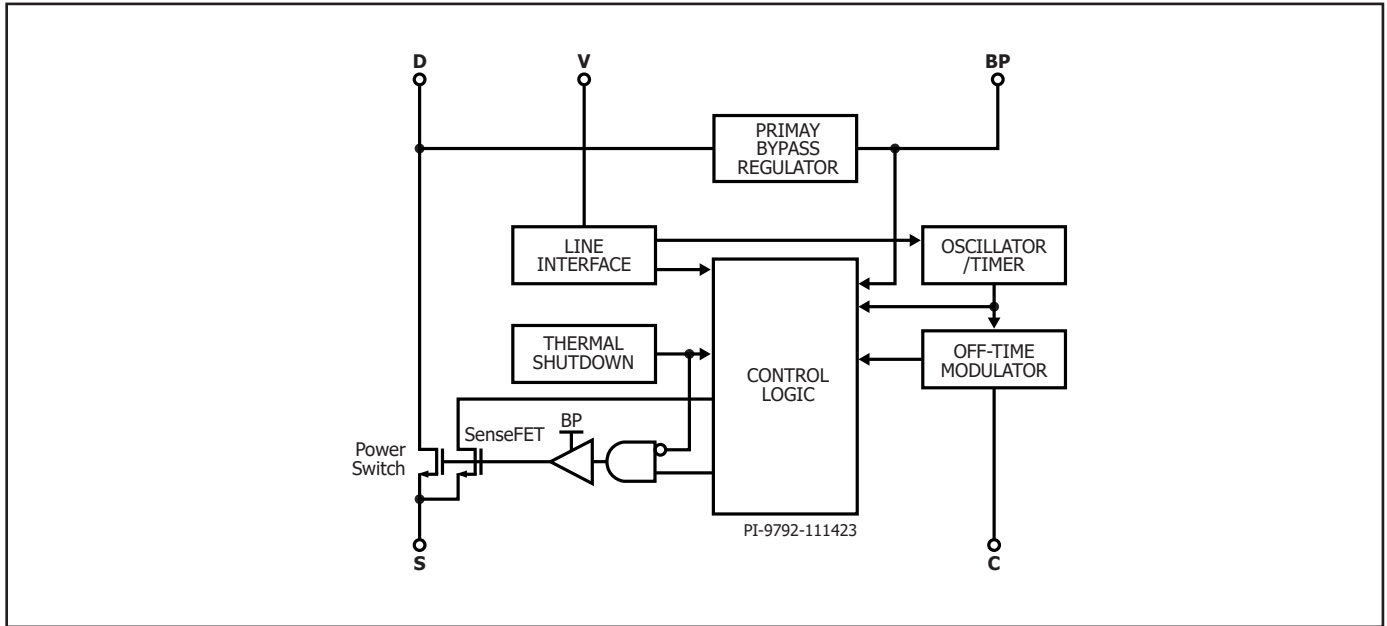


Figure 3. Functional Block Diagram.

핀 기능 설명

DRAIN(D) 핀

파워 스위치 드레인 연결입니다.

SOURCE(S) 핀

이 핀은 파워 스위치 소스 연결 핀입니다. BYPASS 핀의 그라운드 기준핀이기도 합니다.

BYPASS(BP) 핀

컨트롤러 전원 공급용 외부 바이패스 커패시터의 연결 지정입니다. 표준 I_{UM} 또는 I_{UM-1} 을 선택하기 위한 I_{UM} 선택 핀이기도 합니다.

VOLTAGE MONITOR(V) 핀

파워 서플라이 입력에서 저전압 및 과전압 조건을 감지하기 위해 입력 브리지의 AC 또는 DC 측에 연결되는 핀입니다. UV/OV 보호 기능을 비활성화하기 위해서는 이 핀을 SOURCE 핀에 연결해야 합니다.

CONTROL(C) 핀

피드백 제어 전류 입력 핀입니다.

SIGNAL GROUND(SG) 핀

소스에 연결해야 하는 SG 핀입니다.

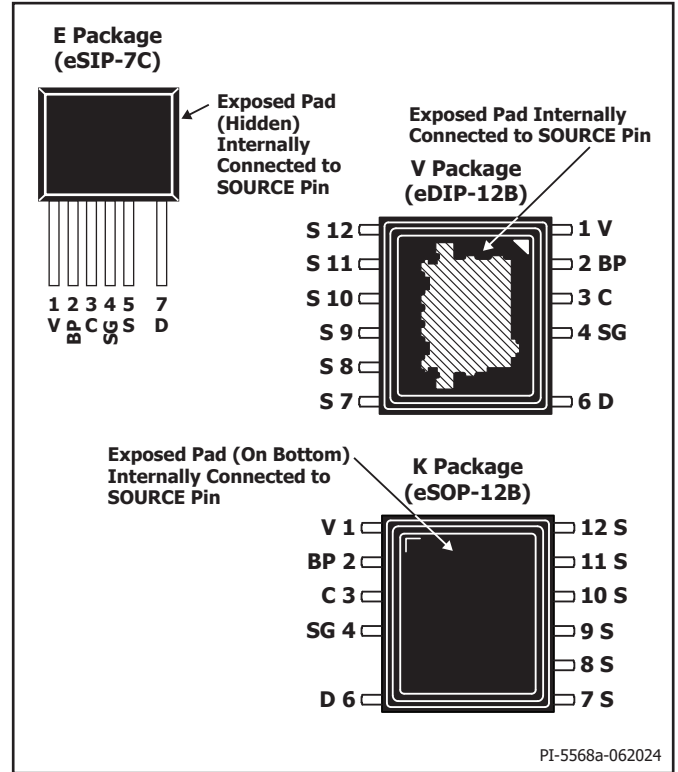


Figure 4. Pin Configuration (Top View).

TinySwitch-5 기능 설명

TinySwitch-5 IC는 제어 입력에서 아날로그 피드백 전류를 모니터링하고, 이를 사용하여 가변 주파수 가변 전류 제어 알고리즘을 변조하는 통합 스위칭 모드 파워 서플라이 IC입니다.

TinySwitch-5 플라이백 컨트롤러는 CCM(연속 전도 모드) 또는 DCM(불연속 전도 모드)에서 작동할 수 있습니다. 컨트롤러는 주파수 지터 오실레이터, 전류 제한 컨트롤러, BYPASS 핀의 5V 레귤레이터, BYPASS 저전압 및 과전압 감지 회로, 입력 라인 센싱 회로, 전류 제한 선택 회로, 과열 보호, 리딩 엣지 블랭킹, 실리콘 MOSFET 파워 스위치로 구성됩니다.

BYPASS 핀 레귤레이터

BYPASS 핀에는 파워 스위치가 꺼질 때마다 DRAIN 핀에서 전류를 끌어와 BYPASS 핀 커패시터를 V_{BP} 로 충전하는 내부 레귤레이터가 있습니다. BYPASS 핀은 내부 공급 전압 노드입니다. 파워 스위치가 켜지면 디바이스는 BYPASS 핀 커패시터에 저장된 에너지로 동작합니다.

또한 외부 저항을 통해 BYPASS 핀에 전류가 공급되는 경우 셉트 레귤레이터는 BYPASS 핀 전압을 V_{SHUNT} 로 클램핑합니다. 이를 통해 TinySwitch-5 IC는 바이어스 권선을 통해 외부에서 전원을 공급받아 5V 출력 설계에서 무부하 소비를 30mW 미만으로 줄일 수 있습니다.

바이패스 I_{LIM} 프로그래밍

TinySwitch-5 IC를 사용하면 사용자가 BYPASS 핀 커패시터 값을 선택하여 전류 제한(I_{LIM}) 설정을 조정할 수 있습니다. 세라믹 커패시터도 사용 가능합니다. 허용되는 커패시터 크기는 -2가지로, 표준 및 축소 I_{LIM} 설정에 대해 각각 0.47 μ F와 4.7 μ F입니다.

바이패스 저전압 기준점(Threshold)

BYPASS 핀 저전압 회로는 정상 상태 동작 시 BYPASS 핀 전압이 $\sim 4.5V(V_{BP} - V_{BP(H)})$ 아래로 떨어지는 경우 파워 스위치를 비활성화합니다. BYPASS 핀 전압이 이 기준점(Threshold) 아래로 떨어지면, 파워 스위치 턴온을 재활성화하기 위해 V_{BP} 까지 상승시켜야 합니다.

바이패스 출력 과전압 기능

BYPASS 핀에는 오토-리스타트 OV 보호 기능이 있습니다. BYPASS 핀 커패시터와 직렬로 연결된 저항에 병렬로 연결되어 있는 제너 다이오드는 일반적으로 바이어스 권선의 과전압을 감지하여 보호 메커니즘을 활성화하는 데 사용됩니다. BYPASS 핀으로 흘러 들어가는 전류가 I_{SD} 를 초과하는 경우 디바이스에서는 스위칭을 비활성화합니다.

과열 보호

써멀 섯다운 회로는 파워 스위치 온도를 센싱합니다. 기준점 (Threshold)은 히스테리시스 반응을 하도록 T_{SD} 로 설정되어 있습니다.

히스테리시스 응답: 칩 온도가 해당 기준점(Threshold) 이상으로 상승하면 파워 스위치는 비활성화되고, 칩 온도가 $T_{SD(H)}$ 로 떨어질 때까지 비활성화 상태를 유지하다가 이 지점에서 스위칭이 다시 활성화됩니다. 지속적인 고장 상태로 인한 PCB 과열을 방지하기 위해 큰 히스테리시스가 제공됩니다.

오프 타임 모듈레이터

오프 타임 모듈레이터는 아날로그 피드백 전류를 피드백 전류에 비례하는 오프 타임 지속 시간으로 변환합니다. 이 알고리즘은 출력 부하가 감소함에 따라 더 긴 오프 타임을 생성합니다.

오프 타임 사이클의 끝에서 오프 타임 모듈레이터는 통합 파워 스위치를 턴온하기 위한 온 사이클 요청을 시작합니다.

Current Limit 동작

전류 제한 기준점(Threshold)은 이전 스위칭 사이클이 종료된 후(파워 스위치 턴오프) 다음 스위칭 요청까지의 시간에 비례합니다. 이러한 특징으로 인해 스위칭 주파수(부하)가 증가함에 따라 전류 제한도 함께 증가하게 됩니다(그림 5).

고부하에서 스위칭 사이클의 최대 전류는 100% I_{LIM} 에 가까워집니다. 그리고 부하가 감소함에 따라 전체 current limit의 30%까지 점차적으로 줄어듭니다. current limit의 30%에 도달하면 가청 노이즈를 방지하기에 충분하므로 더 이상 감소하지 않습니다. 스위칭 사이클 간 시간은 부하가 감소함에 따라 지속적으로 증가합니다.

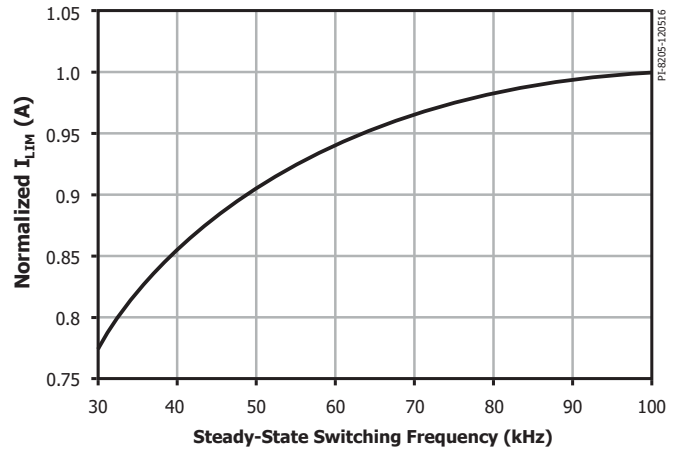


Figure 5. Normalized Current Limit vs Frequency.

지터

정규화된 current limit은 f_m 의 변조 주파수에서 100%~94.5% 사이로 변조됩니다.

SOA 보호

t_{LEB} 와 t_{SOA} 사이에서 110% I_{LIM} (100% I_{LIM} 은 100kHz에서의 I_{LIM} 임)에 도달하는 두 번의 연속 사이클 후, 컨트롤러는 최대 150kHz 스위칭 주파수에서의 약 3 사이클에 해당하는 약 $\sim 20\mu$ s 동안 스위칭을 중단합니다. 이를 통해 스타트업 시간을 늘리지 않고도 큰 정전용량성 부하로 전력을 전달할 때 트랜스포머 리셋을 위한 충분한 시간을 확보할 수 있습니다.

입력 라인 전압 모니터링

VOLTAGE MONITOR(V) 핀은 입력 저전압/과전압 센싱 및 보호 기능에 사용됩니다.

8M Ω 저항은 브릿지 위의 고전압 DC 벌크 커패시터(또는 고속 AC 리셋을 위해 브릿지 정류기의 AC 측)와 VOLTAGE MONITOR 핀 사이에 연결되어 이 기능을 활성화합니다. 이 기능은 VOLTAGE MONITOR 핀을 SOURCE 핀으로 단락시켜 비활성화할 수 있습니다.

파워업 시 바이패스(BP) 커패시터가 충전되고 I_{LIM} 상태가 래치된 후, (스위칭 전에) VOLTAGE MONITOR 핀 전류 상태를 확인하여 브라운인 (I_{UV+})보다 높고 과전압 섯다운 기준점(Threshold)(I_{OV+})보다 낮은지 확인합니다.

정상 동작 중에 VOLTAGE MONITOR 핀 전류가 브라운아웃 기준점 (Threshold)(I_{UV-}) 아래로 떨어지고 t_{UV-} 보다 오랫동안 브라운아웃 미만으로 유지되면 스위칭은 중단됩니다. VOLTAGE MONITOR 핀 전류가 브라운인 기준점 (Threshold)(I_{UV+})을 넘으면 컨트롤러는 소프트 스타트를 시작합니다.

정상 동작 중에 VOLTAGE MONITOR 핀 전류가 과전압 기준점 (Threshold)(I_{OV+})을 t_{OV+} 보다 더 오랫동안 초과하면 스위칭이 중단됩니다. 스위칭은 VOLTAGE MONITOR 핀 전류가 (I_{OV-}) 아래로 떨어지면 소프트 스타트를 시작합니다.

최대 온 타임 연장

온 타임 연장은 전류 제한에 도달할 때까지 사이클을 계속 유지합니다. $t_{ONEXT(MAX)} = 15\mu s$ 까지 전류 제한에 도달하지 못하면 컨트롤러는 스위칭 사이클을 종료합니다.

이 기능은 레귤레이션 유지에 필요한 최소 입력 전압을 낮추어서 홀드업 시간을 연장하고 필요한 기준점 벌크 커패시터 크기를 최소화합니다.

최대 스위칭 주파수

컨트롤러의 최대 스위칭 주파수는 f_{osc} 입니다.

Minimum Off-Time

오프 타임 모듈레이터는 통합 파워 MOSFET 스위치를 켜기 위한 사이클 요청을 시작합니다. 오프 타임 모듈레이터의 최대 주파수는 $t_{OFF(MIN)}$ 라는 최소 사이클 오프 타임의 제한을 받습니다. 이렇게 통합 스위치 전도 시간 이후 충분한 리셋 시간을 확보할 수 있어 트랜스포머가 부하에 에너지를 전달할 수 있습니다.

최대 듀티 사이클

전류가 전류 제한까지 상승하거나 $t_{ONEXT(MAX)}$ 한계점에 도달하면 파워 MOSFET이 꺼집니다.

컨트롤러는 파워 MOSFET 온 타임 $t_{MOSFET(ON)}$ 을 모니터링하고 MOSFET이 켜질 때부터 타이머 $t_{DC(MAX)} = DC_{MAX}/f_{OSC}$ 를 측정합니다. 만약:

$t_{MOSFET(ON)} \geq t_{DC(MAX)}$ 이면 MOSFET이 꺼진 후 오프 타임 변조가 시작됩니다.

$t_{MOSFET(ON)} < t_{DC(MAX)}$ 이면 $t_{DC(MAX)}$ 타이머가 끝난 후 오프 타임 변조가 시작됩니다.

주파수 소프트 스타트

스타트업 시 컨트롤러는 t_{SOFT} 기간 동안 스위칭 주파수를 $f_{SW(STARTUP)}$ 에서 선형적으로 증가시킵니다.

제어 핀 전류 I_C 가 t_{SOFT} 시간 내에 $I_{C(TH)}$ 기준점 (Threshold)을 초과하면 주파수 상승이 즉시 중단되고 컨트롤러는 풀 주파수로 전환할 수 있습니다. 이를 통해 레귤레이션이 이루어진 후 갑작스러운 과도 부하가 발생하더라도 컨트롤러가 레귤레이션 상태를 유지할 수 있습니다.

스타트업 시 단락 또는 과부하가 발생하는 경우, 제어 전류 I_C 가 t_{AR} 시간이 만료되기 전에 $I_{C(TH)}$ 기준점 (Threshold)을 초과하지 않으면 컨트롤러는 오토-리스타트 (AR) 모드로 전환됩니다.

애플리케이션 예제

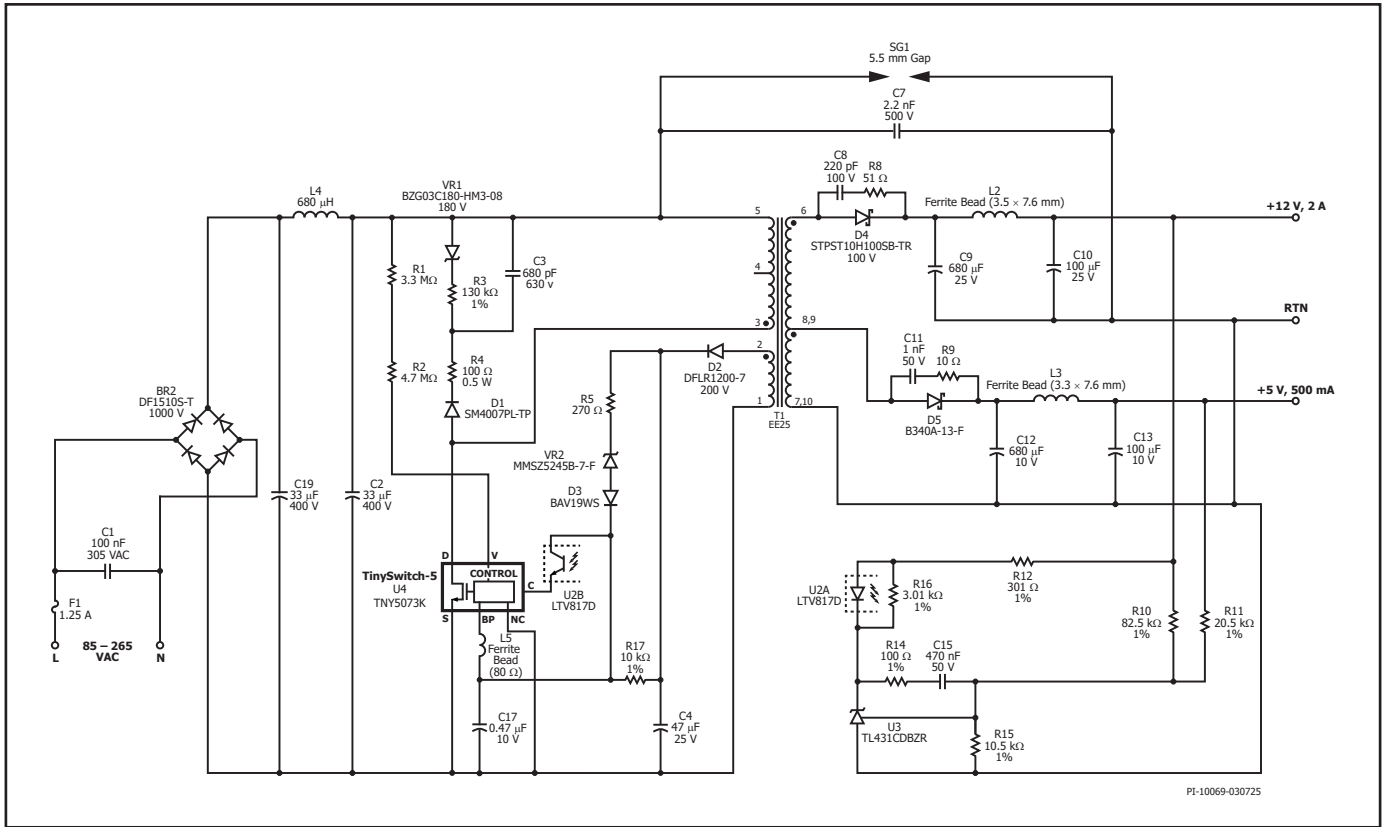


Figure 6. Schematic of RDR-1016 26.5 W, Dual Output Power Supply, 12 V / 2 A and 5 V / 500 mA using TNY5073K.

고효율 27W 듀얼 출력 파워 서플라이(TinySwitch-5)

Figure 6에 표시된 회로는 TNY5073K를 사용하여 85VAC~265VAC 입력으로 27W(12V/2A, 5V/500mA)를 공급합니다.

이 서플라이는 라인 저전압 록아웃, 라인 과전압 보호, 1차측 센싱 출력 과전압 오토-리스타트 보호, 출력 단락 보호, 높은 115VAC 풀부하 효율(>86%), 높은 230VAC 풀부하 효율(>87%), 높은 평균 효율(>85.5%), 낮은 무부하 입력 소비 전력(230VAC에서 <50mW)을 제공합니다. 출력 레귤레이션은 옴토크플러와 셉트 레귤레이터(TL431) 피드백을 통해 이루어집니다.

입력 퓨즈 F1은 파워 서플라이에서 발생한 치명적인 임의의 부품 오류로 인한 초과 입력 과전류에 대해 보호 기능을 제공합니다. 브릿지 정류기 BR2는 AC 입력 공급을 정류합니다. 커패시터 C2와 C19는 정류된 AC 입력을 필터링하고 인덕터 L4와 함께 pi-filter를 구성하여 디퍼렌셜 모드 EMI를 줄입니다. X 커패시터 C1은 또한 디퍼렌셜 모드 EMI를 줄이는 데 도움이 됩니다. 파워 서플라이 임/출력부 사이에 연결된 Y 커패시터 C7은 커먼 모드 EMI를 줄입니다. 또한 TinySwitch-5 주파수 지터 기능은 EMI를 줄입니다. 트랜스포머 1차측의 한 쪽은 정류된 DC 버스에 연결되어 있고, 다른 쪽은 TinySwitch-5 IC(U4) 내에 있는 파워 스위치의 드레인 단자에 연결되어 있습니다.

라인 저전압 및 과전압 기준점(Threshold)은 저항 R1과 R2가 V 핀에 공급하는 전류에 따라 결정됩니다.

다이오드 D1, 저항 R3과 R4, 커패시터 C3, 제너 VR1으로 구성된 RCDZ 클램프는 U4 내부의 스위치가 꺼지는 순간 U4의 피크 드레인 전압을 제한합니다. 이 클램프는 트랜스포머 T1의 누설 리액턴스에 저장된 에너지를 소멸시킵니다.

TinySwitch-5 IC는 AC가 처음 인가될 때 내부 고전압 전류 소스를 사용하여 1차측 BYPASS 핀 커패시터(C17)를 충전함으로써 자체적으로 가동됩니다. 노이즈 내성을 높이기 위해 옴센 페라이트 비드(L5)가 사용되었습니다. 정상 동작 중에 IC 1차측 컨트롤러는 트랜스포머 T1의 바이어스 권선에서 전력을 공급받습니다. 바이어스 권선의 출력은 다이오드 D2에 의해 정류되고 커패시터 C4에 의해 필터링됩니다. 저항 R17은 TinySwitch-5 IC(U4) 핀에 공급되는 전류를 제한합니다. 저항 R17은 BP 핀에 전류를 공급하여 일반적으로 내부 MOSFET 오프 타임 중 BP 핀 커패시터 전압(C17)을 유지하는 내부 고전압 전류 소스를 억제합니다. 이 설계는 무부하 소비를 230VAC에서 50mW 미만으로 줄입니다.

1차측 센싱 OVP는 제너 다이오드(VR2), 전류 제한 저항(R5), 블로킹 다이오드(D3)의 직렬 조합을 바이어스 전압 서플라이에서 BYPASS 핀으로 연결하여 달성할 수 있습니다. 어느 출력에든 과전압이 발생하면 바이어스 권선 출력의 전압 증가로 인해 제너 다이오드(VR2)가 전도되면서 BP 핀으로 흐르는 전류가 증가합니다. 전류가 기준 전류(Threshold)(I_{SD})를 초과하면 TinySwitch-5가 스위칭을 중지하고 V_{OUT}가 레귤레이션 범위 안으로 들어올 때까지 오토-리스타트가 발생합니다.

12V 출력의 출력 정류는 2차측 정류 다이오드 D4에서 이루어지는 반면, 5V 출력 정류는 2차측 정류 다이오드 D5에서 이루어집니다. D4의 R8과 C8, D5의 R9와 C11로 구성된 RC 스너버 네트워크는 트랜스포머 권선의 누설 인덕턴스와 2차측 패턴 커패시턴스로 인해 2차측 정류가 다이오드에서 발생하는 고주파 링잉을 감소합니다.

매우 낮은 ESR 커패시터 C9와 C12는 각각의 출력에 필터링을 제공합니다. 페라이트 비드 L2, L3은 출력 커패시터 C10, C13과 함께 로우 패스 필터를 형성하여 12V와 5V 출력 모두의 출력 리플을 줄이는데 도움을 줍니다.

피드백 회로에서 출력 전압은 저항 분배기 R10, R11, R15를 통해 센싱됩니다. 이러한 전압은 TL431 REF 핀에서 2.495V를 달성하도록 레귤레이션됩니다. 12V 출력과 5V 출력 사이의 피드백 전류 비율은 약 1:1로, 출력 레귤레이션을 개선하고 우수한 크로스 레귤레이션을 보장합니다. 캐소드 전압의 변화에 따라 U2 내부의 옴토크플러 LED와 트랜지스터를 통과하는 전류가 변합니다. R12, R14, C15는 안정적인 작동을 제공하는 반면 저항 R16은 U3에 대한 최소 바이어스를 보장합니다. 바이어스 권선 전압은 무부하 입력 전력을 줄이기 위해 무부하 하이 라인에서 약 10V로 조정되었습니다.

일반적으로 하이 라인에서 CONTROL 핀으로 흐르는 피드백 전류는 약 250μA입니다. 이 전류는 바이어스 권선(C4 양단의 전압)과 출력에서 직접 공급되어 파워 서플라이 출력에 대한 부하를 나타냅니다. 무부하 조건에서 바이어스 권선의 손실을 최소화하기 위해 바이어스 권선의 턴 수와 C4의 값을 조정하여 C4 양단에 10V의 최소 전압을 달성했습니다. 이는 옴토크플러 바이어스 상태를 유지하고 출력을 레귤레이션하는 데 필요한 최소값입니다.

2차측 피드백 회로의 손실을 최소화하기 위해 높은 CTR(300~600%) 옴토크플러를 사용했습니다. 이렇게 하면 2차측 옴토-LED 전류가 약 250μA에서 90μA 미만으로 줄어들어 출력의 유효 부하가 줄어듭니다. 또한, 표준 2.5V TL431 전압 레퍼런스는 1.24V LMV431로 대체하여 이 부품의 공급 전류 요구 사항을 1mA에서 100μA로 줄일 수 있습니다.

PCB 동판 형태의 히트 스프레더가 TinySwitch-5와 2차측 정류기 다이오드 디바이스를 동작 시 110°C 미만으로 유지하는 데 필요합니다.

주요 애플리케이션 설계 고려 사항

전력표

데이터 시트의 출력 전력표(표 2)는 다음과 같이 가해진 조건에서 얻을 수 있는 최대 실제 연속 출력 전력을 나타냅니다.

1. 최소 DC 입력 전압은 85VAC 입력의 경우 85V 이상이며, 230VAC 입력의 경우 220V 이상입니다. 입력 커패시터 전압은 AC 입력 설계 조건을 충족하도록 조정해야 합니다.
2. 효율 가치는 입력 전압 범위에 따라 달라집니다. 유니버설 입력 전압 또는 로우 라인 입력은 효율이 >85%이고 하이 라인 입력에서 >89%로 증가한다고 가정합니다. 가해진 효율은 입력 범위의 최저 전압을 기반으로 합니다.
3. 트랜스포머 1차측 인덕턴스 오차는 ±10%입니다.
4. 권선비에 의해 발생된 전압(VOR)은 최대 전력을 제공하기 위해 최소 입력 전압에서 $K_p > 0.4$ 를 유지하도록 설정됩니다. 하이 라인 공칭에서 효율을 높이기 위해 K_p 를 1~1.1 사이로 설계하는 것이 좋습니다.
5. 효율을 개선하기 위해 낮은 순방향 전압 강하(V_F) 쇼트키 다이오드를 사용합니다.
6. 이 부품은 충분한 동판 영역 및/또는 히트싱크에 납땜된 SOURCE 핀과 함께 보드에 장착되어 필요한 최고 주변 온도에서 디바이스 온도를 110°C 이하로 유지합니다.

7. 주변 온도는 오픈 프레임 설계의 경우 50°C이고, 밀폐형 어댑터의 경우 40°C로 가정됩니다.
8. TinySwitch-5 IC에는 설계자가 트랜스포머 설계에 따라 동작 스위칭 주파수를 25kHz~142kHz 사이로 설정할 수 있다는 독특한 특징이 있습니다. U4 온도를 낮추는 효과적인 방법 중 하나는 트랜스포머를 더 낮은 스위칭 주파수에서 작동하도록 설계하는 것이며, 66kHz에서 시작하는 것이 좋습니다. 더 작은 크기의 트랜스포머가 필요하면 동작 스위칭 주파수를 130kHz로 높일 수 있습니다.

과전압 보호

TinySwitch-5에서 제공하는 출력 과전압 보호 기능은 BYPASS 핀으로 전달되는 약 8.7mA의 기준 전류(Threshold)(I_{SD})에 의해 트리거되는 내부 래치를 사용합니다. 내부 필터 외에도 BYPASS 핀 커패시터는 외부 필터를 형성하여 노이즈 내성을 제공하고 의도치 않은 트리거링을 방지합니다. 바이패스 커패시터가 고주파 필터로 효과적이라면 디바이스의 SGND 핀 및 BYPASS 핀에 최대한 가깝게 배치해야 합니다.

1차측 센싱 출력 OVP 기능은 정류 및 필터링된 바이어스 권선 전압 서플라이에서 BYPASS 핀까지 제너 다이오드(VR2), 저항(R5), 블로킹 다이오드(D3)의 직렬 조합을 연결하여 구현할 수 있습니다. 정류 및 필터링된 바이어스 권선 출력 전압은 바이어스 권선과 출력 권선 간의 커패시턴스가 불균형하면 그로 인해 바이어스 권선 전압 파형의 링잉이 발생하여 최대 기대 전압의 1.5배 및 2배 등 예상보다 높을 수 있습니다. 따라서 정류된 바이어스 권선 전압은 출력의 최저 입력 전압과 최고 부하에서 측정하는 것이 좋습니다. 측정된 전압을 이용하여 1차측 센싱 OVP를 얻는데 필요한 부품을 선택합니다.

OVP가 트리거될 것으로 예상되는 바이어스 권선 전압보다 약 6V 낮은 클램핑 전압을 갖는 제너 다이오드를 선택해야 합니다. 블로킹 다이오드에 대해 1V의 순방향 전압 강하를 가정할 수 있으며, 소신호 표준 리커버리 다이오드를 권장합니다. 블로킹 다이오드는 스타트업 중에 역방향 전류가 바이어스 커패시터를 방전하지 못하도록 방지합니다. 마지막으로, 출력 과전압 발생 시 I_{SD} 보다 높은 전류가 PRIMARY BYPASS 핀으로 흐르도록 직렬 저항의 값을 계산해야 합니다.

무부하 소비 전력 감소.

TinySwitch-5 IC는 자체 구동 모드에서 가동되어 내부 전류 소스에서 충전되는 BYPASS 핀 커패시터에서 에너지를 가져옵니다. TinySwitch-5 IC가 스위칭을 시작하면 BYPASS 핀에 공급 전류를 제공하기 위해 바이어스 권선이 필요합니다. 이 바이어스 권선 공급을 통해 파워 서플라이는 낮은 무부하 소비 전력을 달성할 수 있습니다. 가장 낮은 무부하 입력 전력을 달성하려면 저항 R_{BIAS} 의 값을 조정해야 합니다.

무부하 소비 전력을 더욱 줄이기 위한 더 다양한 방법은 다음과 같습니다.

1. 낮은 값의 1차측 클램프 커패시터(C_{PRI_SNUB})를 사용합니다.
2. 바이어스 서플라이 정류기(D_{BIAS})에 쇼트키 또는 울트라패스트 다이오드를 사용합니다.
3. 전류 전달 비율(CTR)이 300-600%로 높은 옴토크플러(OPTO)를 사용합니다.
4. 바이어스 서플라이 필터 커패시터(C_{BIAS})에 대한 낮은 ESR 커패시터를 선택합니다.
5. 입력 벌크 커패시터(C_{BULK})와 출력 필터 커패시터(C_{OUT})에 낮은 ESR을 선택합니다.
6. 낮은 값의 2차측 정류기 다이오드 RC 스너버 커패시터(C_{SEC_SNUB})를 활용합니다.
7. 내부 권선 커패시턴스를 줄이려면 1차측 권선 레이어 사이에 테이프를 사용하고 1차측-2차측 권선 사이에 멀티레이어 테이프를 사용합니다.

부품 선택

Figure 7은 실제 단일 출력 TinySwitch-5 설계에 필요한 주요 외부 부품을 나타냅니다.

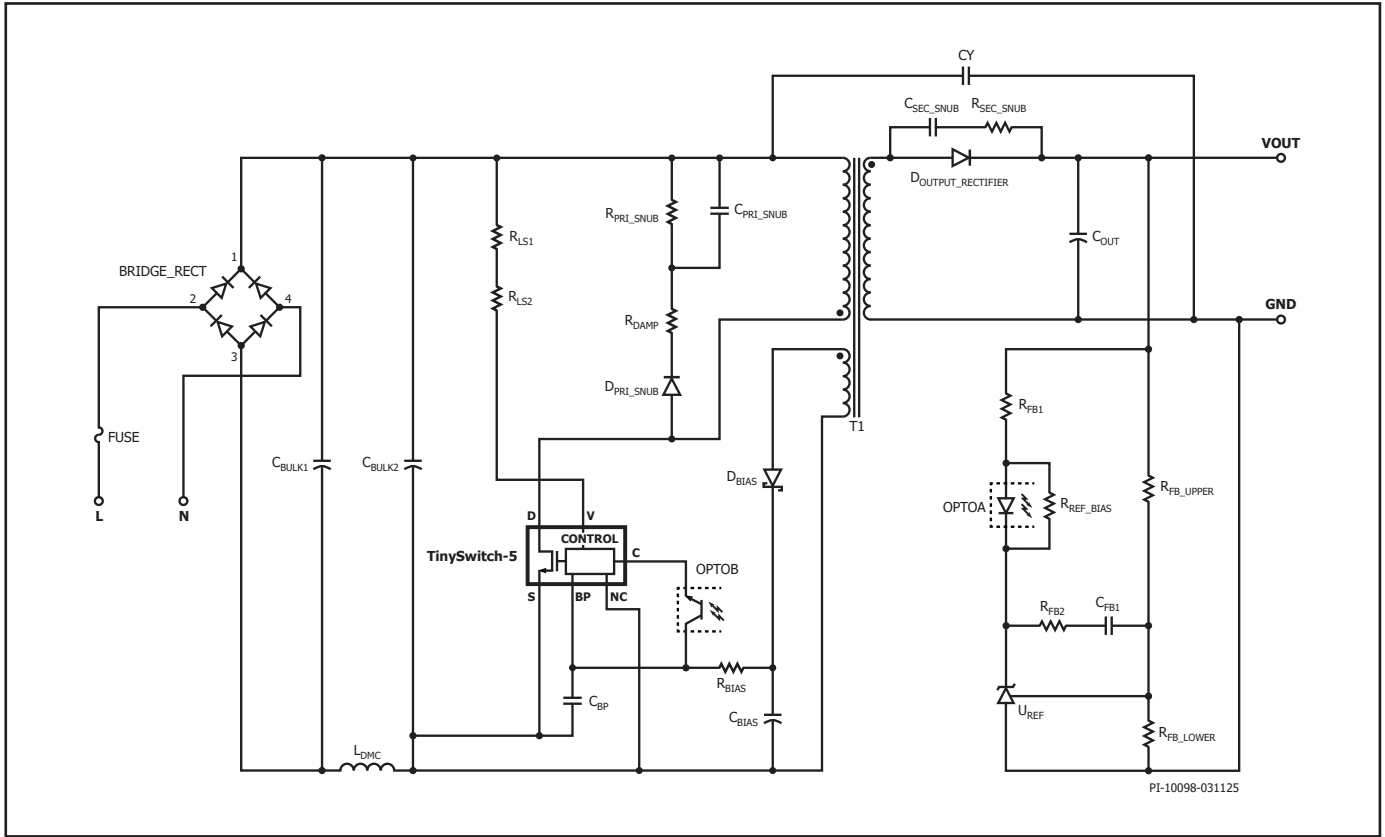


Figure 7. Typical TinySwitch-5 Flyback Power Supply Single-output design.

BYPASS 핀 커패시터(CBP)

TinySwitch-5 IC의 BYPASS 핀(BP)에서 SGND로 연결된 커패시터는 1차측 컨트roller에 대한 디커플링을 제공하고 전류 제한을 선택합니다. 0.47μF 또는 4.7μF 커패시터를 사용할 수 있습니다. 전해 커패시터도 선택 사항이지만, 양면 보드에는 IC에 가깝게 배치할 수 있는 표면 실장 적층형 세라믹 커패시터가 더 선호되는 경우가 많습니다. 크기가 작아 소형 파워 서플라이에도 이상적입니다. 최소 커패시턴스 요건을 충족하기 위해서는 적어도 10V, 0805 이상 크기의 X5R 또는 X7R 유전체 커패시터를 사용하는 것이 좋습니다. X7R, X5R과 같은 세라믹 커패시터 유형 명칭은 제조업체 또는 제품군에 따라 전압 계수가 다를 수 있습니다. 선택한 커패시터의 커패시턴스가 5V에서 20% 이상 떨어지지 않는지 커패시터 데이터 시트를 검토하여 확인하는 것이 좋습니다. Y5U 또는 Z5U/0603 정격 MLCC는 전압 및 온도 계수 특성이 좋지 않으므로 사용을 피하십시오.

V 핀 라인 센싱 저항(RLS1, RLS2)

V 핀에서 DC 버스로 연결된 저항은 입력 전압 센싱을 활성화하여 라인 저전압 및 과전압 보호 기능을 제공합니다. 일반적인 유니버설 입력 애플리케이션의 경우 총 저항 값 8 MΩ이 권장됩니다. 하이 라인 입력의 경우, 각각 4MΩ의 값을 갖는 0.25W SMD 1206 저항 또는 리드 저항을 직렬로 두 개 사용하는 것이 좋습니다.

V 핀을 SOURCE에 연결하면 라인 센싱 기능이 비활성화됩니다. V 핀을 플로팅 상태로 두는 것은 권장되지 않습니다.

1차측 클램프(D_{PR1_SNUB}, R_{DAMP}, R_{PR1_SNUB}, C_{PR1_SNUB})

그림 3을 참조하십시오. RRCD 클램프는 저전력 파워 서플라이에서 일반적으로 사용되는 클램프입니다. 전력이 더 높은 설계의 경우 제너 클램프 또는 RRCD + 제너 클램프를 사용하여 효율을 높일 수 있습니다. 최악의 상황(최대 입력 전압, 최대 과부하 전력 또는 출력 단락 회로)에서는 피크 드레인 전압을 디바이스의 DRAIN 정격 전압 절대값의 90%로 제한하는 것이 좋습니다.

클램프 다이오드(D_{PR1_SNUB})는 스탠드 리커버리 glass-passivated 타입 또는 패스트 리커버리 다이오드로 역회복 속도가 500ns보다 빠른 것이어야 합니다. 스탠드 리커버리 glass-passivated 다이오드를 사용하면 각 스위칭 사이클의 클램핑된 에너지 일부를 회복하여 경부하 및 평균 효율을 개선할 수 있습니다. 다이오드는 TinySwitch-5 내부의 MOSFET이 꺼질 때마다 잠시 동안 전도되어, 누설 리액턴스와 클램프 커패시터 C_{PR1_SNUB}에 저장된 에너지를 출력으로 전달합니다.

직렬 경로에 있는 저항 R_{DAMP} 는 누설 인덕턴스와 MOSFET 스위치 출력 커패시턴스 C_{OSS} 간의 공진으로 인한 과도한 링잉을 방지하는 댐핑 기능을 제공합니다. 저항 R_{DAMP} 은 커패시터 C_{PRI_SNUB} 에 저장된 에너지를 방출합니다. 제품군 내의 다양한 TinySwitch-5 디바이스를 사용하는 파워 서플라이는 1차측 피크 전류와 누설 인덕턴스가 다르므로 누설 에너지도 다릅니다. 따라서 커패시터 C_{PRI_SNUB} 저항 R_{PRI_SNUB} R_{DAMP} 는 각 설계에 맞게 최적화되어야 합니다.

일반적으로 커패시터 C_{PRI_SNUB} 의 값을 최소화하고 R_{PRI_SNUB} 및 R_{DAMP} 의 값을 최대화하는 동시에, MOSFET DRAIN 전압이 최고 입력 전압 및 최대 부하에서 최대 한계 절대값의 90% 미만으로 유지되도록 하는 것이 좋습니다. R_{DAMP} 의 값은 필요한 시간 내에 링잉을 감쇠할 만큼 충분히 커야 합니다. 그러나 R_{DAMP} 의 값이 증가함에 따라 DRAIN 피크 전압과 전력 손실도 증가합니다. 따라서 DRAIN 전압을 최대 한계 절대값의 90% 미만으로 유지하도록 주의를 기울여야 합니다. R_{DAMP} 의 권장 범위는 $47\Omega \sim 100\Omega$ 입니다. R_{PRI_SNUB} 의 권장 범위는 $100k\Omega \sim 470k\Omega$ 입니다.

C_{PRI_SNUB} 의 클램프 회로에서 Z5U와 같은 유전체가 있는 디스크 세라믹 커패시터를 사용하면 가청 노이즈가 발생할 수 있으므로 폴리에스터 필름 타입 또는 유전체가 X7R인 세라믹 커패시터, 1kV 정격, 1206 크기가 일반적으로 사용됩니다. C_{PRI_SNUB} 의 권장 범위는 $470pF \sim 1nF$ 입니다.

바이어스 권선 및 외부 바이어스 서플라이 회로(D_{BIAS} , C_{BIAS} , R_{BIAS})
DRAIN 핀에서 TinySwitch-5 IC의 BYPASS 핀으로 연결된 내부 1차측 바이패스 레귤레이터는 BYPASS 핀에 연결된 커패시터 C_{BP} 를 충전하여 스타트업을 달성합니다. BYPASS 핀과 C 핀에 최소 1.5mA의 전류를 공급할 수 있는 바이어스 서플라이를 만들기 위해서는 트랜스포머에 적절한 정류기와 필터 커패시터를 갖춘 바이어스 권선이 제공되어야 합니다.

풀부하 시 바이어스 전압 12V가 권장됩니다. 전압이 이보다 높으면 무부하 입력 전력이 높아집니다. 무부하 소비 전력을 줄이고 대기 입력 효율을 개선하기 위해 바이어스 권선 정류기에 울트라패스트 또는 쇼트키 다이오드를 권장합니다. 바이어스 권선의 권선비는 최저 부하일 때 파워 서플라이의 최저 정격 출력 전압에서 바이어스 권선 양단에 10V가 흐르도록 선택해야 합니다. 전압이 이보다 더 낮으면 무부하 입력 전력이 증가합니다.

파워 서플라이를 230VAC 입력에서 작동할 때 최저 무부하 소비 전력을 달성하기 위해서는 외부 회로의 바이어스 전류가 I_{S1} 의 258 μ A보다 약간 높게 설정되어야 합니다. 이는 R_{BIAS} 저항의 값을 미세 조정하여 달성할 수 있습니다. 패스트 또는 울트라패스트 다이오드에서 일반적으로 나타나는 스냅 리커버리는 방사 EMI를 높일 수 있는데, 이를 방지하기 위해서는 정선 커패시턴스가 낮은 glass-passivated 스탠다드 리커버리 다이오드를 사용하는 것이 좋습니다.

바이어스 필터 커패시터 C_{BIAS} 에는 최소 47 μ F 및 25V 정격의 알루미늄 저 ESR 전해 커패시터가 권장됩니다. 47 μ F 저 ESR 전해 커패시터는 무부하 입력 전력과 대기 입력 전력 효율을 개선하는 데 도움이 됩니다. 세라믹 표면 실장형 커패시터는 그 기계적 특성으로 인한 압전 효과로 가청 노이즈를 발생시킬 수 있으므로 사용하지 않는 것이 좋습니다.

최소 무부하 입력 전력과 높은 풀부하 효율을 달성하기 위해 저항 R_{BIAS} 는 이 저항을 통과하는 전류가 필요한 BYPASS 핀 전류보다 높아지도록 선택해야 합니다.

2차측 출력 정류기 다이오드($D_{OUTPUT_RECTIFIER}$)

출력 다이오드는 애플리케이션의 피크 역전압, 출력 전류, 써멀 조건 (히트싱크, 공기 순환 등)을 고려하여 선택합니다. 적절한 트랜스포머 권선비에 따라 TinySwitch-5 IC의 DC_{MAX} 가 높아지면 최대 15V의 출력 전압에서 80V 쇼트키 다이오드를 사용할 수 있어 효율을 높일 수 있습니다.

출력 정류기 다이오드를 선택할 때의 고려 사항:

- 정격 역전압(V_R)이 피크 역전압(PIV)의 최소 1.25배인지 확인하십시오.
- 정격 전류(I_D)가 출력 전류(I_{OUT})의 두 배 이상인 다이오드를 선택하십시오.

출력 필터 커패시턴스(C_{OUT})

저 ESR 전해 커패시터는 출력 리플 전압을 평활화하는 데 중요한 요건 중 하나입니다. 고려해야 할 다른 파라미터는 정격 RMS 리플 전류, DC 작동 전압, ESR입니다. 실제 커패시턴스 값은 그다지 중요하지 않습니다.

출력 커패시터를 선택할 때의 고려 사항:

- 커패시터 리플이 105°C, 100kHz에서 지정되어야 하며, 예상 리플 전류($I_{SRIPPLE}$)보다 커야 합니다.
- 저 ESR(등가 직렬 저항) 전해 커패시터를 사용하면 출력 스위칭 리플 전압을 최소화할 수 있으며, 이는 $V_{RIPPLE} = I_{SRIPPLE} \times ESR$ 을 사용하여 계산합니다.
- 커패시터는 정격 전압이 출력 전압(V_{OUT})의 최소 1.25배 이상인 것을 선택하십시오.

출력 포스트 필터 부품(L_{PF} , C_{PF}):

포스트 필터(L_{PF} , C_{PF})를 추가하여 고주파수 스위칭 노이즈 및 리플을 줄일 수 있습니다.

포스트 필터를 추가할 때의 고려 사항:

- 인덕터(L_{PF})는 $1\mu H \sim 3.3\mu H$ 의 범위의 인덕턴스 값과 피크 출력 전류를 초과하는 정격 전류를 가져야 합니다.
- 커패시터(C_{PF})는 $100\mu F \sim 330\mu F$ 범위의 커패시턴스 값과 출력 전압(V_{OUT})의 최소 1.25배 이상인 정격 전압을 가져야 합니다.
- 포스트 필터를 사용하는 경우 출력 전압 센싱 저항과 옴토키플러를 포스트 필터 인덕터 앞에 연결해야 합니다. 그림 9를 참조하십시오.

회로 기판 레이아웃에 대한 권장 사항

이 섹션은 그림 8~12를 참조하십시오.

일점(Single-Point) 그라운드

입력 필터 커패시터에서 SOURCE 핀에 연결된 동판까지 일점 그라운드 연결을 사용합니다. C_{BIAS} 그라운드에는 입력 필터 커패시터 그라운드 핀에 스타결선으로 연결된 전용 패턴이 있어야 합니다.

바이패스 커패시터

BYPASS 핀 디커플링 커패시터(C_{BP})는 BYPASS 및 SOURCE 핀 바로 옆에 위치해야 합니다. 연결은 짧은 패턴을 통해 배선해야 합니다.

중요 루프 영역

dv/dt 또는 di/dt 가 높은 회로는 최대한 작아야 합니다. 입력 필터 커패시터, 1차측 트랜스포머, IC를 연결하는 1차측 루프의 면적은 최소화합니다. 마찬가지로 2차측 권선, 출력 정류기 다이오드, 출력 필터 커패시터를 연결하는 루프 영역을 줄입니다.

회로 간 교차 간섭을 최소화하기 위해, 어떤 루프도 다른 루프 안에 배치되어서는 안 됩니다.

드레인 노드

드레인 스위칭 노드에서 주로 노이즈가 생성됩니다. 따라서 드레인 노드에 연결된 부품은 IC에 가까이 배치하지만 민감한 1차측 제어 회로에서는 멀리 떨어져 배치해야 합니다. 클램프 회로 부품은 BYPASS 핀에서 물리적으로 멀리 떨어져 배치해야 하며, 이 회로 내의 패턴 폭과 길이는 최소화해야 합니다.

파워 패턴 배선

전류는 저항이 가장 적은 경로를 통해 흐릅니다. 패턴이 커패시터에 연결되어 있어도 전류가 커패시터를 우회하여 커패시터가 효과가 없게 될 가능성이 있습니다. 효과적인 필터링과 노이즈 내성을 위해 파워 신호 패턴을 커패시터 패드에 스타결선으로 연결하는 것이 좋습니다.

1차측 클램프 회로

클램프는 턴오프 중에 DRAIN 핀의 피크 전압을 제한하는 데 사용됩니다. 이는 1차측 권선에 R2CD 또는 R2CDZ 클램프를 사용하여 구성할 수 있습니다. EMI를 줄이려면 클램프 부품, 트랜스포머와 IC 간의 루프 영역을 최소화해야 합니다.

Y 커패시터

Y 커패시터는 1차측 입력 필터 커패시터의 플러스 단자에서 트랜스포머 2차측의 출력 플러스단 또는 리턴단으로 직접 배치해야 합니다. 이 배치는 큰 크기의 커먼 모드 서지 전류를 IC에서 멀리 흘려보냅니다. 입력 pi EMI 필터(C_{BULK1} , L_{DMC} , C_{BULK2})를 사용할 경우, 인덕터를 입력 필터 커패시터의 마이너스 단자 사이에 배치해야 합니다.

ESD 내성

ESD 및 Hi-Pot 절연 요건을 준수하려면 1차측과 2차측 회로 사이에 충분한 공간거리를 유지해야 합니다. 스파크 갭은 출력 리턴 및/또는 플러스 단자와 AC 입력단(퓨즈 뒤) 중 하나 사이에 배치해야 합니다. 이 구성에서 6.4mm 스파크 갭(고객 요구 사항에 따라 5.5mm도 허용 가능)은 대부분의 유니버설 입력 파워 서플라이 안전 표준의 연면거리와 공간거리 요건을 충족하기에 충분합니다. 효과적인 ESD 내성을 위해 스파크 갭 간격은 1차측 및 2차측 섹션 사이에서 가장 가까운 거리여야 합니다.

커먼 모드 초크 또는 인덕터에 걸친 스파크 갭은 ESD 또는 커먼 모드 서지로 인한 고에너지 방전에 대해 낮은 임피던스 경로를 제공합니다.

2차측 정류기 다이오드

최상의 성능을 위해 2차측 권선, 2차측 정류기 다이오드, 출력 필터 커패시터를 연결하는 루프 영역을 최소화해야 합니다. SMD 다이오드를 사용할 때는 방열을 위해 2차측 정류기 다이오드 단자에 충분한 동판 영역을 확보합니다. 2차측 다이오드에 히트싱크가 필요할 수 있습니다.

써멀 고려 사항

SOURCE 핀은 IC 리드 프레임과 내부적으로 연결되며 V, K 패키지에서 열 제거를 위한 주 경로 역할을 합니다. 따라서 SOURCE 핀은 일점 그라운드 및 히트싱크 역할을 하도록 IC 아래의 동판 영역에 연결해야 합니다. 이 영역은 노이즈가 없는 소스 노드에 연결되기 때문에 EMI 문제를 야기하지 않는 효과적인 방열을 위해서는 이 영역을 최대화해야 합니다. K 패키지는 IC 하단에 노출 패드가 있으며, IC 온도를 더욱 낮추기 위해서는 이 패드를 SOURCE 구리 히트싱크에 납땜해야 합니다.

E 패키지의 경우, IC 뒷면의 노출 패드는 히트싱크를 부착하는 데 사용됩니다. 히트싱크는 IC가 최대 정선 온도 한계 절대값 아래에서 안전하게 작동하도록 하는 데 필요합니다.

IC 온도를 최대 한계 절대값 아래로 안전하게 유지하려면 보드에 충분한 동판 영역이나 히트싱크를 제공해야 합니다. 파워 서플라이를 정격 부하, 최저 정격 입력 AC 공급 전압, 시스템의 최대 작동 주변 온도에서 작동할 때 동판 영역 또는 히트싱크가 IC 온도를 110°C 미만으로 유지해주는 것이 좋습니다. 필요에 따라 더 많은 디레이팅을 적용할 수 있습니다.

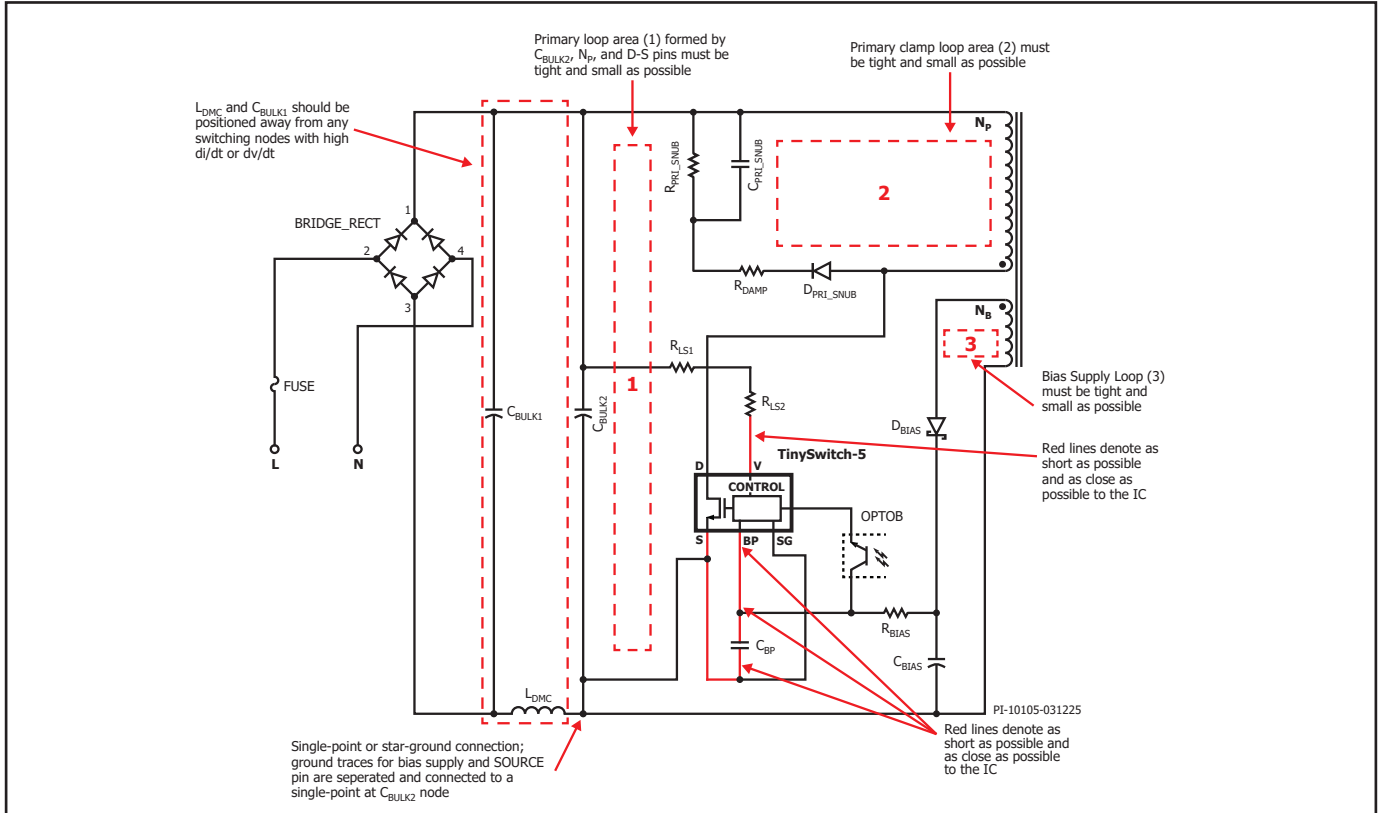


Figure 8. Typical Schematic of TinySwitch-5 Primary-Side Showing Critical Loops Areas, Critical Component Traces, and Single-Point or Star Grounding.

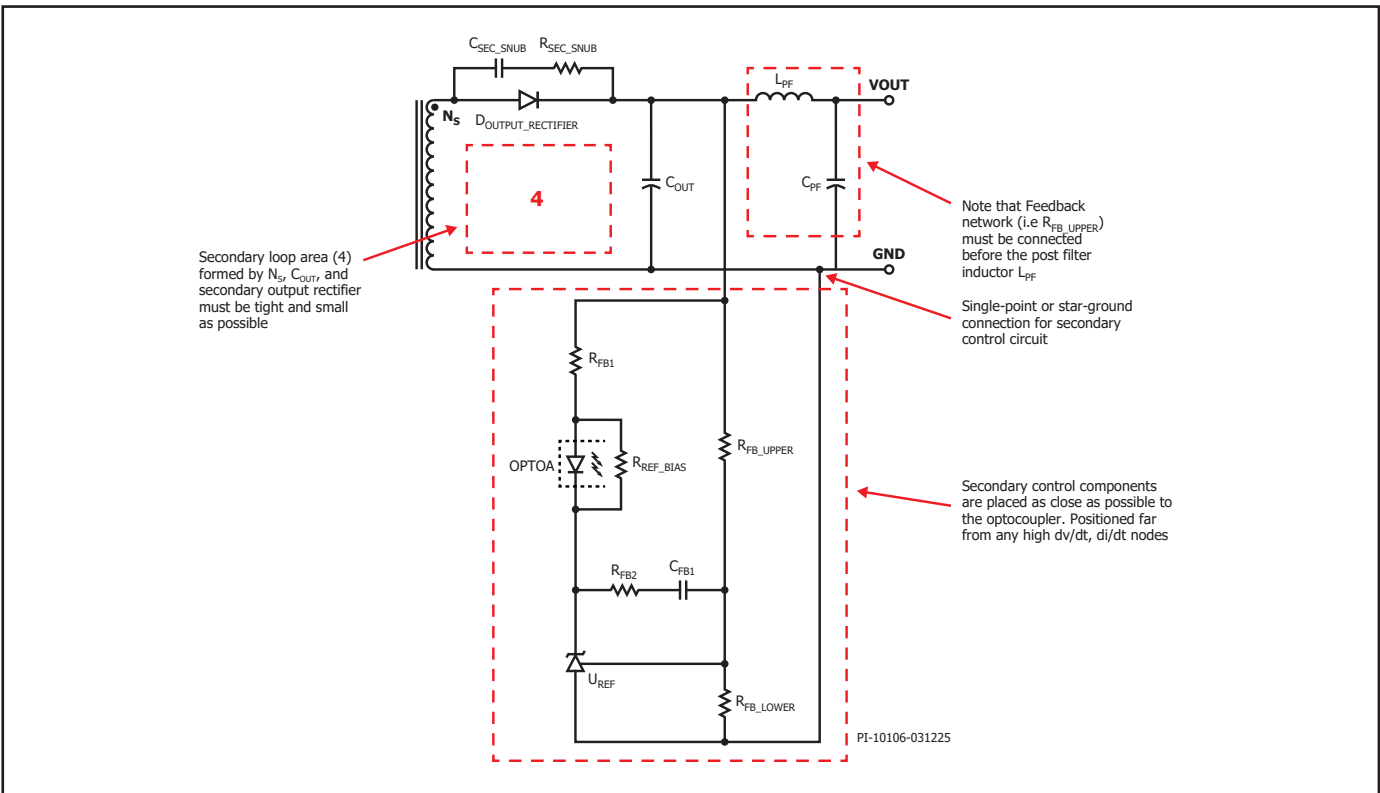


Figure 9. Typical Schematic of TinySwitch-5 Secondary-Side Showing Critical Loops Areas, Critical Component Traces and Single-Point or Star Grounding. Optional Post Filter LC included.

레이아웃 예시

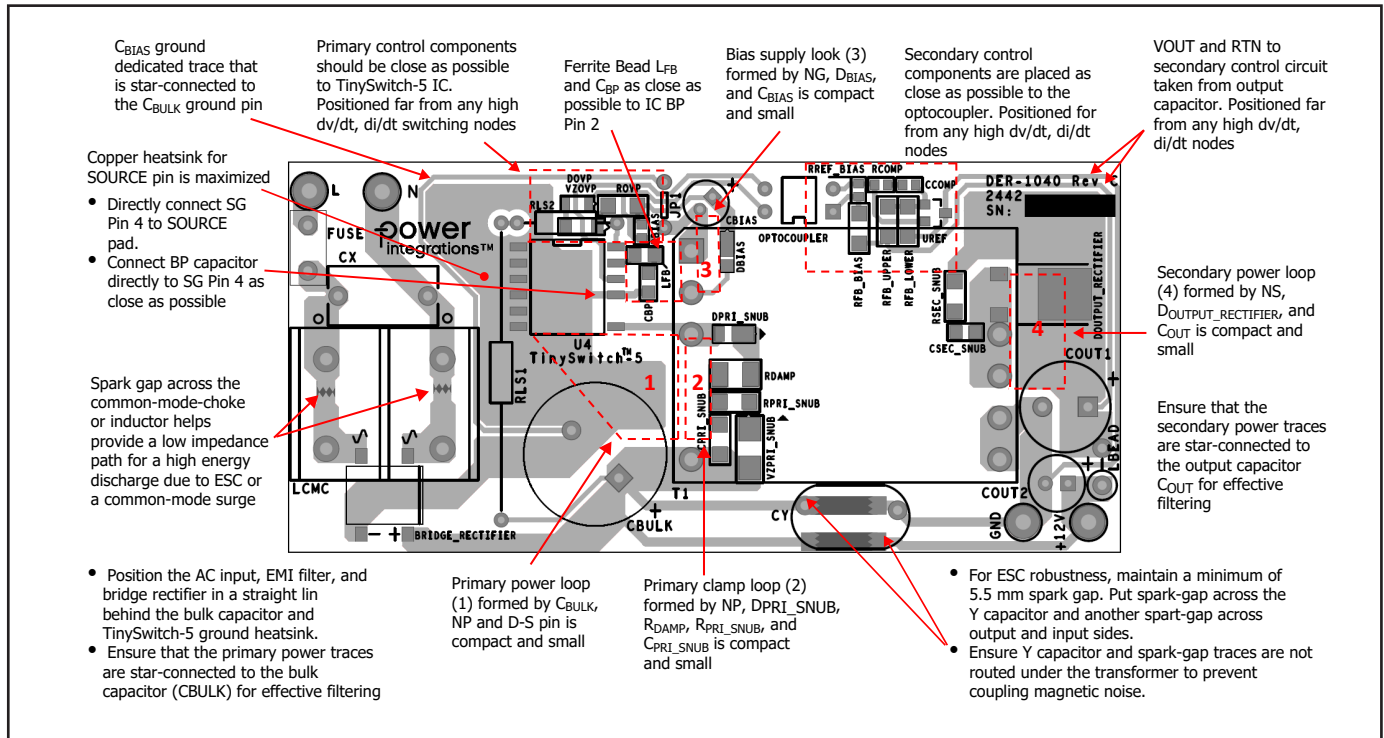


Figure 10. TOP and BOTTOM Sides – Ideal Layout Example Showing Tight Loop Areas for Circuit with High dv/dt or di/dt, Component Placement and Spark-Gap Location for TinySwitch-5 K-package.

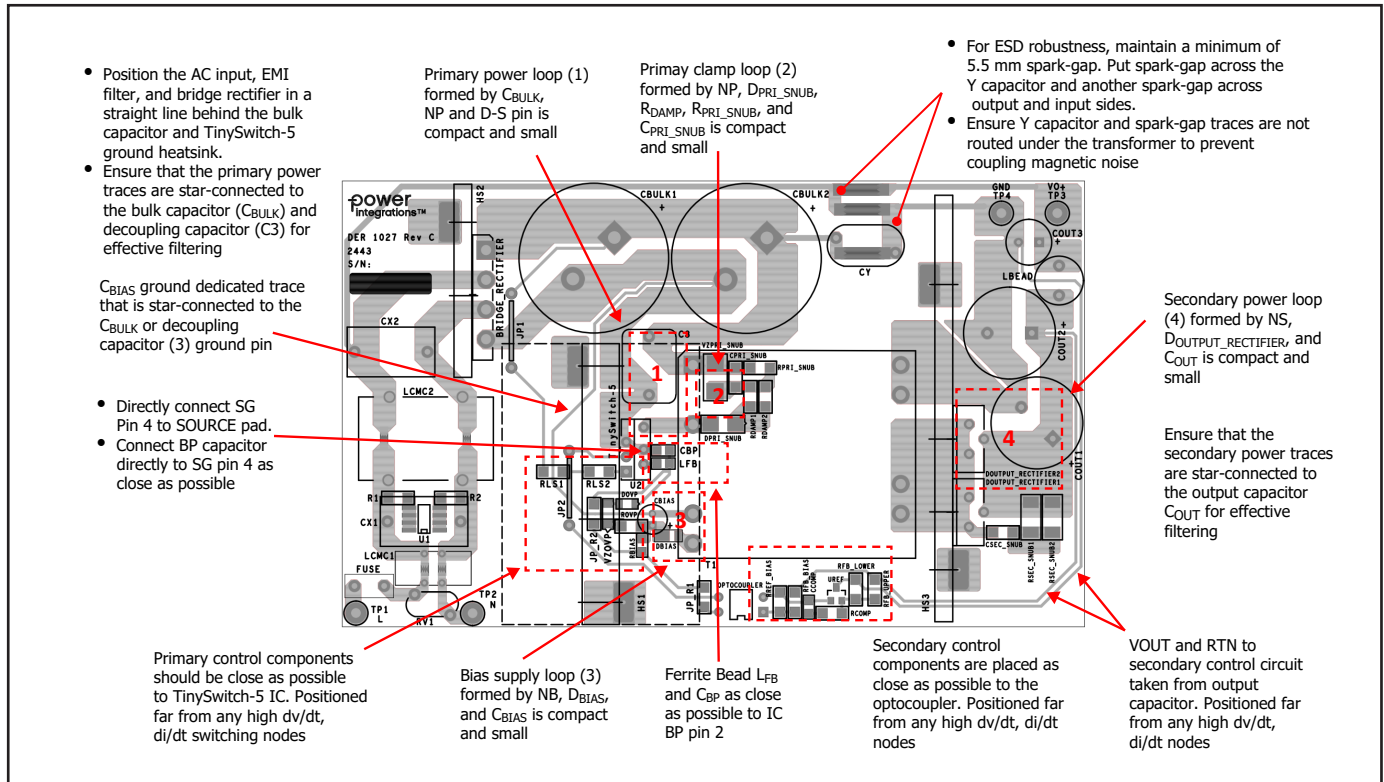


Figure 11. TOP and BOTTOM Sides – Ideal Layout Example Showing Tight Loop Areas for Circuit with High dv/dt or di/dt, Component Placement and Spark-Gap Location for TinySwitch-5 E-package.

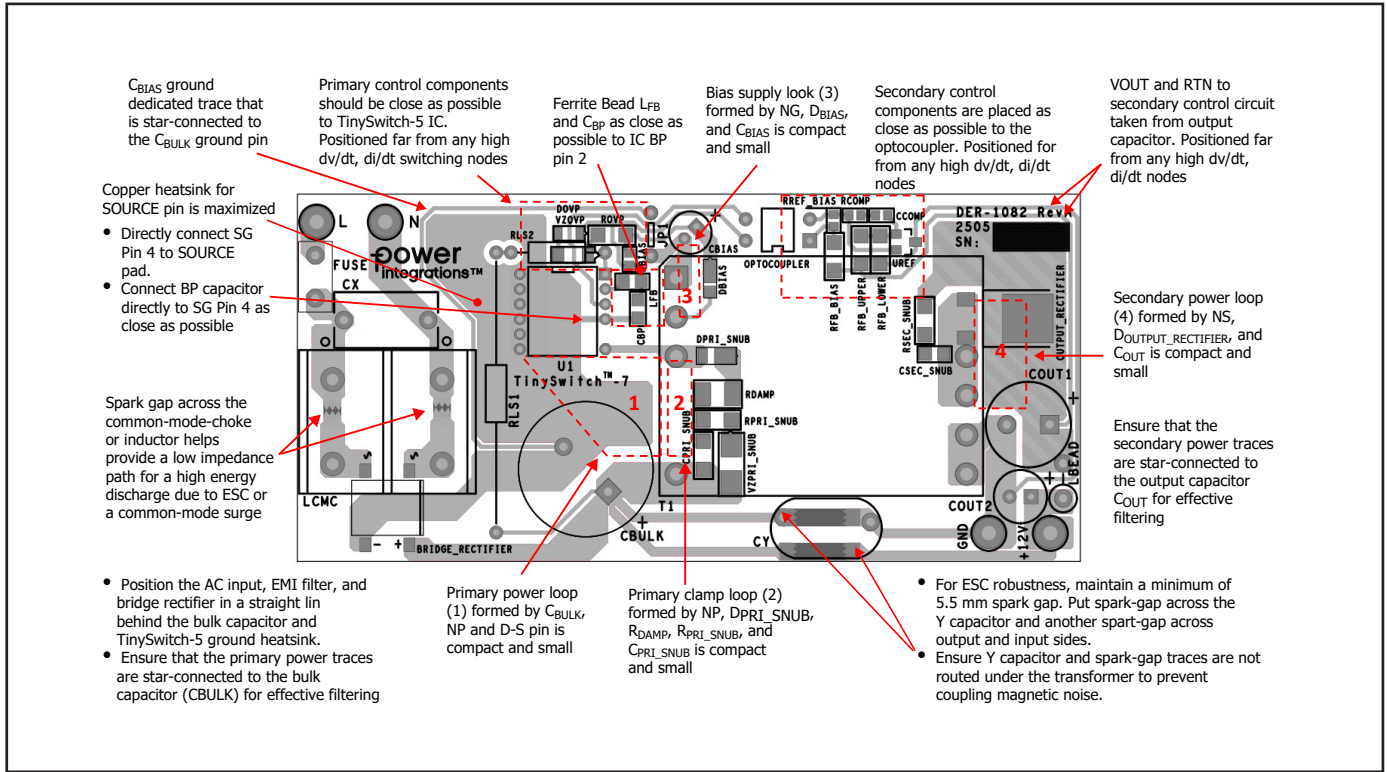


Figure 12. TOP and BOTTOM Sides – Ideal Layout Example Showing Tight Loop Areas for Circuit with High dv/dt or di/dt, Component Placement and Spark-Gap Location for TinySwitch-5 V Package.

PCB 레이아웃에 대한 특별 참고 사항

- 모든 루프가 서로 겹치지 않도록 분리하여, 그라운드 임피던스 노이즈 커플링을 방지해야 합니다.
- 드레인과 같은 높은 dv/dt 노드의 표면적과 길이를 최소화하여 RFI (우선 주파수 간섭) 발생을 줄여야 합니다.
- Y 커패시터나 피드백 리턴과 같이 노이즈 없는 신호 패턴을 드레인, 트랜스포머 벨리 밀, 권선의 스위칭측, 출력 정류기 다이오드와 같이 노이즈 있는 노드(높은 dv/dt 또는 di/dt) 근처나 그 위를 지나게 배선하지 않아야 합니다. 이렇게 하면 정전용량성 또는 자성 노이즈 커플링을 방지하는 데 도움이 됩니다.

EMI 감소를 위한 권장 사항

- 부품을 적절하게 배치하고 1차측 및 2차측 전원 회로의 루프 면적을 최소화하면 방사 및 전도 EMI를 줄일 수 있습니다. 루프 면적을 작게 만드는 것이 목표입니다.
- 1차측의 클램프 다이오드에 병렬로 작은 커패시터를 추가하면 방사 EMI를 줄일 수 있습니다.
- 바이어스 권선에 직렬로 연결된 저항은 방사 EMI를 줄일 수 있습니다.
- 파워 서플라이 입력에는 종종 커먼 모드 노이즈를 줄이기 위한 커먼 모드 초크(CMC)가 필요합니다. 트랜스포머의 철드 권선으로도 비슷한 성능을 얻을 수 있습니다. 철드 권선은 입력에서 커먼 모드 필터 인덕터와 함께 사용하여 전도 및 방사 EMI 마진을 개선할 수도 있습니다.
- 2차측 정류기 다이오드의 RC 스너버 부품 값을 조정하면 고주파 방사 및 전도 EMI를 줄이는 데 도움이 될 수 있습니다.
- 디퍼렌셜 인덕터와 커패시터로 구성된 pi 필터를 입력 정류기 회로에 사용하여 저주파수 디퍼렌셜 EMI를 줄일 수 있습니다.
- 파워 서플라이 출력단에 1μF 세라믹 커패시터를 연결하면 방사 EMI를 줄이는 데 도움이 됩니다.

트랜스포머 설계에 대한 권장 사항

트랜스포머는 파워 서플라이가 최저 입력 전압에서 정격 전력을 공급하도록 설계되어야 합니다. 정류 DC 버스의 가장 낮은 전압은 사용되는 벌크 커패시터의 커패시턴스에 따라 달라집니다. 3μF/W가 일반적인 마진을 제공하지만, DC 버스 전압을 90V 이상으로 유지하기 위해서는 최소 2μF/W를 사용하는 것이 좋습니다. DC 버스의 리플을 측정해야 하고 트랜스포머 1차측 권선 인덕턴스를 선택하기 위한 설계 계산을 확인해야 합니다.

반사 출력 전압, VOR(V)

이 파라미터는 다이오드 전도 시간 동안, 트랜스포머의 권선비를 통해 1차측에 반사된 2차측 권선 전압을 나타냅니다. 기본값은 120V이지만, VOR을 조정하여 설계 규칙을 준수하는 설계를 달성할 수 있습니다. 설계 최적화를 위해 다음 요소를 고려하십시오.

- VOR을 높이면 V_{MIN}에서 전력 공급을 늘릴 수 있어, 입력 커패시터의 값은 최소화하고 전력 공급을 최대화합니다.
- VOR을 높이면 출력 다이오드의 전압 스트레스가 줄어들어 정격 전압은 낮추고 효율은 높일 수 있습니다.
- VOR을 높이면 파워 서플라이의 효율을 떨어뜨리는 누설 인덕턴스가 증가합니다.
- VOR을 높이면 2차측 피크 전류와 RMS 전류가 증가하여 2차측 동손과 다이오드 손실이 늘어나므로 효율이 떨어집니다.

이러한 지침에는 예외가 있다는 점을 고려해야 하며, 특히 매우 높은 출력 전류의 경우 최상의 효율을 달성하기 위해 VOR을 줄여야 합니다. 높은 출력 전압에서는(15V 이상) 높은 VOR을 사용하여 출력 다이오드 양단의 허용 가능한 피크 역전압(PIV)을 유지해야 합니다.

VOR 값의 최적의 선택은 특정 애플리케이션에 따라 달라지며, 위에 언급한 요소 사이의 절충안이 필요합니다.

피크 전류에 대한 리플 전류의 비(K_p)

K_p 가 1보다 낮은 경우 연속 전도 모드를 나타내며 여기서 K_p 는 리플 전류와 1차측 피크 전류 간의 비율입니다(그림 13).

$$K_p \equiv K_{RP} = \frac{I_R}{I_p}$$

1보다 큰 K_p 값은 불연속 전도 모드를 나타냅니다. 이 경우 K_p 는 1차측 스위치 오프 타임과 2차측 다이오드 전도 시간의 비율입니다.

$$K_p \equiv K_{DP} = \frac{(1-D) \times T}{t} = \frac{VOR \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

대부분의 TinySwitch-5 설계에는 최소 예상 DC 버스 전압에서 K_p 값이 0.9에 가까운 것을 사용하는 것이 좋습니다. K_p 값이 1보다 작으면 1차측 RMS 전류가 낮아져 트랜스포머 효율이 향상됩니다. 그러나 1차측 스위치에서의 스위칭 손실이 커져 TinySwitch-5 IC 온도가 올라갑니다.

PIXI 스프레드시트를 사용하면 K_p 선택, 1차측 권선 인덕턴스, 트랜스포머 권선비, 동작 주파수를 효과적으로 최적화할 수 있으며 적절한 설계 마진을 확보할 수 있습니다.

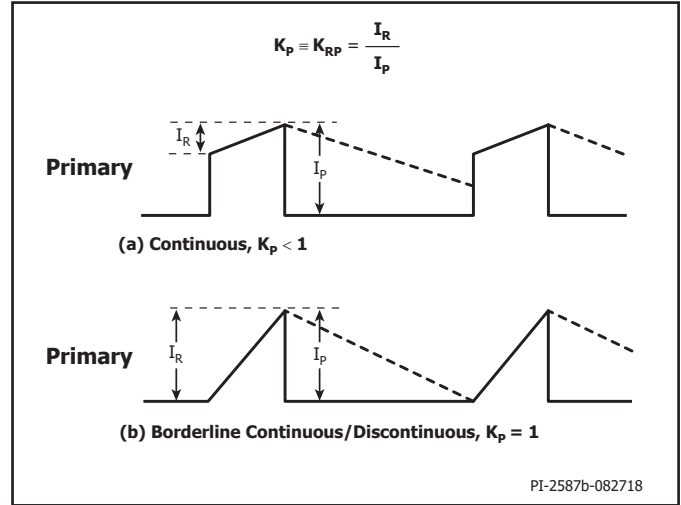


Figure 13. Continuous Conduction Mode Current Waveform, $K_p < 1$.

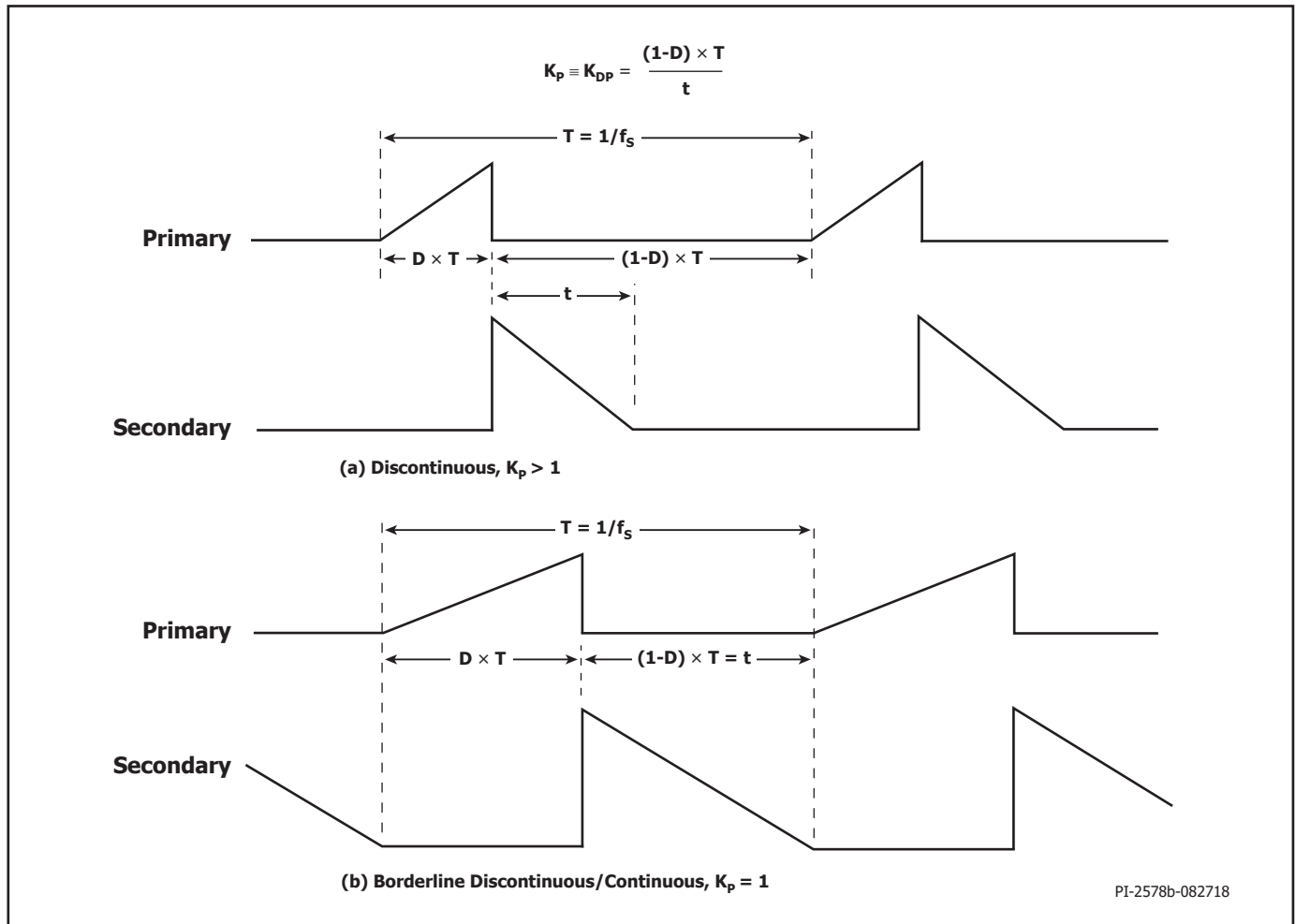


Figure 14. Discontinuous Conduction Mode Current Waveform, $K_p > 1$.

최대 자속 밀도, B_m (가우스)

스타트업 중에 그리고 출력 단락 조건 하에서 피크 자속 밀도를 제한하려면 피크 디바이스 전류 제한에서 최대값인 **3800** 가우스가 권장됩니다. 이러한 상태에서는 출력 전압이 낮으며 스위치 오프 타임 동안 트랜스포머의 리셋이 최소화됩니다. 따라서 정상 동작 레벨 이상에서 트랜스포머 자속 밀도가 계단식으로 상승할 수 있습니다. 선택한 디바이스의 피크 전류 제한에서의 **3800** 가우스 값은 TinySwitch-5 IC에 내장된 보호 기능과 함께 충분한 마진을 제공하여 스타트업 시 또는 출력 단락 상태에서 코어 포화를 방지할 수 있습니다.

트랜스포머 1차측 인덕턴스, L_p

최저 동작 입력 전압, 풀부하 시의 스위칭 주파수, 그리고 필요한 VOR 이 결정되면 트랜스포머 1차측 인덕턴스를 계산할 수 있습니다. 트랜스포머 설계 시에는 PIX1 설계 스프레드시트를 참고할 수 있습니다.

코어 유형

코어는 파워 서플라이 케이스의 물리적 제약에 따라 선택해야 합니다. 열 문제를 최소화하려면 저손실 코어만 사용하는 것이 좋습니다.

안전 마진, MARGIN(mm)

1차와 2차 사이에 안전 절연거리가 필요하고 3중 절연 와이어를 사용하지 않는 설계의 경우, 각 보빈 측면에 사용할 안전 마진 폭을 여기에 입력해야 합니다. 일반적으로 유니버설(85~265VAC) 입력 설계의 경우 6.2mm의 총 마진이 필요하며 3.1mm의 값을 스프레드시트에 입력해야 합니다. 수직 보빈의 경우 마진은 대칭적이지 않을 수 있지만, 6.2mm의 총 마진이 필요한 경우, 물리적 마진이 보빈의 한쪽 면에만 있더라도 3.1mm가 입력됩니다. 3중 절연 와이어를 사용하는 설계의 경우, 필요한 안전 규격 연면거리를 충족시키기 위해 작은 마진을 입력해야 할 수 있습니다. 일반적으로 각 코어 크기에 대해 여러 보빈이 존재하며 각각 구조적 공간 거리가 서로 다릅니다. 보빈의 데이터 시트를 참조하거나 문의하여 설계에 필요한 특정 마진을 확인하시기 바랍니다.

마진은 권선 가능 영역을 줄이므로 마진 구조는 크기가 작은 코어에 적합하지 않을 수 있습니다. 마진을 입력한 후 1차측 레이어가 3개 이상 필요한 경우, 더 큰 코어를 선택하거나 3중 절연 와이어를 사용하는 제로 마진 방식으로 설계를 전환하는 것이 권장됩니다.

1차측 레이어, L

1차측 레이어는 1~3 범위에 있어야 하며 1차측 전류 밀도 한계(CMA)를 충족하는 최저 숫자가 선호됩니다. 200 Circular-mils/Amp 이상의 값을 대부분의 설계에서 시작점으로 사용할 수 있지만 열적 제약으로 인해 더 높은 값이 필요할 수 있습니다. 레이어가 세 개 이상인 설계도 가능하지만, 증가된 누설 인덕턴스와 권선의 물리적 적합성을 고려해야 합니다.

누설 인덕턴스로 인한 클램프 전력 손실이 너무 높은 설계의 경우 1차측 분할 구조가 용이할 수 있습니다. 1차측 분할 구조에서 1차측 권선의 절반이 2차측(및 바이어스) 권선의 양쪽에 샌드위치 배열 방식으로 배치됩니다. 그러나 이 배열은 일반적으로 커먼 모드 노이즈를 증가시키고 입력 필터링 비용을 높이기 때문에 저전력 설계에 불리할 수 있습니다.

빠른 설계 확인 목록

어떤 파워 서플라이를 설계하든 최악의 경우에도 부품 한계를 초과하지 않는다는 점을 보증하기 위해 모든 TinySwitch-5 설계의 동작을 벤치에서 검증해야 합니다. 최소한 다음과 같은 시험을 실시할 것을 강력히 권장합니다:

최대 드레인 전압

TinySwitch-5의 V_{DS} 와 2차측 정류기 다이오드의 역전압이 정상 동작 중과 스타트업 시 최고 입력 전압 및 피크(과부하) 출력 전력에서 항복 전압의 90%를 넘지 않는지 검증해야 합니다.

최대 드레인 전류

최고 주위 온도, 최대 입력 전압 및 피크(과부하) 출력 전력에서 측정합니다. 기동 시 나타나는 트랜스포머의 포화 또는 과도한 리딩 엷지 전류 스파이크의 신호가 드레인 전류 파형에서 나타나는지 확인하십시오. 정상 상태 조건에서 테스트를 반복하고 리딩 엷지 전류 스파이크가 $t_{LEB(MIN)}$ 의 끝에서 $I_{LIMIT(MIN)}$ 미만인지 확인합니다. 모든 조건에서 1차측 MOSFET의 최대 드레인 전류는 지정된 최대 정격 절대값 이하가 되어야 합니다.

써멀 검사

지정된 최대 출력 전력에서의 최소 입력 전압 및 최대 주변 온도입니다. TinySwitch-5 IC, 트랜스포머, 브릿지 정류기, 2차측 정류기 다이오드, 출력 커패시터의 온도 사양 제한이 초과되지 않았는지 확인합니다. MOSFET $R_{DS(ON)}$ 의 부품간 편차 때문에 충분한 써멀 마진이 필요합니다. 로우 라인, 최대 전력에서 $R_{DS(ON)}$ 편차를 허용하려면 TinySwitch-5 IC 최대 온도 110°C가 권장됩니다.

Design Support

설계 지원에 대한 최신 정보는 파워 인테그레이션스(Power Integrations) 웹 사이트(www.power.com)를 참조하십시오.

최대 정격 절대값^{1,2}

DRAIN 핀 전압: TNY5071-TNY5077	-0.3V~725V
DRAIN 핀 피크 전류: TNY5071.....	0.9A ³
TNY5072.....	1.7 A ³
TNY5073.....	2.28A ³
TNY5074.....	3.47A ³
TNY5075.....	4.11A ³
TNY5076.....	5.19A ³
TNY5077.....	5.92A ³
BP 핀 전압	-0.3~6V
BP 핀 전류	100 mA
V 핀 전압	-0.3V~6 V
C 핀 전압	-0.3V~6V
보관 온도	-65~150°C
동작 정션 온도 ⁴	-40~150°C
주위 온도	-40~105°C
최대 리드 온도 ⁵	260°C

참고:

- 모든 전압은 SOURCE와 2차측 GROUND, $T_A = 25^\circ\text{C}$ 를 기준으로 합니다.
- 지정된 최대 정격은 제품에 영구적인 손상을 초래하지 않는 한도 내에서 일회적으로 측정된 결과입니다. 지정된 시간보다 오랫동안 최대 정격 절대값 조건에 노출하면 제품 신뢰성에 영향을 미칠 수 있습니다.
- 미정.
- 일반적으로 내부 회로에 의해 제한됩니다.
- 케이스에서 1/16인치 거리를 두고 최대 5초 동안 측정한 값입니다.

열 저항

서멀 저항: E 패키지

(θ_{JA})	105°C/W ¹
(θ_{JC})	2°C/W ²

V 패키지

(θ_{JA})	68°C/W ³ , 58°C/W ⁴
(θ_{JC})	2°C/W ²

K 패키지

(θ_{JA})	45°C/W ³ , 38°C/W ⁴
(θ_{JC})	2°C/W ²

참고:

- 히트싱크 없는 독립형입니다.
- 탐의 뒷면에서 측정되었습니다.
- 232mm²(0.36평방인치), 610g/m²(2온스) 동판의 히트싱크 영역이 있는 일반 애플리케이션 PCB에 납땜되었습니다(K 패키지용 노출 패드 포함).
- 645mm²(1평방인치), 610g/m²(2온스) 동판의 히트싱크 영역이 있는 일반 애플리케이션 PCB에 납땜되었습니다(K 패키지용 노출 패드 포함).

Parameter	Symbol	Conditions SOURCE = 0 V T _J = -40 °C to 125 °C (Unless Otherwise Specified)		Min	Typ	Max	Units
Control Functions							
Start-Up Off-Time	T _{OFF(STARTUP)}	T _J = 25 °C			30	45	μs
Maximum Operating Frequency	f _{OSC}	T _J = 25 °C		TBD	150		kHz
Jitter Modulation Frequency	f _M	T _J = 25 °C f _{SW} = 150 kHz			0.22		kHz
Maximum Duty Cycle	DC _{MAX}	T _J = 25 °C		TBD	66		%
Maximum On-Time Extension	T _{ONEXT(MAX)}	T _J = 25 °C		TBD	15		μs
Minimum Off-Time	T _{OFF(MIN)}	T _J = 25 °C		TBD	2.2	TBD	μs
Soft-Start Time	T _{SOFT}	T _J = 25 °C			6.26		ms
CONTROL Current No Switching	I _{C(NOSWITCHING)}	T _J = 25 °C			290	TBD	μA
Dynamic Impedance	Z _C	T _J = 25 °C, I _C = 300 μA			207	300	Ω
Dynamic Impedance Temperature Drift	Z _{C(TEMPDRIFT)}	T _J = 25 °C			TBD		%/°C
C Pin Voltage	V _C	T _J = 25 °C, I _C = 300 μA			2.04	2.10	V
Control Current Auto-Restart and End Soft-Start Threshold	I _{C(TH)}	T _J = 25 °C			16	TBD	μA
BP Supply Current	I _{S1}	V _{BP} = V _{BP} + 0.1 V (Switch not Switching) T _J = 25 °C			258	TBD	μA
	I _{S2}	V _{BP} = V _{BP} + 0.1 V (Switch Switching at 150 kHz) T _J = 25 °C	TNY5071		0.44	TBD	mA
			TNY5072		0.51	TBD	
			TNY5073		0.60	TBD	
			TNY5074		0.69	TBD	
			TNY5075		0.92	TBD	
			TNY5076		1.03	TBD	
			TNY5077		1.34	TBD	
BP Pin Charge Current	I _{CH1}	V _{BP} = 0 V, T _J = 25 °C		-TBD	-1.44	-TBD	mA
	I _{CH2}	V _{BP} = 4 V, T _J = 25 °C		-TBD	-4.60	-TBD	
BP Pin Voltage	V _{BP}	T _J = 25 °C		TBD	4.95	TBD	V
BP Pin Voltage Hysteresis	V _{BP(H)}	T _J = 25 °C			0.5		V
BP Shunt Voltage	V _{SHUNT}	I _{BP} = 2 mA T _J = 25 °C		TBD	5.42	TBD	V
BP Power-Up Reset Threshold Voltage	V _{BP(RESET)}	T _J = 25 °C		TBD	3.30	TBD	V
V Pin Brown-In Threshold	I _{UV+}	T _J = 25 °C		TBD	12.3	TBD	μA

Parameter	Symbol	Conditions SOURCE = 0 V $T_J = -40\text{ }^{\circ}\text{C}$ to $125\text{ }^{\circ}\text{C}$ (Unless Otherwise Specified)	Min	Typ	Max	Units
Control Functions (cont.)						
V Pin Brown-Out Threshold	I_{UV-}	$T_J = 25\text{ }^{\circ}\text{C}$	TBD	10.4	TBD	μA
Brown-Out Delay Time	t_{UV-}	$T_J = 25\text{ }^{\circ}\text{C}$		36		ms
V Pin Line Overvoltage Threshold	I_{OV+}	$T_J = 25\text{ }^{\circ}\text{C}$	TBD	56.6	TBD	μA
V Pin Line Overvoltage Hysteresis	$I_{OV(H)}$	$T_J = 25\text{ }^{\circ}\text{C}$		3.9		μA
V Pin Line Overvoltage Recovery Threshold	I_{OV-}	$T_J = 25\text{ }^{\circ}\text{C}$	50.0			μA
Line Fault Protection						
VOLTAGE Pin Line Overvoltage Deglitch Filter	t_{OV+}	$T_J = 25\text{ }^{\circ}\text{C}$ See Note B		3		μs
V Pin Voltage	V_V	$T_J = 25\text{ }^{\circ}\text{C}$ $I_V = 45\text{ }\mu\text{A}$	2.2	2.6	3.0	V

Parameter	Symbol	Conditions SOURCE = 0 V T _j = -40 °C to 125 °C (Unless Otherwise Specified)		Min	Typ	Max	Units
Circuit Protection							
Reduced Current Limit (BP) Capacitor = 4.7 μF See Note C	I _{LIMIT-1} (Switch Switching at 150 KHz)	di/dt = 88 mA/μs T _j = 25 °C	TNY5071K	288	310	332	mA
			TNY5071V	288	310	332	
		di/dt = 135 mA/μs T _j = 25 °C	TNY5072K	446	480	514	
			TNY5072V	446	480	514	
		di/dt = 190 mA/μs T _j = 25 °C	TNY5073K	623	670	717	
			TNY5073V	623	670	717	
		di/dt = 223 mA/μs T _j = 25 °C	TNY5074K	734	790	846	
			TNY5074V	734	790	846	
		di/dt = 285 mA/μs T _j = 25 °C	TNY5075K	930	1000	1070	
			TNY5075V	930	1000	1070	
		di/dt = 450 mA/μs T _j = 25 °C	TNY5075E	1478	1590	1702	
		di/dt = 650 mA/μs T _j = 25 °C	TNY5076E	2139	2300	2461	
di/dt = 750 mA/μs T _j = 25 °C	TNY5077E	2464	2650	2836			
Standard Current Limit (BP) Capacitor 0.47 μF See Note C	I _{LIMIT} (Switch Switching at 150 KHz)	di/dt = 88 mA/μs T _j = 25 °C	TNY5071K	348	375	402	mA
			TNY5071V	348	375	402	
		di/dt = 135 mA/μs T _j = 25 °C	TNY5072K	544	585	626	
			TNY5072V	544	585	626	
		di/dt = 190 mA/μs T _j = 25 °C	TNY5073K	757	815	873	
			TNY5073V	757	815	873	
		di/dt = 223 mA/μs T _j = 25 °C	TNY5074K	892	960	1028	
			TNY5074V	892	960	1028	
		di/dt = 285 mA/μs T _j = 25 °C	TNY5075K	1125	1210	1295	
			TNY5075V	1125	1210	1295	
		di/dt = 450 mA/μs T _j = 25 °C	TNY5075E	1794	1930	2066	
		di/dt = 650 mA/μs T _j = 25 °C	TNY5076E	2585	2780	2975	
di/dt = 750 mA/μs T _j = 25 °C	TNY5077E	3013	3240	3467			

Parameter	Symbol	Conditions SOURCE = 0 V $T_J = -40\text{ }^{\circ}\text{C}$ to $125\text{ }^{\circ}\text{C}$ (Unless Otherwise Specified)	Min	Typ	Max	Units
Circuit Protection (cont.)						
BYPASS Pin Fault Shut-Down Threshold Current	I_{SD}	$T_J = 25\text{ }^{\circ}\text{C}$	TBD	8.7		mA
Auto-Restart On-Time	t_{AR}	$T_J = 25\text{ }^{\circ}\text{C}$		66		ms
Auto-Restart Off-Time	$t_{AR(OFF)}$	$T_J = 25\text{ }^{\circ}\text{C}$		1.2		sec
Short Auto-Restart Off-Time	$t_{AR(OFF)H}$	$T_J = 25\text{ }^{\circ}\text{C}$ See Note B		0.2		sec
Output						
ON-State Resistance	$R_{DS(ON)}$	TNY5071K/V $I_D = I_{LIMIT}$	$T_J = 25\text{ }^{\circ}\text{C}$		10.12	11.64
			$T_J = 100\text{ }^{\circ}\text{C}$		TBD	TBD
		TNY5072K/V $I_D = I_{LIMIT}$	$T_J = 25\text{ }^{\circ}\text{C}$		6.36	7.31
			$T_J = 100\text{ }^{\circ}\text{C}$		TBD	TBD
		TNY5073K/V $I_D = I_{LIMIT}$	$T_J = 25\text{ }^{\circ}\text{C}$		4.59	5.28
			$T_J = 100\text{ }^{\circ}\text{C}$		TBD	TBD
		TNY5074K/V $I_D = I_{LIMIT}$	$T_J = 25\text{ }^{\circ}\text{C}$		3.20	3.68
			$T_J = 100\text{ }^{\circ}\text{C}$		TBD	TBD
		TNY5075K/V $I_D = I_{LIMIT}$	$T_J = 25\text{ }^{\circ}\text{C}$		1.88	2.16
			$T_J = 100\text{ }^{\circ}\text{C}$		TBD	TBD
		TNY5075E $I_D = I_{LIMIT}$	$T_J = 25\text{ }^{\circ}\text{C}$		2.10	2.42
			$T_J = 100\text{ }^{\circ}\text{C}$		TBD	TBD
		TNY5076E $I_D = I_{LIMIT}$	$T_J = 25\text{ }^{\circ}\text{C}$		1.49	1.71
			$T_J = 100\text{ }^{\circ}\text{C}$		TBD	TBD
		TNY5077E $I_D = I_{LIMIT}$	$T_J = 25\text{ }^{\circ}\text{C}$		1.26	1.45
			$T_J = 100\text{ }^{\circ}\text{C}$		TBD	TBD
OFF-State Drain Leakage Current	I_{DSS1}	$V_{BP} = V_{BP} + 0.1\text{ V}$ $V_{DS} = 80\%$ Peak Drain Voltage $T_J = 125\text{ }^{\circ}\text{C}$			200	μA
	I_{DSS2}	$V_{BP} = V_{BP} + 0.1\text{ V}$ $V_{DS} = 80\%$ Peak Drain Voltage $T_J = 25\text{ }^{\circ}\text{C}$		15		μA
Drain Supply Voltage		See Note A	50			V
Thermal Shutdown	T_{SD}	See Note A	TBD	142	TBD	$^{\circ}\text{C}$
Thermal Shutdown Hysteresis	$T_{SD(H)}$	See Note A		70		$^{\circ}\text{C}$

NOTES:

I. This parameter is derived from characterization.

J. This parameter is guaranteed by design.

K. To ensure correct current limit it is recommended that nominal 0.47 μF / 4.7 μF capacitors are used. In addition, the BP capacitor value tolerance should be equal or better than indicated below across the ambient temperature range of the target application. The operation of the device with the minimum and maximum capacitor values shown are guaranteed by characterization.

Nominal BP Pin Capacitor Value	BP Capacitor Minimum	Value Tolerance Maximum
0.47 μF	-60%	+100%
4.7 μF	-50%	N/A

Recommended to use at least a 10 V / 0805 / X7R SMD MLCC capacitor.

Typical Performance Curves

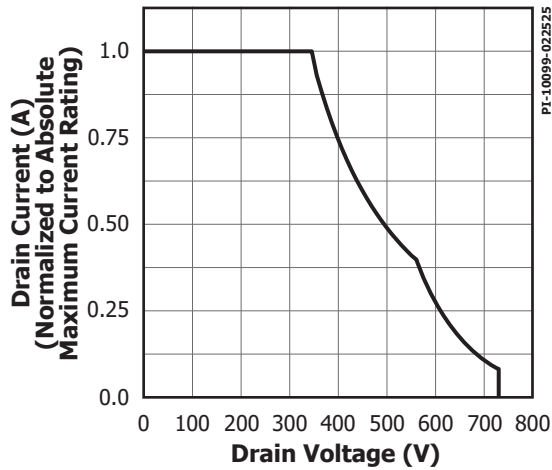


Figure 15. Maximum Allowable Drain Current vs. Drain Voltage.

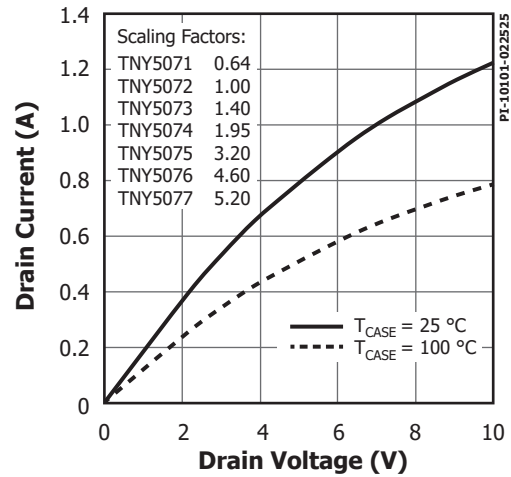


Figure 16. Output Characteristics.

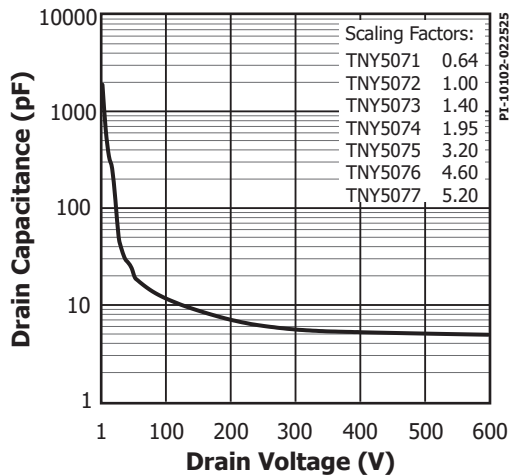


Figure 17. C_{oss} vs. Drain Voltage.

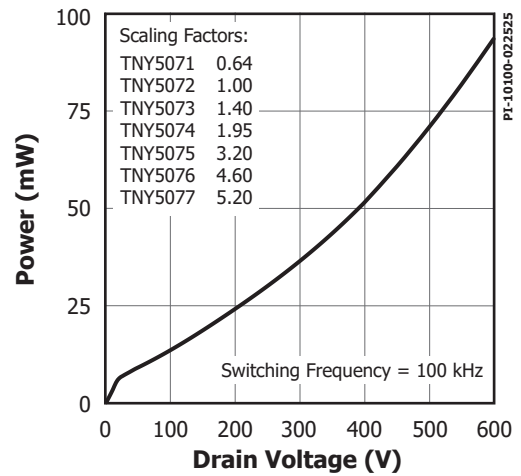
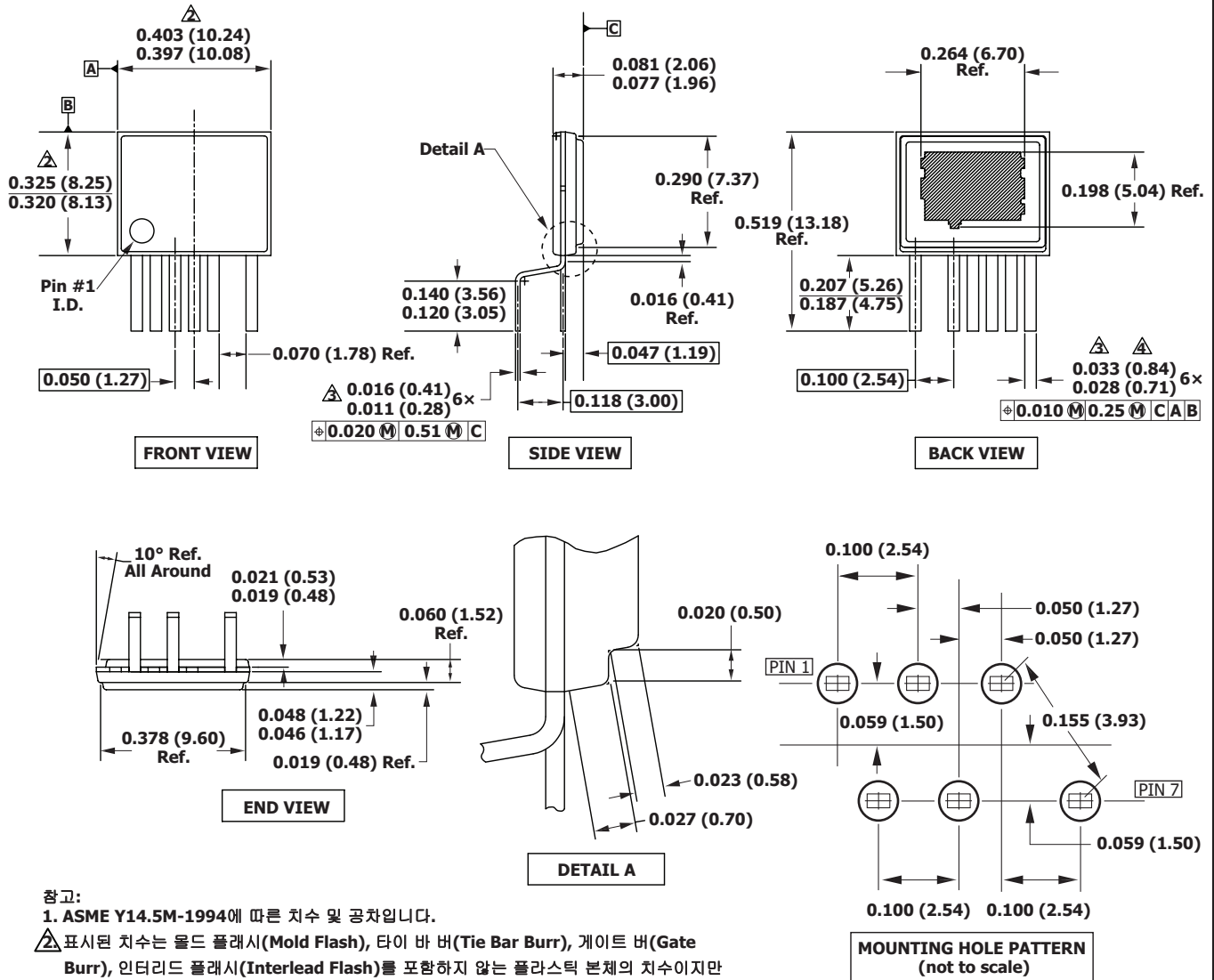


Figure 18. Drain Capacitance Power.

eSIP-7C (E Package)



참고:

1. ASME Y14.5M-1994에 따른 치수 및 공차입니다.

△ 표시된 치수는 몰드 플래시(Mold Flash), 타이 바 버(Tie Bar Burr), 게이트 버(Gate Burr), 인터리드 플래시(Interlead Flash)를 포함하지 않는 플라스틱 본체의 치수이지만 플라스틱 본체의 윗면과 아랫면 사이의 거리가 포함됩니다. 최대 몰드 돌출은 측면당 0.007[0.18]입니다.

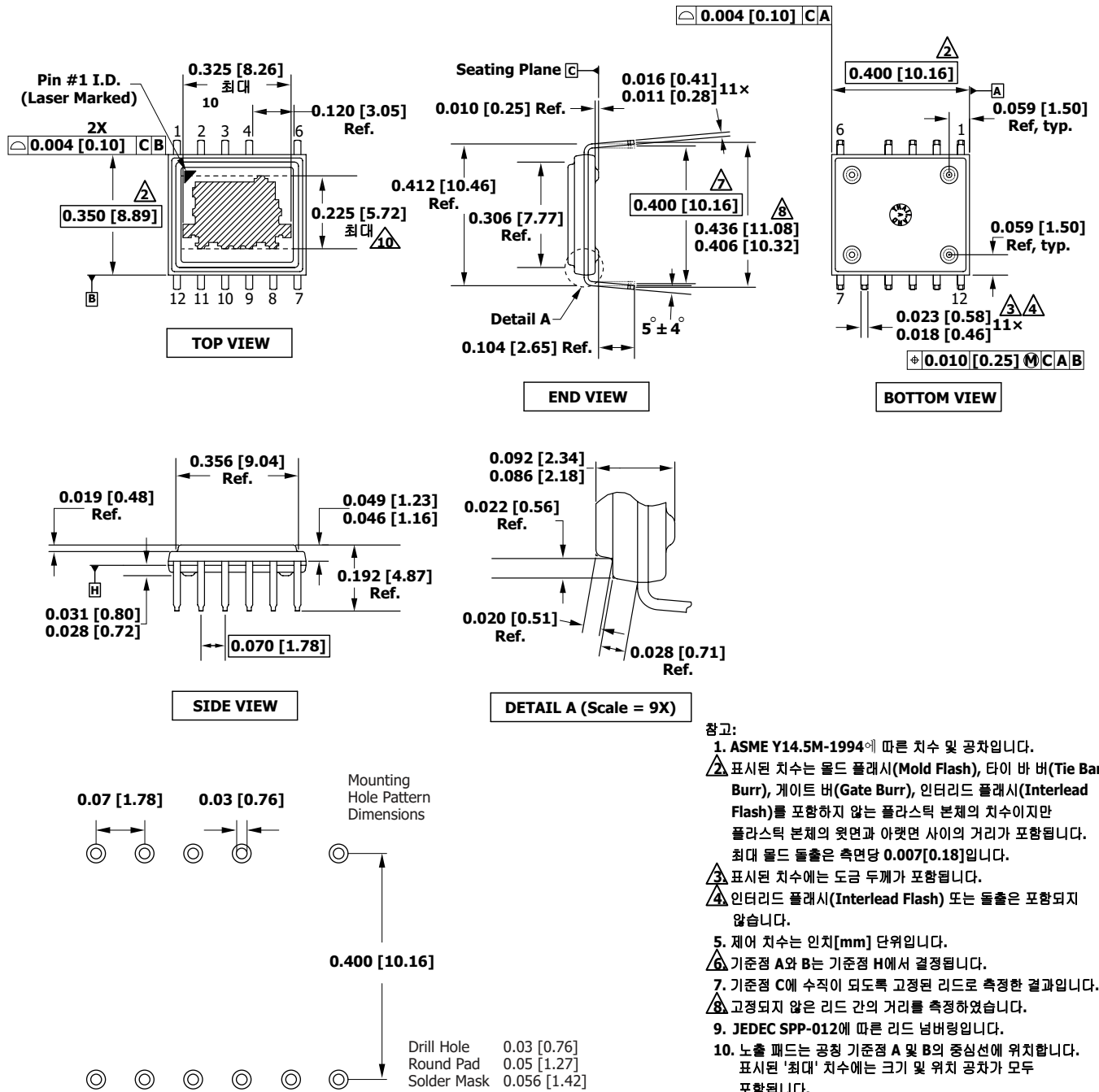
△ 표시된 치수에는 도금 두께가 포함됩니다.

△ 인터리드 플래시(Interlead Flash) 또는 돌출은 포함되지 않습니다.

5. 제어 치수는 인치(mm) 단위입니다.

PI-4917-020515

eDIP-12B (V Package)

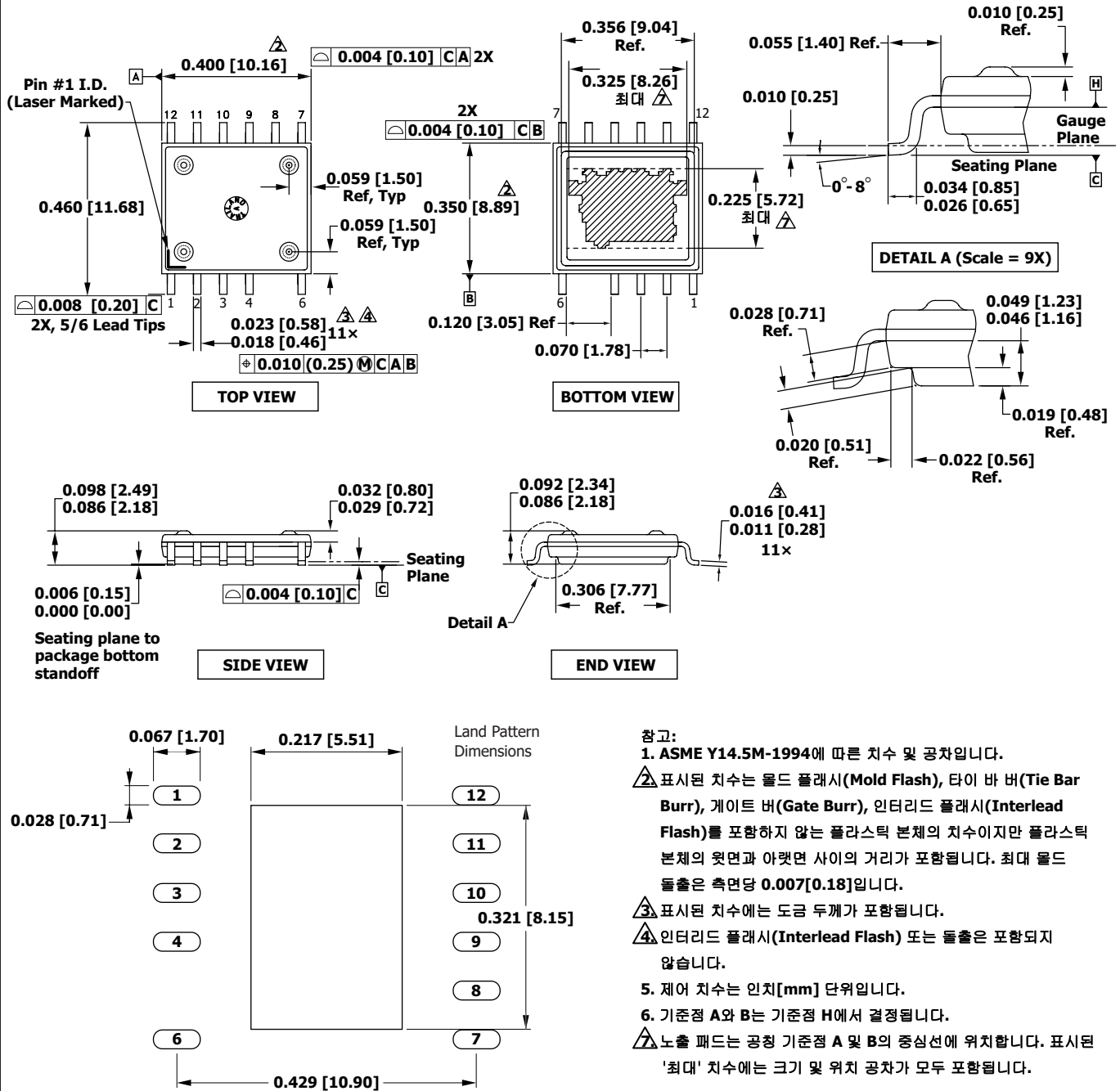


참고:

1. ASME Y14.5M-1994에 따른 치수 및 공차입니다.
2. 표시된 치수는 몰드 플래시(Mold Flash), 타이 바 버(Tie Bar Burr), 게이트 버(Gate Burr), 인터리드 플래시(Interlead Flash)를 포함하지 않는 플라스틱 본체의 치수이지만 플라스틱 본체의 윗면과 아랫면 사이의 거리가 포함됩니다. 최대 몰드 돌출은 측면당 0.007[0.18]입니다.
3. 표시된 치수에는 도금 두께가 포함됩니다.
4. 인터리드 플래시(Interlead Flash) 또는 돌출은 포함되지 않습니다.
5. 제어 치수는 인치[mm] 단위입니다.
6. 기준점 A와 B는 기준점 H에서 결정됩니다.
7. 기준점 C에 수직이 되도록 고정된 리드로 측정된 결과입니다.
8. 고정되지 않은 리드 간의 거리를 측정하였습니다.
9. JEDEC SPP-012에 따른 리드 넘버링입니다.
10. 노출 패드는 공칭 기준점 A 및 B의 중심선에 위치합니다. 표시된 '최대' 치수에는 크기 및 위치 공차가 모두 포함됩니다.

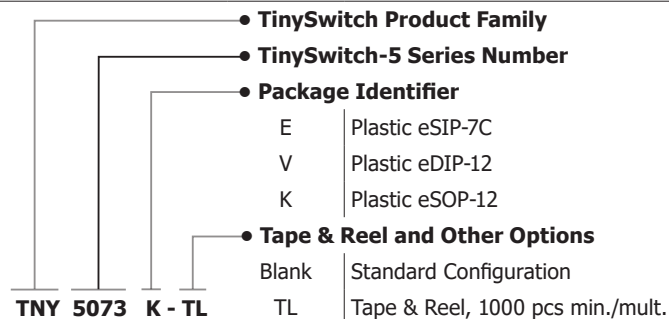
PI-5556a-021715

eSOP-12B (K Package)



PI-5748a-020515

Part Ordering Information



개정	참고	날짜
A	예비 출시.	12/23
B	페이지 서식 수정, 4, 5페이지 텍스트 변경, 8, 10페이지 파라미터 표 업데이트.	06/24
C	Introduction release.	12/24
D	애플리케이션 예제, 일반 성능 곡선 추가.	03/25

최신 업데이트는 당사 웹사이트 www.power.com을 참고하십시오.

파워 인테그레이션스(Power Integrations)는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. 파워 인테그레이션스(Power Integrations)는 본 문서에서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. 파워 인테그레이션스(Power Integrations)는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 침해해를 포함하며 이에 국한되지 않음)을 명백하게 부인합니다.

특허 정보

본 문서에서 설명하는 제품 및 애플리케이션(제품의 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허 또는 파워 인테그레이션스(Power Integrations)에서 출원 중인 미국 및 해외 특허에 포함될 수 있습니다. 파워 인테그레이션스(Power Integrations)의 전체 특허 목록은 www.power.com에서 확인할 수 있습니다. 파워 인테그레이션스(Power Integrations)는 고객에게 <https://www.power.com/company/intellectual-property-licensing/>에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

파워 인테그레이션스(Power Integrations)의 제품은 파워 인테그레이션스(Power Integrations) 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 자세한 정의는 다음과 같습니다.

- 수명 유지 디바이스 또는 시스템이란 (i)신체에 대한 외과적 이식을 목적으로 하거나, (ii)수명 지원 또는 유지를 목적으로 사용되며, (iii)사용 지침에 따라 올바르게 사용하는 경우에도 동작의 실패가 사용자의 상당한 부상 또는 사망을 초래할 수 있는 디바이스 또는 시스템입니다.
- 핵심 부품이란 부품의 작동이 실패하여 수명 유지 디바이스 또는 시스템의 작동이 실패하거나, 해당 디바이스 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 디바이스 또는 시스템에 사용되는 모든 부품입니다.

파워 인테그레이션스(Power Integrations), 파워 인테그레이션스(Power Integrations) 로고, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperLCS, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, PowiGaN, SCALE, SCALE-1, SCALE-2, SCALE-3, SCALE-iDriver는 Power Integrations, Inc.의 상표이며, 기타 상표는 각 회사의 재산입니다. ©2024, Power Integrations, Inc.

파워 인테그레이션스(Power Integrations) 전 세계 판매 지원 지역

본사

5245 Hellyer Avenue
San Jose, CA 95138, USA
본사 전화: +1-408-414-9200
고객 서비스:
글로벌: +1-65-635-64480
아메리카: +1-408-414-9621
이메일: usasales@power.com

중국(상하이)

Rm 2410, Charity Plaza, No. 88
North Caoxi Road
Shanghai, PRC 200030
전화: +86-21-6354-6323
이메일: chinasales@power.com

중국(선젠)

17/F, Hivac Building, No. 2, Keji Nan
8th Road, Nanshan District,
Shenzhen, China, 518057
전화: +86-755-8672-8689
이메일: chinasales@power.com

독일

(AC-DC/LED/모터 컨트롤 판매)
Einsteinring 37 (1.OG)
85609 Dornach/Aschheim
Germany
전화: +49-89-5527-39100
이메일: eurosales@power.com

독일(게이트 드라이버 판매)

HellwegForum 3
59469 Ense
Germany
전화: +49-2938-64-39990
이메일: igbt-driver.sales@power.com

인도

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
전화: +91-80-4113-8020
이메일: indiasales@power.com

이탈리아

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI) Italy
전화: +39-024-550-8701
이메일: eurosales@power.com

일본

Yusen Shin-Yokohama 1-chome Bldg.
1-7-9, Shin-Yokohama, Kohoku-ku
Yokohama-shi,
Kanagawa 222-0033 Japan
전화: +81-45-471-1021
이메일: japansales@power.com

대한민국

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
전화: +82-2-2016-6610
이메일: koreasales@power.com

싱가포르

51 Newton Road
#19-01/05 Goldhill Plaza
Singapore, 308900
전화: +65-6358-2160
이메일: singaporesales@power.com

대만

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei 11493, Taiwan R.O.C.
전화: +886-2-2659-4570
이메일: taiwansales@power.com

영국

Building 5, Suite 21
The Westbrook Centre
Milton Road
Cambridge
CB4 1YG
전화: +44 (0) 7823-557484
이메일: eurosales@power.com