

LYTSwitch-6 제품군

고전압 스위치와 FluxLink 피드백이 통합된
플라이백 CV/CC LED 드라이버 IC

제품의 주요 특징

높은 집적도, 작은 공간

- 전체 부하 범위에서 최대 94% 효율
- 멀티 모드 유사 공진(QR)/CCM/DCM 플라이백 컨트롤러, 고전압 스위치, 2차측 컨트롤 및 동기 정류 드라이버 통합
- FluxLink™, HIPOT 절연, 피드백 링크 통합
- 트랜스포머 설계 또는 외부 부품과 상관없는 뛰어난 CV/CC 정확성
- 외부 센싱 저항을 사용하여 조정 가능한 정확한 출력 전류 센싱
- PowiGaN™ 기술 – 히트싱크 없이 최대 100W(LYT6079C와 LYT6070C)

EcoSmart™ – 에너지 효율

- 30 mW 미만의 무부하 전력(라인 센싱 포함, PF 프런트 엔드 미포함)
- LYTSwitch-6을 이용한 설계는 Energy Star 및 모든 국제 조명 에너지 효율성 규정을 준수.
- 낮은 열 손실

고급 보호 및 안전 기능

- 오토-리스타트 기능을 가진 입력 라인 OV
- 오토-리스타트 기능을 가진 출력 고장 OVP/UVP
- 오픈 SR FET 게이트 감지
- 정확한 브라운인 기능을 가진 입력 전압 모니터
- 써멀 폴드백을 사용하여 높은 온도에서의 전력 제공(낮은 수준) 보장

높은 안전성 및 규정 준수

- 절연 강화
- 절연 전압 > 4000VAC
- 100% 생산 HIPOT 준수 테스트
- UL1577 및 TUV(EN60950, EN62368) 안전 승인 획득

친환경 패키지

- 할로겐 프리 및 RoHS 준수

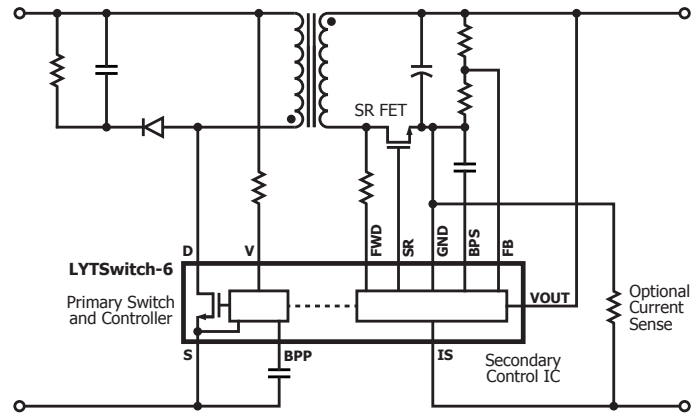
애플리케이션

- 절연 오프라인 LED 드라이버
- 스마트 LED 조명
- 고전압 플라이백 포스트 레귤레이터

설명

LYTSwitch™-6 시리즈 IC 제품군은 오프라인 LED 드라이버, 특히 소형 케이스 내에 들어가거나 높은 효율이 필요한 오프라인 LED 드라이버의 개발 및 제조를 획기적으로 간소화합니다. LYTSwitch-6 아키텍처는 1차측과 2차측 컨트롤러 모듈을 센싱 부품 및 안정성이 검증된 피드백 메커니즘과 함께 단일 IC에 통합한 매우 혁신적인 아키텍처입니다.

부품 간의 근접성과 내장된 커뮤니케이션 링크인 FluxLink의 혁신적인 사용으로 2차측 동기 정류 MOSFET 및 1차측 내장 고전압 MOSFET의 유사 공진(QR) 스위칭을 정확하게 제어할 수 있기 때문에 전체 부하 범위에서 고효율을 유지할 수 있습니다.



PI-8375-112718

Figure 1. Typical Application/Performance.



Figure 2. High Creepage, Safety-Compliant InSOP-24D Package.

Output Power Table

Product ^{2,3}	277 VAC ± 15%	85-305 VAC	380 VDC / 450 VDC ²
	Open Frame ¹	Open Frame ¹	Open Frame ¹
LYT6063C/6073C	15 W	12 W	25 W
LYT6065C/6075C	30 W	25 W	40 W
LYT6067C/6077C	50 W	45 W	60 W
LYT6068C	65 W	55 W	
Product ²	750 V PowiGaN Switch		
LYT6078C	75 W	65 W	90 W
LYT6079C	85 W	75 W	100 W
LYT6070C	95 W	85 W	110 W

Table 1. Output Power Table.

Notes:

1. Minimum continuous power in a typical non-ventilated and PCB size measured at 40 °C ambient. Max output power is dependent on the design. With condition that package temperature must be < 125 °C.

2. Package: InSOP-24D.

3. LYT606x – 650 V MOSFET, LYT607x – 725 V MOSFET.

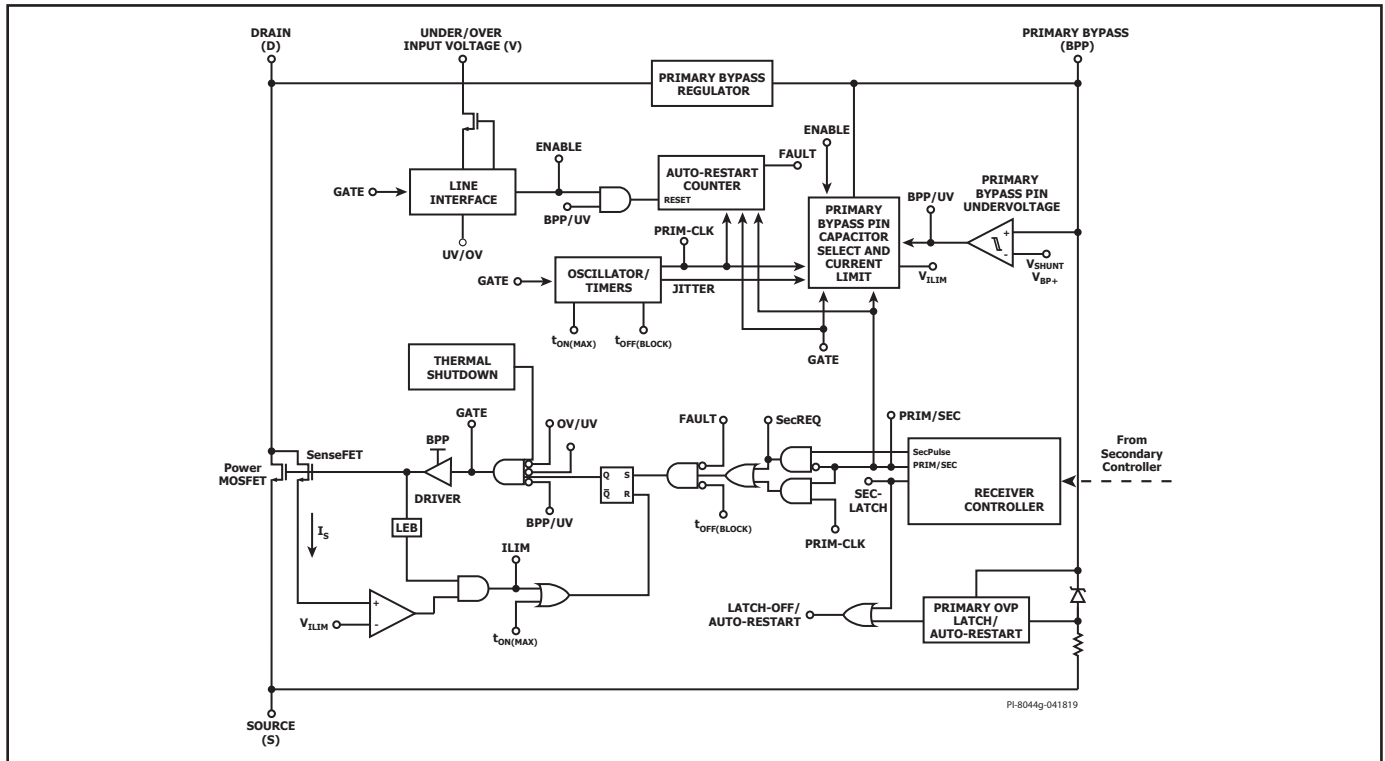


Figure 3. Primary Controller Block Diagram.

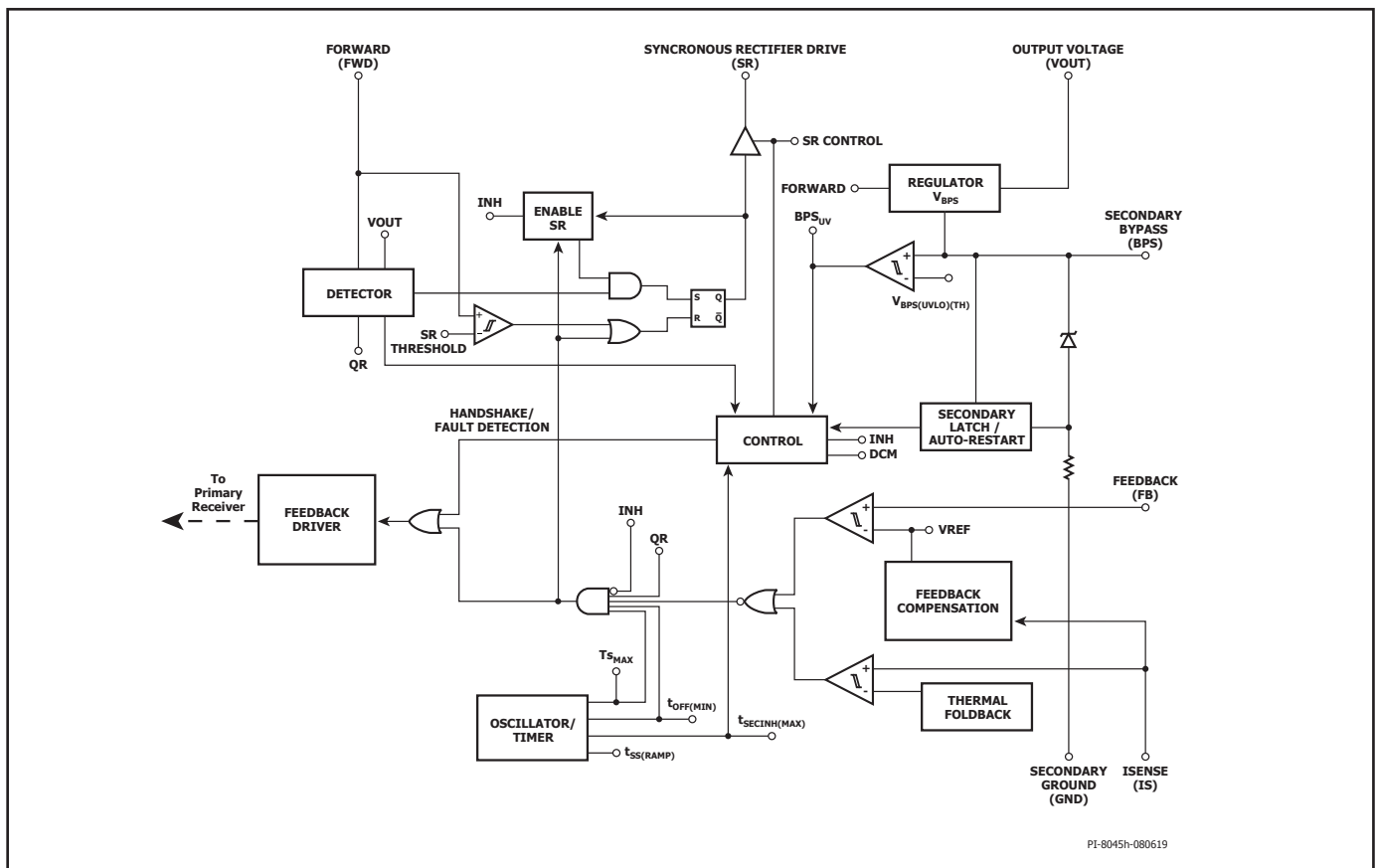


Figure 4. Secondary Controller Block Diagram.

핀 기능 설명

ISENSE(IS) 핀(핀 1)

파워 서플라이 출력 단자에 대한 연결입니다. 외부 전류 센싱 저항은 이 핀과 GND 핀 사이에서 연결되어야 합니다. 전류 레귤레이션이 필요하지 않은 경우 이 핀을 GND 핀에 연결되어야 합니다.

SECONDARY GROUND(GND)(핀 2)

2차측 IC에 대한 GND 핀입니다. 이 핀과 ISENSE 핀 사이에 센싱 저항이 있으므로 이는 파워 서플라이 출력 GND 핀이 아닙니다.

FEEDBACK(FB) 핀(핀 3)

이 핀은 외부 저항 분배기에 연결되어 파워 서플라이 출력 전압을 설정합니다.

SECONDARY BYPASS(BPS) 핀(핀 4)

2차측 IC 공급을 위한 외부 바이패스 커패시터의 연결 지점입니다.

SYNCHRONOUS RECTIFIER DRIVE(SR) 핀(핀 5)

외부 SR FET용 게이트 드라이버입니다.

OUTPUT VOLTAGE(VOUT) 핀(핀 6)

출력 전압에 직접 연결되어 2차측 컨트롤러에 전류를 공급합니다.

FORWARD(FWD) 핀(핀 7)

1차측 스위칭 타이밍 정보를 제공하는 트랜스포머 출력 권선의 스위칭 노드와의 연결 지점입니다. V_{out} 이 기준점(Threshold) 미만일 경우 2차측 컨트롤러에 전류를 공급합니다.

NC 핀(핀 8-12)

오픈 상태로 두십시오. 다른 핀과 연결하면 안 됩니다.

INPUT OVERVOLTAGE 모니터(V) 핀(핀 13)

파워 서플라이 입력부의 과전압 상태를 감지하기 위해 입력 브리지의 AC 또는 DC측에 연결된 고전압 핀입니다. 이 핀은 소스에 연결하여 OV 보호 기능을 비활성화해야 합니다.

PRIMARY BYPASS(BPP) 핀(핀 14)

1차측 전원 공급용 외부 바이패스 커패시터의 연결 지점입니다. 표준 ILIM 또는 ILIM+1를 선택하기 위한 ILIM 선택 핀의 역할도 합니다.

NC 핀(핀 15)

오픈 상태로 두거나 SOURCE 핀 또는 BPP 핀에 연결하십시오.

SOURCE(S) 핀(핀 16-19)

이 핀은 파워 스위치 소스 연결 핀입니다. 또한 1차측 BYPASS 핀의 그라운드 기준핀입니다.

DRAIN(D) 핀(핀 24)

파워 스위치 드레인 연결입니다.

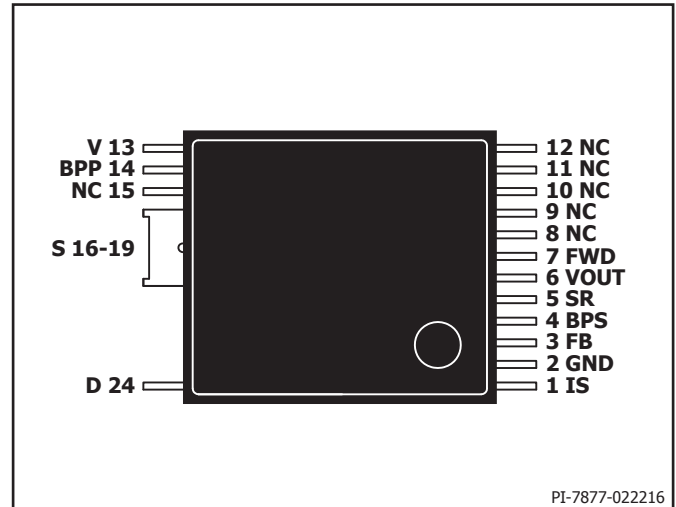


Figure 5. Pin Configuration.

LYTSwitch-6 기능 설명

LYTSwitch-6는 고전압 파워 스위치를 1차측 및 2차측 컨트롤러와 함께 하나의 디바이스에서 통합합니다.

이 아키텍처는 패키지 리드 프레임과 본드 와이어를 통해 2차측 컨트롤러로부터 1차측 컨트롤러로 정확하게 직접 감지한 출력 전압 및 전류 정보를 전송할 수 있는 안전하고 안정적이며 가격 경쟁력이 우수한 새로운 유도 커플링 피드백 방식이 적용되어 있습니다.

LYTSwitch-6는 CCM(연속 전도 모드)에서 작동할 수 있는 유사 공진(QR) 플라이백 컨트롤러입니다. 이 컨트롤러는 가변 주파수와 가변 전류 제어 방식을 모두 사용합니다. 1차측 컨트롤러는 주파수 지터 오실레이터, 2차측 컨트롤러에 자기적으로 커플링된 수신기 회로, 전류 제한 컨트롤러, PRIMARY BYPASS 핀의 5V 레귤레이터, 경부하 동작용 가청 노이즈 감소 엔진, 바이패스 과전압 감지 회로, 무손실 입력 라인 센싱 회로, 전류 제한 선택 회로, 과열 보호, 리딩 엣지 블랭킹, 650V, 725V 또는 750V 파워 스위치로 구성되어 있습니다.

LYTSwitch-6 2차측 컨트롤러는 1차측 수신기에 자기적으로 커플링된 송신기 회로, 정전압(CV) 및 정전류(CC) 제어 회로, 2차측 SECONDARY BYPASS 핀의 4.4V 레귤레이터, 동기 정류 MOSFET 드라이버, QR 모드 회로, 오실레이터 및 타이밍 기능, 써멀 폴드백 제어를 비롯한 각종 통합 보호 기능으로 구성됩니다.

그림 3과 4는 가장 중요한 기능을 갖춘 1차측 및 2차측 컨트롤러의 기능 블록 다이어그램을 보여줍니다.

1차측 컨트롤러

LYTSwitch-6는 가변 주파수 QR 컨트롤러에 CCM 모드를 지원하여 효율성과 출력이 우수합니다.

PRIMARY BYPASS 핀 레귤레이터

PRIMARY BYPASS 핀에는 파워 스위치가 꺼질 때마다 DRAIN 핀의 전압에서 전류를 끌어와 PRIMARY BYPASS 핀 커패시터를 V_{BPP} 로 충전하는 내부 레귤레이터가 있습니다. PRIMARY BYPASS 핀은 내부 공급 전압 노드입니다. 파워 스위치가 ON 상태일 때 디바이스는 PRIMARY BYPASS 핀 커패시터에 저장된 에너지로 동작합니다.

또한, 외부 저항을 통해 PRIMARY BYPASS 핀에 전류가 공급되는 경우 PRIMARY BYPASS 핀 전압을 V_{SHUNT} 까지 클램핑하는 셉트 레귤레이터가 있습니다. 따라서 바이어스 권선을 통해 외부에서 LYTSwitch-6에 전력을 공급할 수 있어 무부하 소비 전력을 30 mW 미만으로 낮출 수 있습니다.

1차측 바이패스 ILIM 프로그래밍

LYTSwitch-6는 PRIMARY BYPASS 핀 커패시터 값을 선택하여 사용자가 전류 제한(ILIM) 설정을 프로그래밍할 수 있습니다. PRIMARY BYPASS 핀은 디바이스의 내부 파워 서플라이를 디커플링하기 위해 세라믹 커패시터를 사용할 수 있습니다.

0.47 μ F 및 4.7 μ F를 이용하여 프로그래밍 가능한 (2) 설정을 사용할 수 있으며, 각각 표준 및 강하 ILIM 설정을 이용할 수 있습니다.

1차측 바이패스 저전압 기준점(Threshold)

PRIMARY BYPASS 핀 저전압 회로는 정상 상태 동작 중에 PRIMARY BYPASS 핀 전압이 $\sim 4.5V(V_{BPP} - V_{BR(H)})$ 아래로 떨어지는 경우 파워 스위치를 비활성화시킵니다. PRIMARY BYPASS 핀 전압이 이 기준점(Threshold) 아래로 떨어지면, 파워 스위치 턴온을 재활성화하기 위해 다시 V_{SHUNT} 까지 상승시켜야 합니다.

1차측 바이패스 출력 과전압 오토-리스타트 기능

PRIMARY BYPASS 핀에는 OV 보호 오토-리스타트 기능이 있습니다. PRIMARY BYPASS 핀 커패시터와 직렬로 연결된 저항에 병렬로 연결되어 있는 제너 다이오드는 일반적으로 1차측 바이어스 권선에 대한 과전압을 감지하여 이러한 보호 메커니즘을 활성화하는 데 사용됩니다. PRIMARY BYPASS 핀으로 흘러 들어 가는 전류가 I_{SD} 를 초과하는 경우, 디바이스는 시간 $t_{AR(OFF)}$ 동안 파워 스위치 스위칭을 비활성화합니다. 이 시간이 지나면 컨트롤러는 동작을 재개하고 레귤레이션을 회복하려 시도합니다.

2차측 컨트롤러에도 VOUT OV 보호 기능 역시 적용되어 있습니다.

과열 보호

세밀 섀다운 회로는 1차측 스위치 집 온도를 센싱합니다. 기준점은 일반적으로 $T_{SD(H)}$ 히스테리시스(Hysteresis)를 갖는 T_{SD} 로 설정됩니다. 칩 온도가 이 기준점(Threshold) 이상으로 상승하면 파워 스위치는 비활성화되고 칩 온도가 $T_{SD(H)}$ 로 떨어질 때까지 비활성화 상태를 유지하다가 이 지점에서 재활성화됩니다. $T_{SD(H)}$ 의 강한 히스테리시스가 전달되어 고장 상태가 지속되어도 PCB의 과열을 방지합니다.

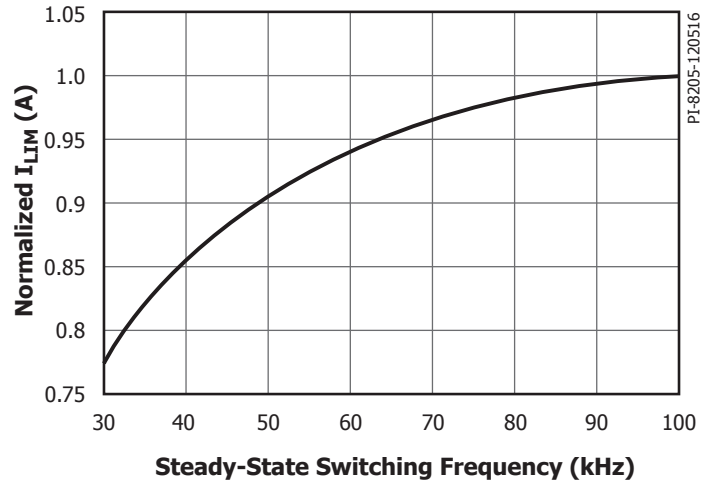


Figure 6. Normalized Primary Current vs. Frequency.

Current Limit 동작

1차측 컨트롤러는 마지막 1차측 스위칭 사이클이 종료되는 시점부터 시간 (즉, 스위칭 사이클이 종료되고 1차측 스위치가 턴오프되는 시간)에 반비례하는 전류 제한 기준점(Threshold) 램프 기능을 갖추고 있습니다.

이러한 특징으로 인해 부하가 증가함에 따라 함께 높아지는 1차 current limit이 발생합니다(그림 6).

이러한 알고리즘 덕분에 피드백 스위칭 사이클 요청을 받을 시 즉각 반응하는 1차측 스위치를 가장 효율적으로 사용할 수 있습니다.

부하가 강할 시 스위칭 주기는 최대 100%의 ILIM에 이르는 전류가 발생하며 이는 부하가 감소할 시 전체 current limit의 30%까지 점차적으로 감소합니다. 30% 전류 제한에 이르면 더 이상 감소하지 않으나(가청 노이즈를 피할 만큼 충분히 낮기 때문) 스위칭 사이클 사이의 시간은 부하가 감소하면서 계속 증가합니다.

지터

정규화된 전류 제한은 f_M 의 변조 주파수에서 100%~95% 사이에서 변조되며, 이로 인해 ~ 7 kHz의 주파수 지터가 발생하고 평균 주파수는 ~ 100 kHz가 됩니다.

Auto-Restart

출력 과부하, 출력 단락, 또는 외부 부품/핀 고장 등의 문제가 발생하는 경우, LYTSwitch-6는 오토-리스타트(AR) 동작으로 진입합니다. 오토-리스타트 동작 시 파워 스위치 스위칭은 $t_{AR(OFF)}$ 동안 비활성화됩니다. 다음과 같은 두 가지 방법으로 오토-리스타트 동작으로 진입할 수 있습니다.

1. 과부하 감지 주파수 (~ 110 kHz)를 넘는 2차측 연속 요청이 80ms 보다 오래 발생하는 경우.
2. $t_{AR(SK)}$ 보다 긴 시간 동안 2차측에서 스위칭 사이클 요청이 없는 경우.

두 번째는 통신이 끊긴 경우 1차측에서 다시 리스타트를 시도하는 것을 보장 하기 위해 포함되었습니다. 이 상태는 정상적으로 동작하는 경우에 절대 있어서는 안되지만, 2차측 컨트롤러를 방해하는 노이즈로 인해 통신이 끊긴 경우와 같은 시스템 ESD 상태일 경우에 유용합니다. 이 문제는 한 번의 오토-리스타트 오프 타임 후 1차측 리스타트 시 해결됩니다.

오토-리스타트는 AC 리셋이 발생한 후 리셋됩니다.

SOA 보호

블랭킹 시간과 전류 제한 딜레이 시간(리딩 엣지 전류 스파이크 ~500ns 포함) 내에 ILIM에 도달하는 사이클이 2회 연속 발생하는 경우, 컨트롤러는 약 2.5사이클 또는 ~25μs(전체 주파수 100kHz 기준)를 건너뛰니다. 이를 통해 트랜스포머가 기동 시간을 늘리지 않고 큰 용량성 부하로 기동하는 동안 트랜스포머 리셋을 위한 충분한 시간을 확보할 수 있습니다.

입력 라인 전압 모니터링

INPUT OVERVOLTAGE 핀은 입력 과전압 센싱과 보호 기능에 사용됩니다.

센싱 저항은 브릿지 위의 고전압 DC 벌크 커패시터와 INPUT OVERVOLTAGE 핀 사이(또는 고속 AC 리셋을 위한 브릿지 정류기의 AC 측)에 연결되어 이 기능을 활성화합니다. 이 핀의 기능은 INPUT OVERVOLTAGE 핀을 1차측 소스로 단락시켜서 비활성화할 수 있습니다.

1-2차측 핸드셰이크

스타트업 시, 1차측에서는 처음에 어떠한 피드백 정보도 없이 스위칭합니다 (이는 표준 TOPSwitch™, TinySwitch™ 또는 LinkSwitch™ 컨트롤러 동작과 매우 유사합니다.)

오토-리스타트 온-타임 (t_{AR}) 중 수신되는 피드백 신호가 없는 경우 1차측은 오토-리스타트에 진입합니다. 정상적인 상태에서 2차 컨트롤러는 FORWARD 핀을 통해 또는 OUTPUT VOLTAGE에서 직접 구동된 후 제어합니다. 이때부터 2차측 제어 스위칭이 이루어집니다.

정상 동작 중에(2차측에서 제어할 때) 1차측에서 스위칭을 멈추거나 2차측의 사이클 요청에 응답하지 않는 경우 1차측이 다시 스위칭을 시작하면 2차측이 즉시 제어를 할 수 있도록 핸드셰이크 프로토콜이 재가동됩니다. 2차측에서 1차측이 요청한 것보다 더 많은 사이클을 제공하고 있음을 감지한 경우에도 추가적인 핸드셰이크가 트리거됩니다.

추가 핸드셰이크가 필요한 가장 큰 경우는 1차측에서 순간적인 라인 브라운 아아웃이 일어날 때 스위칭을 멈추는 경우입니다. 1차측이 작동을 다시 시작하면 기본적으로 스타트업 상태가 되고 2차측으로부터 핸드셰이크 펄스 감지를 시도합니다.

2차측에서 1차측이 8회 연속 사이클 동안 스위칭 요청에 응답하는 것을 감지하지 못한 경우, 또는 2차측에서 1차측이 4회 이상 연속 사이클 동안 사이클 요청 없이 스위칭하는 것을 감지한 경우, 2차측 컨트롤러는 2차측 핸드셰이크 시퀀스를 시작합니다. 이는 1차측이 스위칭하는 동안 SF FET의 양쇼트에 대한 추가 보호를 제공합니다. 또한 이 보호 모드에서는 2차측이 계속해서 제어되는 동안 1차측이 리셋되는 경우 출력 과전압이 발생하지 않도록 합니다.

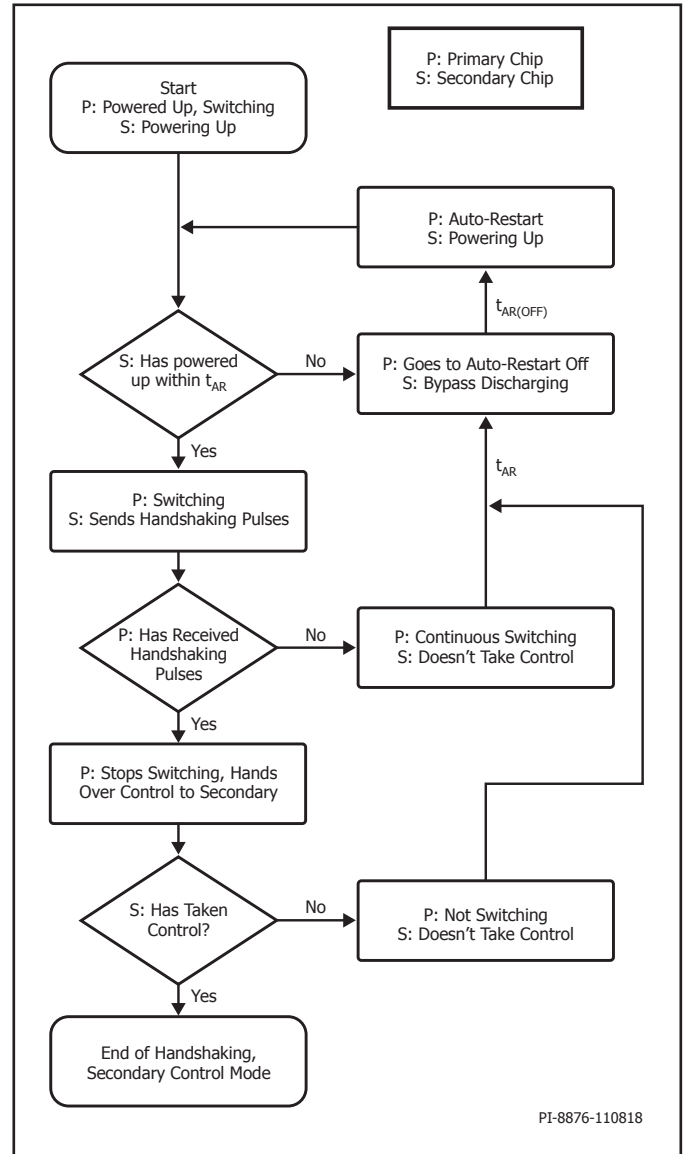


Figure 7. Primary-Secondary Handshake Flow Chart.

대기 및 청취

입력 라인 전압 고장 또는 오토-리스타트 이벤트로부터 회복하여 초기 기동 후 1차측에서 다시 스위칭을 재개하게 되면 제어권을 잡고 2차측 컨트롤러에 이 제어권을 넘기기 위해 성공적인 핸드셰이크가 이루어져야 합니다.

추가적인 안전 조치로 1차측은 스위칭 전에 오토-리스타트 온 타임 t_{AR} (~82ms) 동안 정지합니다. 이러한 "대기" 중에 1차측은 2차측의 요청을 "청취"합니다. 1차측이 ~30ms 간격으로 2번 연속 2차측 요청을 감지하면 2차측 제어 모드로 들어가고, 1차측은 슬레이브 모드로 스위칭을 시작합니다. t_{AR} 의 "대기" 시간 동안 그러한 펄스가 발생하지 않을 시 1차측은 핸드셰이크 펄스를 수신할 때까지 제어권을 유지하면서 스위칭을 시작합니다.

가청 노이즈 감소 엔진

LYTSwitch-6는 컨트roller가 ("주파수 스킵" 동작 모드를 통해) 5kHz와 12kHz - 각각 200 μ s와 83 μ s 주기 사이의 공진 대역(파워 서플라이의 기계적 구조가 공진할 가능성이 가장 높은 곳 - 노이즈 진폭 증가)을 피하는 능동적 가청 노이즈 감소 모드가 특징입니다. 최종 전도 사이클로부터 이 시간 내에 2차측 컨트roller 요청이 일어나면, 파워 스위치의 게이트 드라이브가 억제됩니다.

2차측 컨트roller

그림 4의 블록 다이어그램에서 볼 수 있듯이 IC는 VOUT 또는 FWD를 통해 4.4V(V_{BPS})의 레귤레이터로부터 전력을 받습니다. SECONDARY BYPASS 핀은 외부 디커플링 커패시터에 연결되어 레귤레이터 블록으로부터 내부적으로 전원을 공급 받습니다.

또한 FORWARD 핀은 핸드셰이킹 및 타이밍에 사용되는 네거티브 엣지 감지 블록에 연결되어 SYNCHRONOUS RECTIFIER DRIVE 핀에 연결된 SF FET을 켭니다. FORWARD 핀 전압은 불연속 모드 동작에서 SF FET을 언제 끌지 결정하는 데 사용됩니다. 이 때 SR FET의 $R_{DS(ON)}$ 에 걸친 전압이 0 V 이하로 떨어지게 됩니다.

연속 전도 모드(CCM)에서 다음 스위칭 사이클을 요청하기 위해 1차측으로 피드백 펄스가 전송되는 경우 SR FET가 꺼지고, 턴오프가 겹치지 않도록 하면서 최적의 동기화를 제공합니다.

OUTPUT VOLTAGE 핀과 SECONDARY GROUND 핀 간 외부 저항 분배기 네트워크의 중간 지점은 FEEDBACK 핀에 연결되어 출력 전압을 레귤레이션합니다. 내부 전압 비교기의 레퍼런스 전압은 V_{REF} (1.265 V)입니다.

ISENSE 및 SECONDARY GROUND 핀 사이에 연결된 외부 전류 센싱 저항은 정전류 레귤레이션 모드에서 출력 전류를 레귤레이션하는 데 사용됩니다.

Minimum Off-Time

2차측 컨트roller는 1차측에 대한 유도 연결을 이용하여 사이클 요청을 개시합니다. 2차측 사이클 요청의 최대 주파수는 $t_{OFF(MIN)}$ 라는 최소 사이클 오프 타임의 제한을 받습니다. 이는 1차측 전도 후 부하에 에너지를 전달할 수 있는 충분한 리셋 시간을 확보하기 위함입니다.

최대 스위칭 주파수

2차측 컨트roller의 최대 스위치 요청 주파수는 f_{SREQ} 입니다.

주파수 소프트 스타트

기동 시 1차측 컨트roller는 100kHz의 스위치 요청 주파수에서 최대 스위칭 주파수 f_{SW} 와 최대 프로그래밍 current limit의 75%로 제한됩니다.

2차측 컨트roller는 소프트 스타트($t_{SS(RAMP)}$) 타이머가 종료될 때까지 FEEDBACK 단락 보호 기준점($V_{FB(OFF)}$)을 일시적으로 억제합니다. handshake가 완료된 후 2차측 컨트roller는 $t_{SS(RAMP)}$ 의 시간 동안 스위칭 주파수를 f_{SREQ} 에서 f_{SREQ} 으로 선형적으로 높입니다.

기동 시 단락 또는 과부하가 발생하는 경우, 디바이스는 바로 CC(정전류) 모드로 진입합니다. 핸드셰이크 발생 후 V_{OUT} AR 타이머($t_{FB(AR)}$)가 종료되기 전 출력 전압이 $V_{O(AR)}$ 기준점(Threshold) 위로 높아지지 않을 시 디바이스는 오토-리스타트(AR)로 진입합니다.

2차측 컨트roller는 $t_{SS(RAMP)}$ 시간이 종료될 시 FEEDBACK 핀 단락 보호 모드($V_{FB(OFF)}$)를 활성화합니다. 출력 단락이 FEEDBACK 핀을 회로 단락 기준점(Threshold) 이하로 유지할 시 2차측은 오토-리스타트 사이클을 트리거하는 펄스 요청을 중단합니다.

출력 전압이 $t_{SS(RAMP)}$ 시간 내에 레귤레이션 값에 도달할 시 주파수 상승은 즉시 멈추며 2차측 컨트roller는 최대 주파수에서 작동할 수 있게 됩니다. 이를 통해 레귤레이션이 이루어진 후 갑작스러운 과도 부하가 발생하더라도 컨트roller가 레귤레이션 상태를 유지할 수 있습니다. 주파수 상승은 유사 공진 감지 프로그래밍이 이미 발생한 경우에만 중단됩니다.

최대 2차측 억제 기간

1차측 스위칭의 개시에 대한 2차측 사이클 요청은 디바이스가 최대 주파수보다 낮게 동작하고 오프 타임을 최소로 유지하기 위해 억제됩니다. 이러한 제약 외에도 1차측 스위치의 "온" 타임 사이클(FORWARD 핀 폴링 엣지의 감지와 사이클 요청 간의 시간) 중에도 2차측 사이클 요청이 억제됩니다. 사이클 요청이 이루어진 후 FORWARD 핀 폴링 엣지가 감지되지 않을 시 최대 타임아웃은 ~30ms입니다.

서멀 폴드백

2차측 컨트roller 칩 온도가 124°C에 이르면 정전류 기준값을 줄여서 출력 파워를 낮춥니다(그림 8).

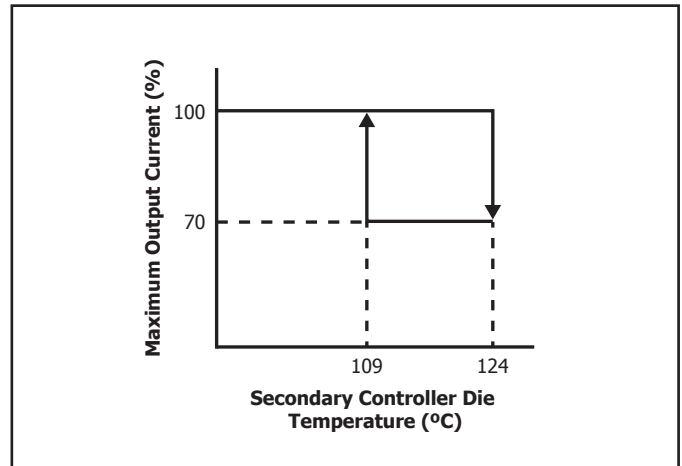


Figure 8. Maximum Output Current vs. Secondary Die Temperature.

출력 전압 보호

FEEDBACK 핀에서 센싱된 전압이 레귤레이션 기준점(Threshold)보다 2% 높은 경우, ~2.5mA (최대 3mA)의 블리드 전류가 OUTPUT VOLTAGE 핀 (weak bleed)에 적용됩니다. FEEDBACK 핀 전압이 내부 FEEDBACK 핀 레퍼런스 전압의 ~10%(강한 블리드)를 초과하여 증가하면 이러한 블리드 전류가 ~200mA까지 높아집니다. OUTPUT VOLTAGE 핀의 전류 싱크는 순간적 오버슈트 상태에 대한 출력 전압을 방전하는 용도로 사용됩니다. 2차측은 이러한 동작 모드 중에 1차측에 제어권을 내주지 않습니다.

FEEDBACK 핀의 전압이 레귤레이션 기준점(Threshold)보다 20% 높은 것으로 감지될 경우 1차측에 명령어가 전송되어 오토-리스타트 시퀀스를 시작하게 됩니다. 이렇게 통합된 V_{OUT} OVP는 1차측 센싱 OVP와 별개로 또는 함께 사용할 수 있습니다.

FEEDBACK 핀 단락 감지

스타트업 시 FEEDBACK 핀 전압이 $V_{FB(OFF)}$ 이하로 감지되면 2차측 컨트롤러는 1차측 전체 $t_{SS(RAMP)}$ 를 제어하기 위해 handshake를 완료하고 오토-리스타트를 개시하기 위한 사이클 요청을 중단합니다($t_{AR(SK)}$ 보다 긴 시간 동안 1차측에 사이클 요청을 하지 않으면 2차측이 오토-리스타트를 트리거합니다).

정상 동작 중 FEEDBACK 핀 전압이 $V_{FB(OFF)}$ 기준점 아래로 떨어지는 경우 2차측에서는 1차측으로부터의 펄스 요청을 중단하고 오토-리스타트 사이클을 시작합니다. 보호 모드의 디글리치 필터는 10 μ s 보다 짧은 시간 동안 켜집니다. 이러한 메커니즘을 통해 FEEDBACK 핀이 그라운드로 단락된 것이 감지되면 2차측에서는 제어권을 내줍니다.

오토-리스타트 기준점(Threshold)

OUTPUT VOLTAGE 핀에는 $t_{VOUT(AR)}$ 를 초과하는 시간동안 출력 전압이 V_{VO} 의 $V_{VO(AR)}$ 아래로 떨어질 시 이를 감지하는 비교기가 포함되어 있습니다. 2차측 컨트롤러는 이 고장 상태가 센싱되면 제어를 포기합니다. 이 기준점 (Threshold)은 정전류(CC) 작업 범위를 제한하는 것이 목적입니다.

SECONDARY BYPASS 과전압 보호

LYTSwitch-6 2차측 컨트롤러는 PRIMARY BYPASS 핀 OV 기능과 유사한 SECONDARY BYPASS 핀 OV 기능이 특징입니다. 2차측이 제어할 시 SECONDARY BYPASS 핀 전류가 $I_{BPS(SD)}$ (~7mA)를 넘을 시 2차측은 1차측에 명령어를 전송하여 오토-리스타트 오프 타임($t_{AR(OFF)}$) 이벤트를 개시하도록 합니다.

출력 정전류

LYTSwitch-6는 ISENSE 및 SECONDARY GROUND 핀 사이에서 저항 간에 전압이 발생할 시 이를 $I_{SV(TH)}$ (~35mV)의 내부 저항과 비교하는 외부 전류 센싱 저항을 통해 출력 전류를 제어합니다. 정전류 레귤레이션이 필요하지 않은 경우 ISENSE 핀을 SECONDARY GROUND 핀에 연결해야 합니다.

SR Static 풀다운

2차측이 제어하지 않을 때 SR 게이트를 낮게 유지하기 위해 SYNCHRONOUS RECTIFIER DRIVE 핀에는 공칭 "ON" 디바이스가 있어 핀을 낮게 당기고 FORWARD 핀의 정전 커플링으로 인해 SR 게이트에 축적된 전압을 방전합니다.

오픈 SR 보호

2차 컨트롤러는 SYNCHRONOUS RECTIFIER DRIVE 핀이 외부 MOSFET에 연결되어 SYNCHRONOUS RECTIFIER DRIVE 핀이 오픈된 시스템 오류에 대해 보호할 수 있도록 보호 모드를 지원합니다. 기동 시 이 컨트롤러는 SYNCHRONOUS RECTIFIER DRIVE 핀으로부터 온 전류를 싱크하며 내부 기준점(Threshold)은 100pF의 커패시턴스에 상관관계를 갖습니다. SYNCHRONOUS RECTIFIER DRIVE 핀에 대한 커패시턴스가 100pF 이하인 경우(이로 인한 전압이 기준치보다 낮음) 디바이스는 SYNCHRONOUS RECTIFIER DRIVE 핀이 "오픈" 상태이며, 구동할 FET가 없는 것으로 간주합니다. 핀 커패시턴스가 100pF 이상인 경우(결과 전압이 레퍼런스 전압보다 높음) 컨트롤러는 SR FET가 채워진 것으로 가정합니다.

SYNCHRONOUS RECTIFIER DRIVE 핀이 오픈 상태로 감지될 시 2차 컨트롤러는 오토-리스타트를 개시하기 위해 1차측에 펄스를 요청하는 것을 중단합니다.

SYNCHRONOUS RECTIFIER DRIVE 핀이 스타트업 시 그라운드에 연결된 경우, SR 구동 기능은 비활성화되며 오픈 상태인 SYNCHRONOUS RECTIFIER DRIVE 핀 보호 모드 역시 비활성화됩니다.

지능형 유사 공진 모드 스위칭

LYTSwitch-6는 변환 효율성을 높이고 스위칭 손실을 줄이기 위해 1차측 스위치 전체에 걸친 전압이 최소 전압에 근접할 시 및 컨버터가 불연속 전도 모드(DCM)로 동작하는 경우 강제로 스위칭을 할 수 있는 기능을 갖추었습니다. 이 동작 모드는 자동으로 DCM으로 이루어지며 컨버터가 연속 전도 모드(CCM)로 넘어갈 시에 비활성화됩니다.

1차측의 자기화 링 밸리를 감지하는 대신 FORWARD 핀 전압의 최대치는 출력 전압보다 높아지면서 1차측 컨트롤러 내 "ON" 사이클을 작동시키려는 2차측 요청을 전달하는 데 사용됩니다.

2차측 컨트롤러는 컨트롤러가 불연속 모드에 진입할 시 이를 감지하며 1차측 파워 스위치에 걸쳐 최소 스위칭 전압에 해당하는 2차측 사이클 요청 원도우를 엽니다.

DCM이 감지되거나 링 진폭이 (pk-pk) >2V인 경우 유사 공진(QR) 모드가 20ms 동안 활성화됩니다. 이후 QR 스위칭이 비활성화되며 이 때 2차측 요청이 이루어질 시 언제든지 스위칭이 발생할 수 있습니다.

2차 컨트롤러에는 FORWARD 핀 링이 GROUND보다 낮아질 시 1차측 "ON" 사이클을 잘못 감지하는 경우를 방지하기 위해 ~1 μ s의 블랭킹이 포함되어 있습니다.

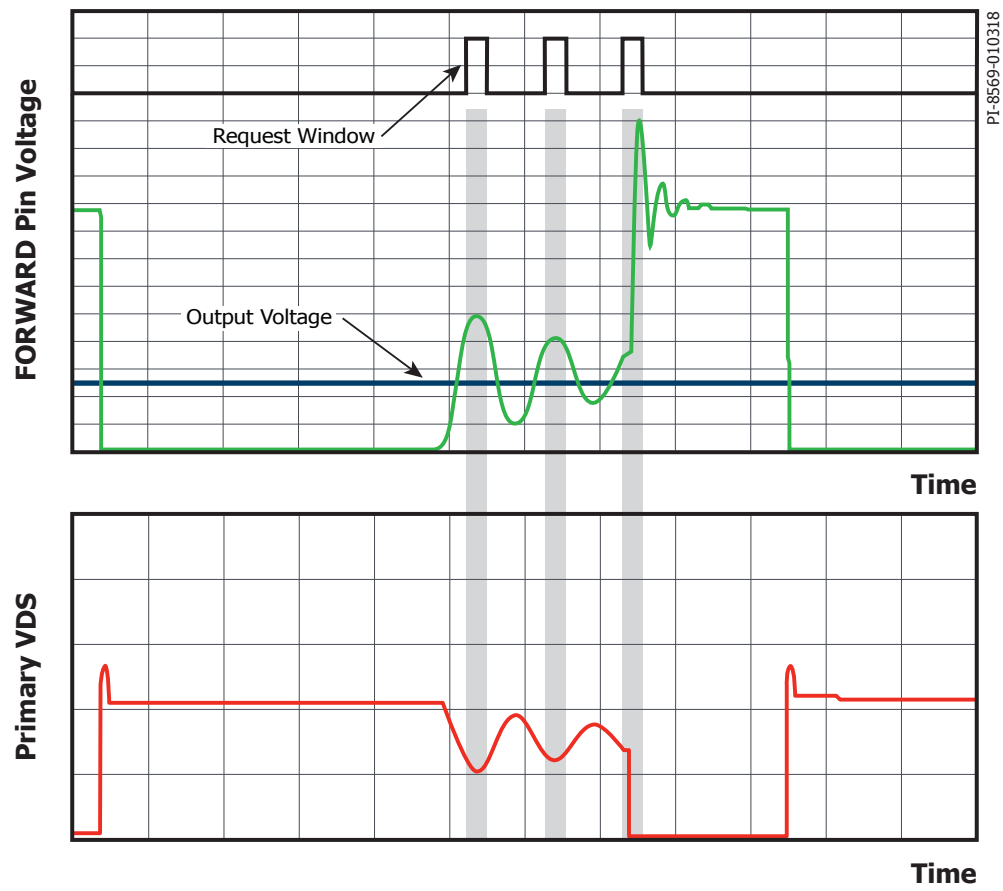


Figure 9. Intelligent Quasi-Resonant Mode Switching.

무부하 또는 경부하 조건에서(10% 미만) PFC 인덕터에 저장된 에너지는 2차 부하에서 필요한 것보다 큼니다. 그러므로 이 PFC 인덕터의 초과 에너지를 벌크 커패시터 C4로 재활용하여 전압을 높입니다. VR1과 VR2로 구성되고 R47과 직렬인 제너 저항 클램프는 벌크 커패시터 C4에 걸쳐 연결되어 이 전압을 C4의 전압 정격보다 낮게 클램프합니다. 이 제너 클램프 저항은 450V(벌크 커패시터 C4의 최대 정격 전압) 이하여야 합니다. 입력 라인 서지 또는 과도 이벤트가 발생하는 경우 1차측 스위치는 460V에서 라인 과전압 섯다운을 트리거하는 INPUT VOLTAGE 핀 센싱 저항에 의해 과전압으로부터 보호됩니다.

2차단

LYTSwitch-6 IC의 2차단은 일정한 출력전압과 출력전류를 제공합니다. 트랜스포머 T2의 2차측 권선에 생성된 전압은 D10이 정류하며 출력 커패시터 C16과 C18이 필터링합니다. RC 스너버(R48, C14)를 출력 다이오드에 걸쳐 추가하면 전압 스트레스가 줄어듭니다. 이 설계에서 SYNCHRONOUS RECTIFIER DRIVE 핀은 SECONDARY GROUND 핀에 연결되어 SR FET 대신 저가형 초고속 출력 다이오드를 사용할 수 있습니다.

2차측 IC는 FORWARD 핀을 통한 2차측 권선 포워드 전압 또는 OUTPUT VOLTAGE 핀을 통한 출력 전압으로부터 자체 구동합니다. 디커플링 커패시터 C13은 SECONDARY BYPASS 핀에 연결됩니다. 이 설계에서 OUTPUT VOLTAGE의 최대 전압 제한을 충족하기 위해 IC의 2차측은 저전압 보조 서플라이(권선 FL3 및 FL4)로부터 전력을 공급받아야 합니다. FORWARD 핀은 같은 출력부에 연결해야 레귤레이션이 좋고 효율이 높아집니다. 이 보조 서플라이는 각각 D11과 C15를 통해 정류 및 필터링됩니다.

정전압 작동 중에는 R29와 R30으로 구성된 저항 네트워크를 통해 출력 전압을 센싱하여 출력 전압 레귤레이션을 달성합니다. R30 양단의 전압은 FEEDBACK 핀에서 모니터링되고 1.265V의 내부 레퍼런스 전압 기준점(Threshold)과 비교됩니다. 바이패스 커패시터 C19는 FEEDBACK 및 SECONDARY GROUND 핀에 걸쳐 배치되어 고주파 노이즈를 감소합니다. 고주파 노이즈를 감소하지 않으면 피드백 신호에 커플링되어 펄스 변형과 같은 원치 않는 동작을 일으킬 수 있습니다.

정전류 동작 중 최대 출력 전류는 센싱 저항 R43과 R24에 의해 설정됩니다. 센싱 저항의 전압은 ISENSE 핀 내부 레퍼런스 기준점(Threshold)인 35mV에 인가되어 정전류 레귤레이션을 유지합니다. 전류 센싱 저항과 병렬로 연결된 다이오드 D13은 ISENSE 및 SECONDARY GROUND 핀의 전압을 클램핑합니다. 이는 출력 단락 동안 나타나는 출력 커패시터의 높은 전류 서지를 우회시켜 손상을 방지합니다.

주요 애플리케이션 설계 고려 사항

Output Power Table

출력 전력표(표 1)는 다음과 같이 가정된 조건에서 얻을 수 있는 최대 연속 출력 전력 레벨을 나타냅니다.

1. 최소 DC 입력 전압은 85VAC 입력의 경우 90V 이상, 230VAC 입력(또는 배전압기 사용 시 115VAC)의 경우 220V 이상입니다. 입력 커패시터의 정격 전압은 이러한 기준에 부합하도록 설정해야 합니다.
2. 효율성에 대한 가정은 전력 레벨에 따라 달라집니다. 가장 작은 디바이스 전력 레벨은 효율이 84%를 넘고 가장 큰 디바이스에서는 89% 넘게 증가하는 것으로 가정합니다.
3. 트랜스포머 1차측 인덕턴스 오차는 $\pm 10\%$ 입니다.

4. 권선비에 의해 발생된 전압(VOR)은 유니버설 라인에 대해 최소 입력 전압에서 $KP = 0.8$ 을, 고압력 라인 설계에 대해 $KP = 1$ 을 유지하도록 설정됩니다.
5. 어댑터의 최대 전도 손실은 0.6W로, 오픈 프레임 설계에 대해 0.8W로 제한됩니다.
6. 피크 및 오픈 프레임 전력 열에서 increased current limit을 선택하고, 어댑터 열에서 standard current limit을 선택합니다.
7. 부품은 충분한 면적의 동판 및/또는 히트싱크에 납땜된 SOURCE 핀과 함께 보드에 장착되며 SOURCE 핀 온도를 110°C 미만으로 유지합니다.
8. 주위 온도 제한은 오픈 프레임 설계의 경우 50°C이고, 밀폐형 어댑터의 경우 40°C입니다.
9. 1보다 작은 KP는 1차측 피크 전류에 대한 리플 전류의 비율입니다. 스위칭 사이클의 조기 종료로 인한 전력 제공량 감소를 방지하기 위해 과도 상태 KP의 한계점을 0.6 이상으로 지정됩니다. 이는 스위치 턴온 시 초기 current limit(I_{INT})이 초과되지 않도록 방지합니다.
10. LYTSwitch-6의 부품들은 설계 담당자가 트랜스포머 설계를 수정하여 스위칭 주파수를 25~95kHz로 설정할 수 있다는 점에서 차별화됩니다. 디바이스 온도를 낮추는 방법 중에는 스위칭 주파수를 낮추도록 트랜스포머를 설계하는 것이 있으며, 50kHz에서 시작하는 것이 좋습니다.

1차측 과전압 보호

LYTSwitch-6 IC에서 제공하는 1차측 출력 과전압 보호 기능은 PRIMARY BYPASS 핀으로 전달되는 기준 전류(Threshold) I_{SD} 에 의해 트리거되는 내부 보호 기능을 사용합니다. 바이패스 커패시터가 고주파 필터로 효과적이기 위해서는 디바이스의 SOURCE 및 PRIMARY BYPASS 핀에 가능한 가깝게 위치시켜야 합니다.

1차측 센싱 OVP 기능은 정류 및 필터링된 바이어스 권선 전압 서플라이로부터 PRIMARY BYPASS 핀까지 일련의 제너 다이오드, 저항, 블로킹 다이오드 조합을 연결함으로써 구현할 수 있습니다(그림 11-a 참조). 정류 및 필터링된 바이어스 권선 출력 전압은 예상보다 높을 수 있으며(기대값의 최대 2배) 바이어스 권선과 출력 권선의 커플링과 그에 따른 바이어스 권선 전압 파형의 링잉에 따라 달라집니다. 정류된 바이어스 권선 전압을 측정할 것을 권장합니다. 이 측정은 최저 입력 전압 및 출력부에 대한 최고 부하를 적용하여 실시하는 것이 이상적입니다. 측정된 전압을 이용하여 1차측 센싱 OVP를 얻는데 필요한 부품을 선택합니다. OVP가 트리거될 것으로 예상되는 정류된 바이어스 권선 전압보다 약 6V 낮은 클램핑 전압을 갖는 제너 다이오드를 선택하는 것이 좋습니다. 블로킹 다이오드에 대해서는 1V의 포워드 전압 강하를 예상할 수 있습니다. 여기에는 소신호용 standard recovery diode가 좋습니다. 블로킹 다이오드는 가동 중에 역방향 전류가 바이어스 커패시터를 충전하지 못하도록 방지합니다. 마지막으로 필요한 직렬 저항의 값은 출력 과전압 시 I_{SD} 보다 높은 전류가 PRIMARY BYPASS 핀으로 흐르도록 계산할 수 있습니다.

2차측 과전압 보호

LYTSwitch-6 IC에서 제공하는 2차측 출력 과전압 보호 기능은 SECONDARY BYPASS 핀으로 들어오는 입력 전류가 $I_{BPS(SD)}$ 의 기준점(Threshold)을 초과할 때 트리거되는 내부 오토-리스타트 회로를 사용합니다. 출력 직접 센싱 OVP 기능은 제너 다이오드를 출력에서 SECONDARY BYPASS 핀으로 연결하여 구현할 수 있습니다. 제너 다이오드의 전압은 $(1.25 \times V_{OUT}) - (4.4 V - \text{SECONDARY BYPASS pin})$

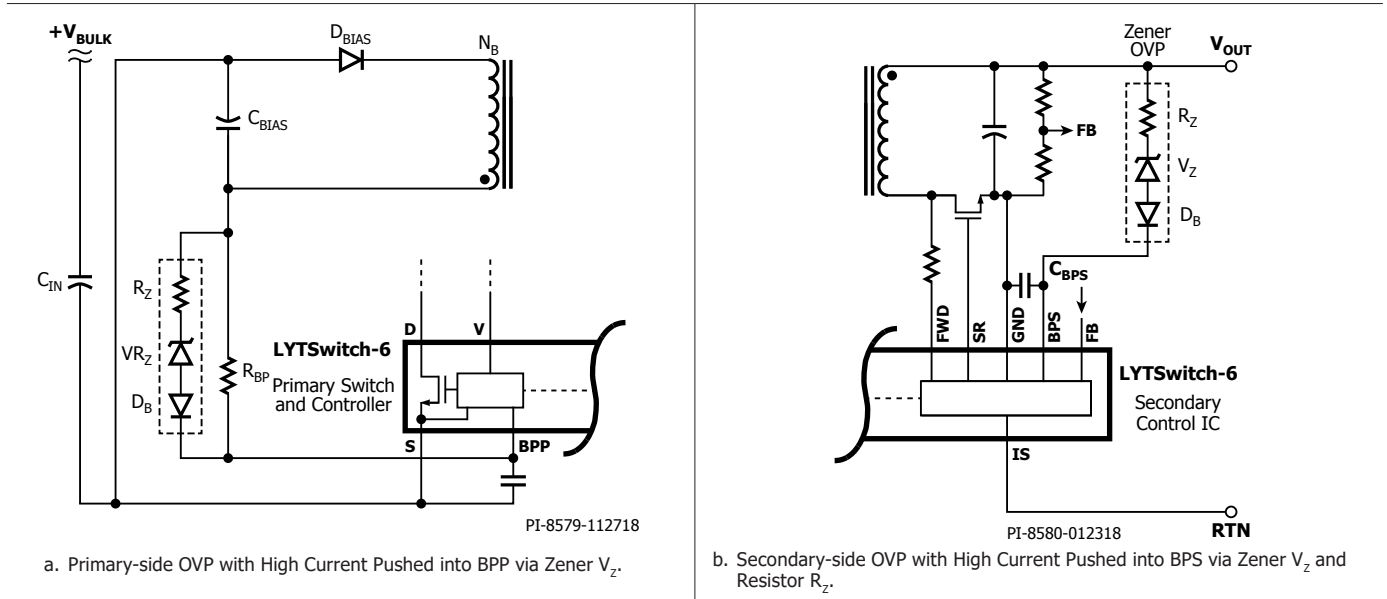


Figure 11. Output Overvoltage Protection Circuits.

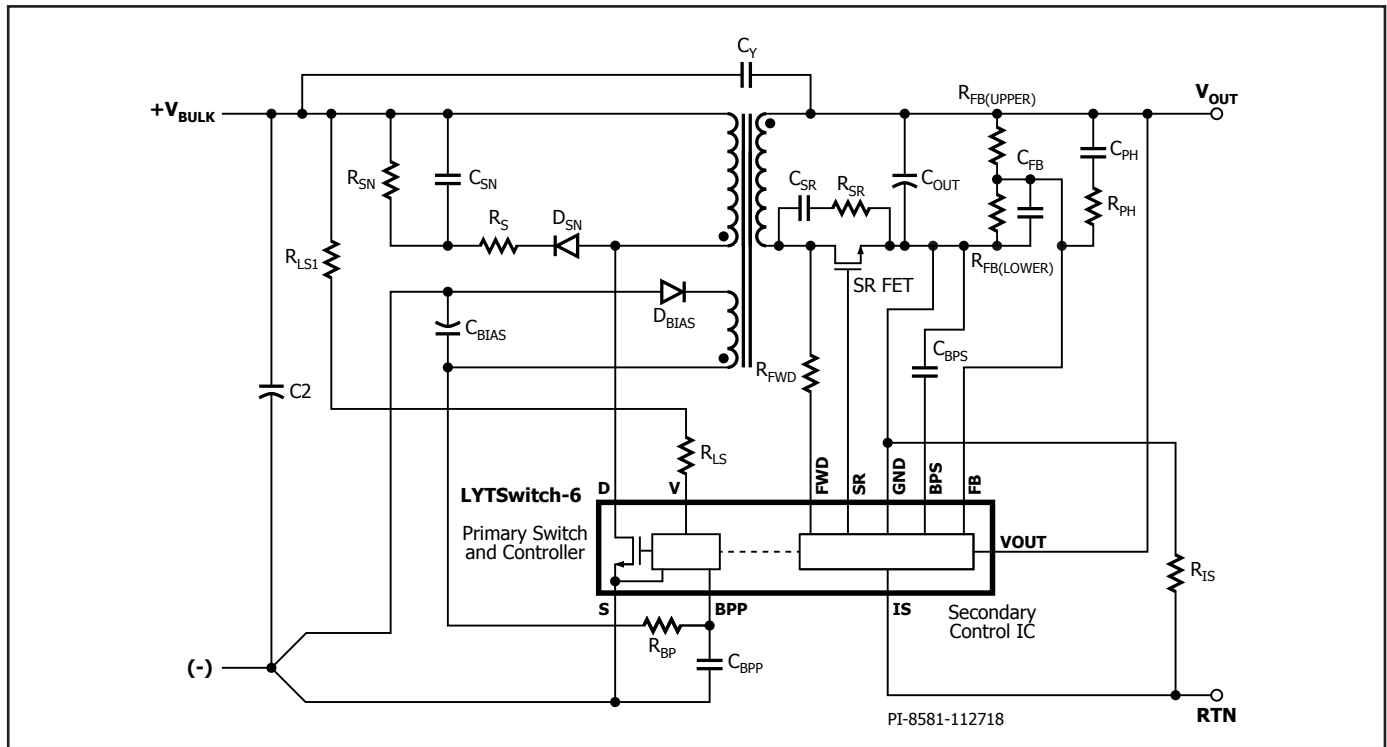


Figure 12. Typical Schematic of LYTSwitch-6 Flyback Power Supply (DC-DC Stage).

전압)의 절대값이어야 합니다. OVP 제너 다이오드와 직렬로 낮은 값의 저항을 추가하여 SECONDARY BYPASS 핀으로 흐르는 최대 전류를 제한해야 합니다(그림 11-b 참조).

핵심 외부 부품 선정

12의 회로는 단일 출력 LYTSwitch-6 기반 파워 서플라이에 필요한 필수 외부 부품을 나타냅니다. 선정 기준은 다음과 같습니다:

1차측 부품

PRIMARY BYPASS 핀 커패시터(C_{BP})

이 커패시터는 내부 1차측 컨트롤러에 대한 서플라이 디커플링 커패시터로 작동하며 내부 스위치의 전류 제한을 결정합니다. 4.7 μ F 또는 0.47 μ F 커패시터는 각각 INCREASED 또는 STANDARD 전류 제한을 선택합니다. 전해 커패시터를 사용할 수도 있지만, 종종 양면 보드에는 표면 실장 적층형 세라믹 커패시터를 사용하는 것이 더 선호됩니다. 커패시터를 IC에 가깝게 배치할 수 있기 때문입니다. 최소 커패시터스 요건을 충족하기 위해서는 10V, 0805 이상 크기의 정격 X5R 또는 X7R 유전체 커패시터를 사용하는 것이 좋습니다. 다른 제조업체 또는 다른 제품군의 X7R, X5R과 같은 세라믹 커패시터 유형을 지정하면 전압 계수가 달라집니다. 선택한 커패시터의 커패시터스가 5V에서 20% 이상 떨어지지 않도록 커패시터 데이터 시트를 검토하는 것이 좋습니다. 이러한 유형의 SMD 세라믹 커패시터는 전압 및 온도 계수 특성이 매우 적절하지 않으므로 Y5U 또는 Z5U/0603 정격 MLCC는 사용하지 마십시오.

라인 과전압 / 브라운인 센싱 저항(R_{LS})

라인 과전압과 브라운인 전압은 모두 INPUT VOLTAGE 핀에 의해 센싱됩니다. DC 입력 버스의 전류는 R_{LS} 저항을 통해 모니터링하며 내부 저항 기준점 (Threshold)과 비교합니다.

R_{LS} 는 대략 일반적인 범위값은 3.8~4 M Ω 입니다. R_{LS} 는 대략 $V_{LOV} \times 1.414 / I_{OV}$ 과 같습니다.

V_{LOV} 입력 라인 전압으로 과전압 기준점(I_{OV})을 넘기 때문에 파워 서플라이가 스위칭을 중단하는 값입니다. 스위칭은 라인 과전압 히스테리시스($I_{OV(H)}$)에 도달할 시 재활성화됩니다. 라인 OV (V_{LOV})는 약 $I_{OV} \times R_{LS} / 1.414$ 에 해당합니다.

파워 서플라이는 브라운인 기준점(Threshold)(I_{UV+})을 넘으면 턴온됩니다. 브라운인 전압은 약 $I_{UV+} \times R_{LS} / 1.414$ 입니다.

외부 바이어스 서플라이 부품(D_{BIAS} , C_{BIAS} , R_{BP})

LYTSwitch-6 IC에는 1차측 스위치의 DRAIN 핀에서 PRIMARY BYPASS 핀까지 내부 바이패스 레귤레이터가 있습니다. 이 내부 레귤레이터는 스위치 오프 타임 동안 활성화되어 PRIMARY BYPASS 핀 전압이 5V 밑으로 떨어지지 않도록 합니다. 이를 통해 IC가 특히 스타트업 중에 정상 동작할 수 있습니다. 기동 중에 IC는 내부 레귤레이터로부터 전력을 공급 받습니다. 출력 전압이 충분히 상승하면 1차 컨트롤러는 내부 탭이 아닌 보조 권선을 통해 외부 바이어스 서플라이로부터 전원을 끌어옵니다. 이를 통해 보조 서플라이가 탭보다(DRAIN핀의 고전압에 의해 구동됨) 전압이 훨씬 낮기 때문에 에너지 소모량이 감소합니다. 바이어스 권선과 2차 권선 간의 커플링 상태가 좋지 않을 시, 바이어스 서플라이 전압은 무부하 동작 중에 크게 낮아지고 PRIMARY BYPASS 핀에 전류를 공급하지 못하며 내부 레귤레이터는 off 상태로 유지할 수 있습니다. 이러한 상태로 인해 내부 탭이 켜지고 무부하 전력 소모량이 증가합니다. 그러므로 바이어스 전압을 최대 12V에 가깝게 설정하는 것이 좋으며 이보다 높을 시에는 무부하 전력 소모량이 증가할 수 있습니다. 바이어스 서플라이의 경우 바이어스 권선 정류용 다이오드 D_{BIAS} standard-recovery diode와 fast signal diode를 사용하는 경우 간에 장단점이 있습니다. standard-recovery diode는 방사 EMI가 낮지만 fast diode는 무부하 전력 소모량을 줄입니다. LYTSwitch-6 IC는 본질적으로 전력 소모량이 매우 적으므로 standard-recovery diode를 바이어스 서플라이에 사용하여 EMI 성능 개선을 위하여 전력 소모를 약간 증가시킬 것을 권장합니다.

바이어스 서플라이 필터 C_{BIAS} 로는 22 μ F 50V low ESR 알루미늄 전해 커패시터를 권장합니다. low ESR 전해 커패시터는 무부하 전력 소모량을 줄여줍니다. 세라믹 표면 실장형 커패시터는 그 기계적 특성으로 인한 압전기 자극이 가청 노이즈를 발생시킬 수 있으므로 권장하지 않습니다.

최소 무부하 입력 전력과 높은 플로드 효율성을 보장하기 위해 저항 R_{BP} (그림 12)는 이를 통과하는 전류가 PRIMARY BYPASS 핀의 서플라이 전류보다 높아지도록 선택해야 합니다.

PRIMARY BYPASS 핀의 서플라이는 다음과 같이 계산할 수 있습니다;

$$I_{SSW} = \left(\frac{f_{SW}}{132K} \right) \times (I_{S2} - I_{S1}) + I_{S1}$$

참고:

- I_{SSW} : 동작 스위칭 주파수에서 PRIMARY BYPASS 핀의 서플라이 전류
- f_{SW} : 동작 스위칭 주파수(kHz)
- I_{S1} : 비스위칭 PRIMARY BYPASS 핀 서플라이 전류(데이터 시트 규격표 참고)
- I_{S2} : 132kHz에서 PRIMARY BYPASS 핀 서플라이 전류(데이터 시트 규격표 참고)

바이어스 전류가 PRIMARY BYPASS 핀 서플라이 전류보다 높으면 PRIMARY BYPASS 핀 전압은 ~5.3V가 됩니다. ~5.0V의 PRIMARY BYPASS 핀 전압은 R_{BP} 를 통과하는 전류가 PRIMARY BYPASS 핀 공급 전류보다 적고 IC는 DRAIN 핀에서 전류를 끌어오고 있음을 나타냅니다. PRIMARY BYPASS 핀 전압은 스타트업 동안은 제외하고 절대 5.3V보다 낮아지지 않아야 합니다.

R_{BP} 최대값을 구하려면;

$$R_{BP} = [V_{BIAS(NO-LOAD)} - V_{BPP}] / I_{SSW}$$

여기서 $V_{BPP} = 5.3V$ 입니다.

1차측 권선에 걸친 클램프 네트워크

(D_{SN} , R_S , R_{SN} , C_{SN})

그림 13은 대부분 저전력 회로에서 사용되는 저가형 R2CD 클램프를 나타냅니다. 전력이 더 강한 설계의 경우 제너 클램프 또는 R2CD와 제너 클램프를 함께 사용하여 효율을 높일 수 있습니다. 참고로 피크 드레인 전압은 최대 입력 전압, 최대 과부하 파워 또는 출력 단락 등 최악의 상황에서 BV_{DSS} 의 90%로 제한하는 것이 좋습니다. 그림 13의 클램프 다이오드 D_{SN} 는 standard recovery glass passivated diode 또는 fast recovery 타입으로 역회복 속도가 500ns보다 빠른 것이어야 합니다. standard recovery switch passivated diode를 사용하면 각 사이클에서 발생한 클램프 에너지 중 일부를 복구할 수 있고 평균 효율이 향상됩니다. 이 다이오드는 LYTSwitch-6 IC 내부의 1차측 스위치가 꺼지고 누설 리액턴스의 에너지가 클램프 커패시터 C_{SN} 으로 전달될 때마다 순간적으로 전도됩니다. 직렬 경로에 있는 저항 R_S 는 누설 리액턴스와 클램프 커패시터 C_{SN} 간의 공진으로 인한 과도한 링잉을 방지하는 댄퍼의 역할을 합니다. 저항 R_S 는 커패시터 C_{SN} 에 저장된 에너지를 소비합니다. 각기 다른 크기의 LYTSwitch-6 디바이스를 이용하는 설계는 피크 1차측 전류 및 누설 인덕턴스가 다르며 그에 따라 누설되는 에너지의 양도 달라집니다. 그러므로 커패시터 C_{SN} , R_{SN} , R_S 는 반드시 설계별로 최적화되어야 합니다. 일반적으로 커패시터 C_{SN} 의 값은 최소화해야 하며 저항 R_{SN} 과 R_S 의 값은 최대화하는 동시에 BV_{DSS} 한계치 90% 디레이팅을 만족해야 합니다. R_S 는 링을 댄프하기에 충분히 큰 동시에 드레인 전압이 너무 높지 상승하지 못하도록 막을 만큼 적어야 합니다. Z5U와 같은 유전체를 사용하는 세라믹 커패시터를 클램프 회로 내 C_{SN} 커패시터로 사용할 경우 가청 노이즈가 발생할 수 있으므로 폴리에스테르 필름형 커패시터가 좋습니다.

Common Primary Clamp Configurations

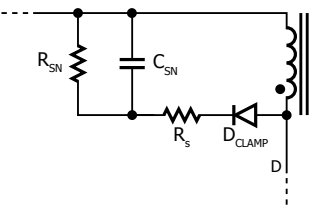
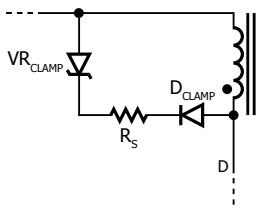
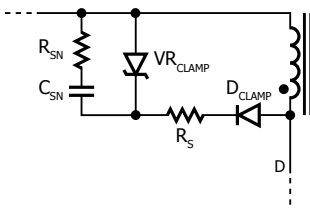
R2CD	Zener	R2CD + Zener
 PI-8582-011218	 PI-8584-011218	 PI-8583-011218

Figure 13. Recommended Primary Clamp Components.

Primary Clamp Circuit

Benefits	R2CD	Zener	R2CD + Zener
Component Cost	Low	Medium	High
No-Load Input Power	High	Low	Medium
Light-Load Efficiency	Low	High	Medium
EMI Suppression	High	Low	Medium

Table 2. Benefits of Primary Clamp Circuits.

LYTSwitch-6를 구동시키는 2차측 부품

SECONDARY BYPASS 핀 커패시터(C_{BPS})

이 커패시터는 내장된 2차측 컨트롤러에 대한 전압 서플라이 디커플링 커패시터로 작동합니다. 이 애플리케이션에는 표면 실장형 2.2 μ F, 10V / X7R 또는 X5R / 0805 또는 더 큰 적층형 세라믹 커패시터가 권장됩니다. SECONDARY BYPASS 핀 전압은 출력 전압이 목표치에 이르기 전에 4.4V에 도달해야 합니다. 이는 SECONDARY BYPASS 핀 커패시터의 값이 크게 상승할 경우 불가능할 수 있으며 기동 중에 출력 전압 오버슈트가 발생할 수 있습니다. 1.5 μ F보다 값이 낮아질 시 충분한 에너지 저장 공간을 얻지 못하여 디바이스가 예측불가능하게 동작할 수 있습니다. 본 커패시터는 IC

핀에 인접해 있어야 합니다. BPS 전압으로부터 충분한 마진을 제공하기 위해 권장되는 전압은 최소 10V이며, 특히 0603과 같은 소형 패키지 SMD의 경우 적용된 DC 전압으로 인해 세라믹 커패시터의 커패시턴스가 크게 떨어지기 때문에 작동 시 실제 값을 보장하려면 0805 크기가 필요합니다. 6.3V/0603/X5U 또는 Z5U 유형의 MLCC는 이러한 이유로 권장되지 않습니다. 다른 제조업체 또는 다른 제품군의 X7R, X5R과 같은 세라믹 커패시터 유형을 지정하면 전압 계수가 달라집니다. 선택한 커패시터의 커패시턴스가 4.4V에서 20% 이상 떨어지지 않도록 커패시터 데이터 시트를 검토하는 것이 좋습니다.최적의 결과를 위해서는 X5R 또는 X7R 유전체의 커패시터를 사용해야 합니다.

FORWARD 핀 저항(R_{FWD})

FORWARD 핀은 동기 정류기 MOSFET(SR FET)의 드레인 단자에 연결되어 있습니다. 이 핀은 디바이스의 턴온과 턴오프를 정확하게 제어하기 위해 SR FET의 드레인 전압을 모니터링합니다. 이 핀은 출력 전압이 SECONDARY BYPASS 핀 전압보다 낮아질 때마다 SECONDARY BYPASS 핀 커패시터를 충전하는 데에도 사용됩니다. 47Ω , 5% 저항을 사용하여 충분한 IC 서플라이 전류를 확보하고 다양한 출력 전압에서 작동하도록 하는 것이 좋습니다. 값이 다른 저항의 경우 동기 동작 타이밍이 방해받을 수 있으므로 사용하지 않아야 합니다. FORWARD 핀의 전압이 절대 최대 정격 전압을 넘지 않도록 주의해야 합니다. FORWARD 핀 전압이 절대 전압을 넘어설 시 IC가 손상됩니다. 아래의 그림 14, 15, 16, 17은 양호하거나 그렇지 못한 FORWARD 핀 전압 파형의 예를 나타냅니다. V_D 는 SR FET 양단의 포워드 전압 강하입니다.

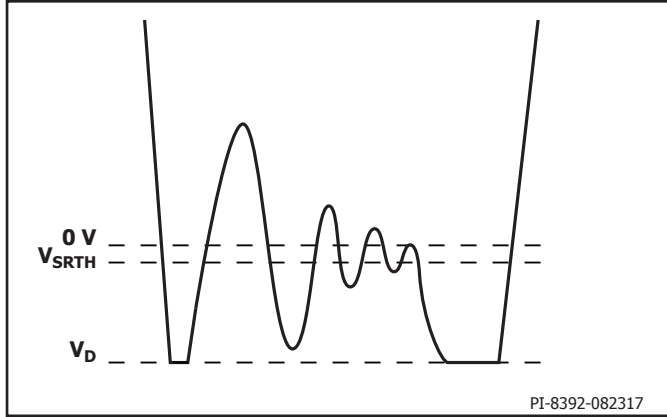


Figure 14. Unacceptable FORWARD Pin Waveform After Handshake with SR FET Conduction During Flyback Cycle.

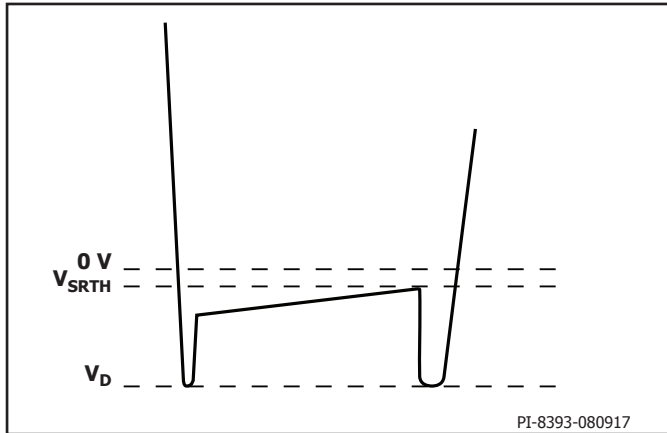


Figure 15. Acceptable FORWARD Pin Waveform After Handshake with SR FET Conduction During Flyback Cycle.

FEEDBACK 핀 분배기 네트워크($R_{FB(UPPER)}$, $R_{FB(LOWER)}$)

적절한 저항 전압 분배기를 파워 서플라이의 출력에서 LYTSwitch-6 IC 핀으로 연결해야 하며, 원하는 출력 전압에서 FEEDBACK 핀이 1.265V가 되도록 크기를 조정해야 합니다. 330pF의 디커플링 커패시터(C_{FB})가 권장되며 FEEDBACK 핀에서 SECONDARY GROUND 핀으로 연결해야 합니다. C_{FB} 는 FEEDBACK 핀에 대한 디커플링 커패시터로 작동하여 IC의 동작에 영향을 미치는 스위칭 노이즈를 방지합니다.

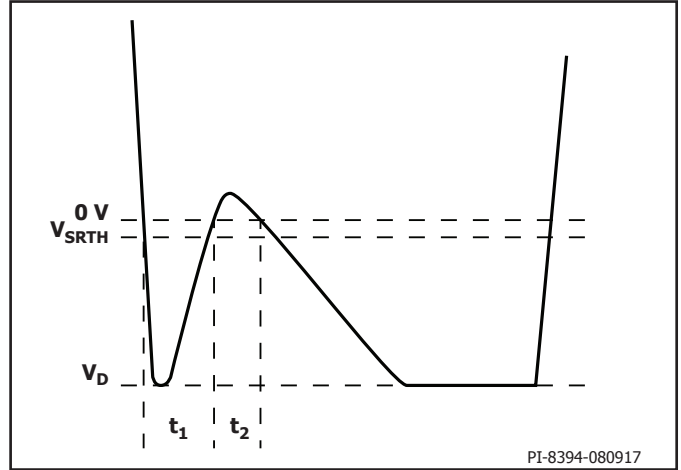


Figure 16. Unacceptable FORWARD Pin Waveform Before Handshake with Body Diode Conduction During Flyback Cycle.

Note:

$t_1 + t_2 = 1.5\mu s \pm 50ns$ 인 경우, 컨트롤러가 핸드셰이크에 실패하고 1차측 바이어스 권선 OVP 래치 오프를 트리거할 수 있습니다.

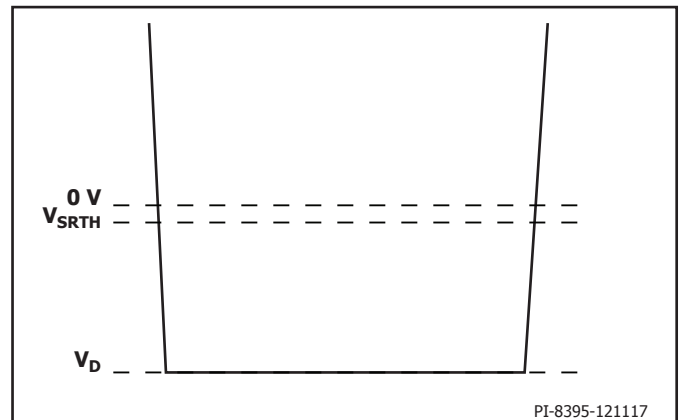


Figure 17. Acceptable FORWARD Pin Waveform Before Handshake with Body Diode Conduction During Flyback Cycle.

SR FET의 동작 및 선택

단순 다이오드 정류기와 스너버도 효과적이지만, SR FET을 사용하면 효율이 크게 향상됩니다. 2차측 컨트롤러는 플라이백 주기가 시작될 때 SR FET을 켭니다. SR FET 게이트는 LYTSwitch-6 IC의 SYNCHRONOUS RECTIFIER DRIVE 핀에 직접 연결해야 하고, SR FET의 게이트 회로에는 저항을 추가로 연결하면 안 됩니다. SR FET은 V_{DS} 가 0V에 도달하면 꺼집니다. SR FET 드라이버는 SECONDARY BYPASS 핀을 서플라이 레일로 사용하는데 이 전압은 일반적으로 4.4V입니다. 따라서 게이트 기준 전압(Threshold)이 높은 FET는 이 애플리케이션에 적합하지 않습니다. 기준 전압(Threshold)이 1.5~2.5V인 FET가 이상적입니다. 기준 전압(Threshold)이 전압이 4V에 이르는 MOSFET 역시 데이터시트에서 4.5V의 게이트 전압에 대한 모든 온도 영역에서 $R_{DS(ON)}$ 를 명시하는 경우에 사용할 수 있습니다.

플라이백 사이클 시작 후 SR FET이 턴오프 될 때까지 약간의 지연이 발생할 수 있습니다. 이 시간 동안 SR FET의 바디 다이오드가 전도됩니다. 외부 쇼트키 다이오드가 병렬로 연결되는 경우 전류는 대부분 쇼트키 다이오드를

통해 흐릅니다. 그러므로 병렬 쇼트키 다이오드가 효율을 높여줍니다. 1 A 표면 실장형 쇼트키 다이오드가 이 용도에 일반적으로 적합하지만, 계인은 5V, 2A 설계에서 낮으므로 외부 다이오드가 85VAC에서는 풍부하 효율에 ~0.1%를 더하고 230VAC에서는 ~0.2%를 더합니다.

쇼트키 다이오드와 SR FET의 정격 전압은 트랜스포머에 사용되는 권선비로부터 계산된 예상 피크 역전압(PIV)의 최소 1.3배여야 합니다.

1차측 스위치가 턴오프될 때 권선 전압 역전 시 출력 권선의 누설 리액턴스와 SR FET의 출력 커패시턴스(COSS) 간 상호 작용으로 인해 전압 링잉이 발생합니다. 이 링잉은 SR FET에 걸쳐 연결된 RC 스너버를 이용하여 억제할 수 있습니다. 10~47Ω 범위의 스너버 저항을 사용해야 합니다 (높은 저항 값은 효율이 현저히 떨어집니다). 1~2.2nF의 커패시터 값은 대부분의 설계에 적합합니다.

출력 필터 커패시턴스(C_{out})

ESR이 낮고 RMS 리플 전류 정격이 높은 알루미늄 전해 커패시터는 대부분의 밸러스트 애플리케이션용 고주파 플라이백 스위칭 파워 서플라이에 사용하기 적합합니다. 일반적으로 출력 전류 1암페어 당 300~400 μF의 커패시턴스가 적합합니다. 이 값은 필요한 출력 전류 리플의 양을 반영하도록 조절할 수 있습니다. 가장 높은 출력 전압보다 더 높은 전압 정격(충분한 마진을 더한 것)의 커패시터를 사용하는지 확인해야 합니다.

출력 전류 센싱 저항(R_{IS})

출력 정전류(CC) 동작의 경우, 그림 18과 같이 외부 전류 센싱 저항 R_{IS}를 ISENSE 핀과 IC의 SECONDARY GROUND 핀 사이에 연결해야 합니다. 정전류(CC) 레귤레이션이 필요하지 않은 경우에는 이 핀을 IC의 SECONDARY GROUND 핀에 연결해야 합니다.

저항 양단에 생성된 전압은 내부 레퍼런스인 전류 제한 전압 기준점 (I_{SV(TH)}) (약 35mV)과 비교됩니다. R_{IS}의 크기는 다음과 같이 계산합니다.

$$R_{IS} = I_{SV(TH)} / I_{OUT(CC)}$$

R_{IS} 저항은 반드시 ISENSE 및 SECONDARY GROUND 핀 사이에 배치하고 트레이스는 짧아야 합니다. 이를 통해 정전류 작동 동작 보다 명확히 나타나는 불안정성을 초래하는 그라운드 임피던스 노이즈 간섭을 방지할 수 있습니다.

출력 포스트 필터 부품(L_{pf}, C_{pf})

필요 시 포스트 필터(L_{pf} 및 C_{pf})를 추가하여 고주파수 스위칭 노이즈 및 리플을 감쇠시킬 수 있습니다. 인덕터 L_{pf}는 1~3.3mH의 범위 내에 있어야 하며 정격 전류는 피크 출력 전류보다 높아야 합니다. 커패시터 C_{pf}는 100μF~330μF 범위 내에 있어야 하며 정격 전압은 1.25 × V_{OUT} 이상이어야 합니다. 포스트 필터를 사용하는 경우 출력 전압 센싱 저항을 포스트 필터 인덕터 앞에 연결해야 합니다.

PCB 레이아웃 권장사항

단일 지점 그라운드

입력 필터 커패시터에서 SOURCE 핀에 연결된 동판까지 단일 지점 그라운드를 사용합니다. 그림 18을 참조하십시오.

바이패스 커패시터

PRIMARY BYPASS(C_{BPP}) 핀, SECONDARY BYPASS(C_{BPS}) 핀, 피드백 디커플링 커패시터는 짧은 패턴을 사용하여 해당 핀과 해당 리턴 사이에 인접하게 위치해야 합니다.

PRIMARY BYPASS 핀 – SOURCE 핀.

SECONDARY BYPASS 핀 – SECONDARY GROUND 핀.

FEEDBACK 핀 – SECONDARY GROUND 핀.

신호 부품

피드백 정보를 제공하는 저항 R_{LS}, R_{BPP}, R_{FB(UPPER)}, R_{FB(LOWER)}, R_{IS}은 반드시 짧은 트레이스로 IC 핀에 최대한 가까이 배치해야 합니다.

주요 루프 면적

dv/dt 또는 di/dt가 높은 회로용 루프는 최대한 작아야 합니다. 1차측 루프(입력 필터 커패시터 - 트랜스포머 1차측 권선 - Ic)의 면적은 가능한 작게 유지해야 합니다. 루프 안에 또 루프가 존재하지 않는 것이 이상적입니다 (그림 18). 이는 회로 간 혼선을 최소화해줍니다.

1차측 클램프 회로

클램프는 턴오프 시 DRAIN 핀의 피크 전압을 제한하는 데 사용됩니다. 이는 1차측 권선에 걸쳐 RCD 또는 제너 다이오드 클램프를 사용하여 구성할 수 있습니다. 클램프 부품을 트랜스포머와 IC에 가까이 배치하면 이 루프의 크기를 최소화하고 EMI를 줄일 수 있습니다.

Y 커패시터

Y 커패시터는 1차측 입력 필터 커패시터의 플러스 단자와 트랜스포머 메인 2차측 권선의 출력 플러스단 또는 리턴단 간에 직접 연결해야 합니다. 이런 배치는 큰 커먼 모드 서지 전류를 IC로부터 떨어져 흐르게 할 수 있습니다. 입력 π 필터(C1, L_p, C2)를 사용할 경우, 필터 인덕터를 커패시터의 음극 단자 사이에 배치해야 합니다.

출력 정류기 다이오드

최상의 성능을 위해 2차측 권선, 출력 정류기 다이오드, 출력 필터 커패시터의 루프 연결 면적을 최소화해야 합니다. 히트싱크용으로 정류기 다이오드 단자에 충분한 동판 영역이 필요합니다.

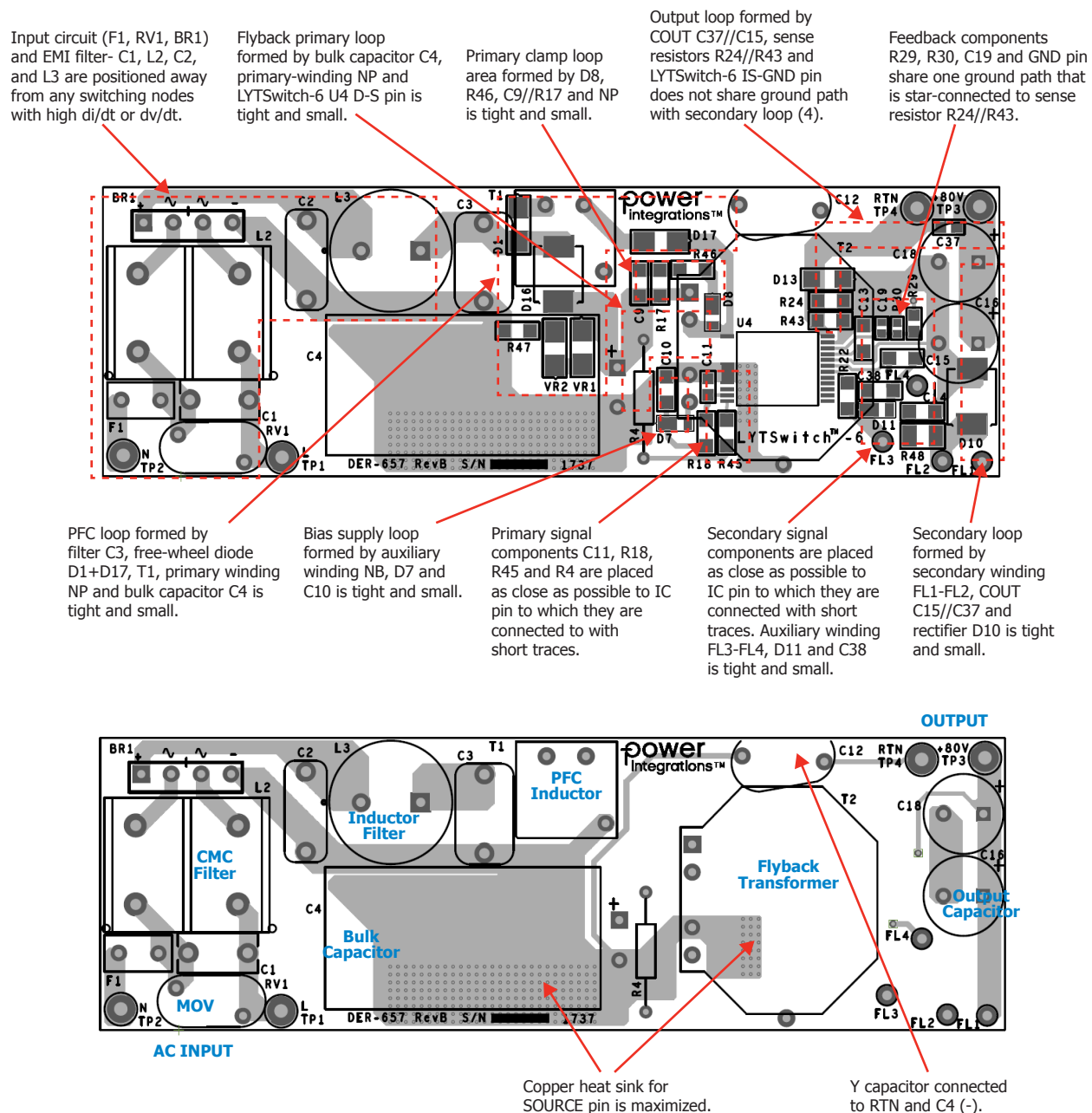
ESD 내성

ESD 또는 Hi-Pot 테스트 요건을 손쉽게 준수할 수 있도록 1차측과 2차측 회로 사이에 충분한 공간거리(8mm 이상)를 유지해야 합니다. 스파크 갭은 출력 리턴(및/또는 양극 단자)과 퓨즈 뒤 AC 입력 중 하나 사이에 배치하는 것이 가장 좋습니다. 이 구성에서는 6.4mm(일부 애플리케이션 분야에서는 5.5mm도 허용 가능)의 스파크 갭이 해당 안전 표준의 연면거리와 공간거리 요구 사항을 충족하는 데 적합합니다. 스파크 갭의 전압은 AC 입력의 피크를 초과하지 않으므로 이러한 간격은 1차측에서 2차측까지의 간격보다 작습니다.

드레인 노드

드레인 스위칭 노드에서 주로 노이즈가 생성됩니다. 따라서 드레인 노드에 연결된 부품은 IC에 가까이 배치하지만 민감한 피드백 회로에서는 멀리 떨어져 배치해야 합니다. 클램프 회로 부품은 PRIMARY BYPASS 핀으로부터 멀리 배치해야 하며 패턴 폭과 길이는 최소화해야 합니다.

PCB Layout Example



Special Notes

- All loops are separated; no loop is inside a loop. This will avoid ground impedance noise coupling.
- Maintain trace surface area and length of high dv/dt nodes such as DRAIN, as small and short as possible to minimized RFI generation.
- No signal trace (quiet trace) such as Y capacitor and feedback return must be routed near or across noisy nodes (high dv/dt or di/dt) such as DRAIN, underneath transformer belly, switching side of any winding or output rectifier diode to avoid capacitively or magnetically coupled noise.
- No signal trace must share path with traces having an AC switching current such as output capacitor. Connection must be star-connected to capacitor pad in order to avoid ground impedance coupled noise.

PI-8585-020918

Figure 18. TOP and BOTTOM Sides – Ideal Layout Example Showing Tight Loop Areas for Circuit with High dv/dt and di/dt , Component Placement.

무부하 소비 전력 감소를 위한 권장사항

LYTSwitch-6 IC는 내부 전류 소스를 통해 충전되는 BYPASS 핀 커패시터에서 에너지를 끌어와 자체 구동 모드로 시작할 수 있습니다. 그러나 LYTSwitch-6 IC가 스위칭을 시작하면 PRIMARY BYPASS 핀에 전류를 공급하기 위해 바이어스 권선을 사용합니다. 이를 위해 스위칭 트랜스포머로부터 보조(바이어스) 권선을 제공해야 합니다. PRIMARY BYPASS 핀에 대한 바이어스 권선에서 발생한 서플라이를 사용하면 소비 전력이 100mW 미만인 무부하 설계가 가능합니다. 가장 낮은 무부하 입력 전력을 위해서는 그림 12에 표시된 저항 R_{BP} 을 조정해야 합니다.

그 외 무부하 소비 전력을 더욱 낮출 수 있는 부품으로는 다음과 같은 것이 있습니다.

1. 낮은 값의 1차측 클램프 커패시터 C_{SN} .
2. 바이어스 서플라이 정류기 D_{BIAS} 에 대한 쇼트키 또는 초고속 다이오드
3. 바이어스 서플라이 커패시터 C_{BIAS} 에 대한 낮은 ESR 커패시터
4. 낮은 값의 SR FET RC 스너버 커패시터 C_{SR} .
5. 트랜스포머 구성: 1차측 권선 레이어 간의 테이프와 1차측-2차측 권선 간의 멀티레이어 테이프는 내부 권선간 커패시턴스를 줄여줍니다.

EMI 감소를 위한 권장 사항

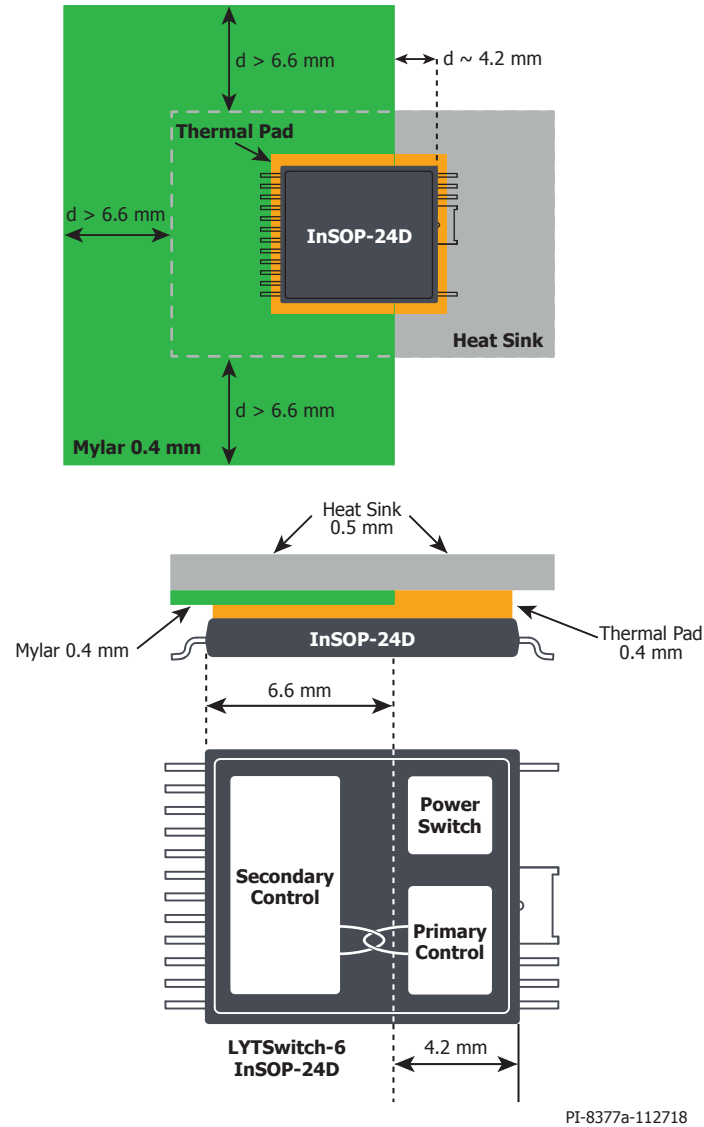
1. 1차측 및 2차측 전원 회로에 부품을 적절히 배치하고 루프 면적을 작게 유지하면 방사 및 전도 EMI를 최소화할 수 있습니다. 루프 면적을 작게 유지하도록 주의를 기울여야 합니다. (그림 18 참조)
2. 1차측 클램프 다이오드와 병렬로 작은 커패시터를 사용하면 방사 EMI를 줄일 수 있습니다.

3. 바이어스 권선과 직렬로 연결된 저항($2\Omega \sim 47\Omega$)은 방사 EMI를 줄일 수 있습니다.
4. 소형 저항과 세라믹 커패시터(22pF 미만)를 1차측(그림 21) 또는 2차측 권선(100pF 미만)에 직렬 연결하면 전도 및 방사 EMI를 줄일 수 있습니다. 더 큰 커패시터 값은 무부하 전력 소모량을 높이게 됩니다.
5. 커먼 모드 노이즈를 줄이려면 일반적으로 파워 서플라이 입력에 커먼 모드 초크가 필요합니다. 단, 트랜스포머에서 쉴드 권선을 사용해도 동일한 효과를 얻을 수 있습니다. 또한 쉴드 권선은 입력 시 커먼 모드 필터 인덕터와 함께 사용하여 전도성 및 방사 EMI를 개선하는 데 사용할 수 있습니다.
6. SR FET RC 스너버 부품의 값을 조절하여 고주파 방사 및 전도 EMI를 줄일 수 있습니다.
7. 디퍼렌셜 인덕터 및 커패시터로 구성된 π 필터를 입력 정류기 회로에 사용하여 저주파수 디퍼렌셜 EMI를 줄일 수 있습니다. 페라이트 비드(그림 18)를 추가하여 EMI를 더욱 개선할 수 있습니다.
8. differential 인덕터에 걸쳐 저항을 사용하면 Q factor와 10MHz를 넘는 EMI를 줄일 수 있으나 이로 인해 5MHz 미만의 EMI가 높아질 수 있습니다.
9. 파워 서플라이 출력부에 걸쳐 연결되는 1 μF 세라믹 커패시터는 방사 EMI를 줄일 수 있습니다.
10. 느린 바이어스 정류기-다이오드($250ns < t_{rr} < 500ns$)는 20MHz를 넘는 전도 EMI 및 30MHz를 넘는 방사 EMI를 줄일 수 있습니다.

히트 스프레더

LED 밸러스트와 같은 폐쇄형 파워 서플라이의 경우 PCB만을 히트싱크로 사용하며 주위 온도/습도가 높은 조건에서 사용하는 파워 서플라이는 IC의 온도 제한 이내로 유지하기에 충분하지 않을 수 있습니다. 이런 경우 최대 IC 온도를 넘지 않도록 메탈 히트 스프레더를 추가해야 할 수 있습니다.

세라믹 절연재를 히트싱크로 사용하지 않을 시 절연 배리어가 훼손되지 않도록 주의해야 합니다. 일반적으로 히트 스프레더는 히트 스프레더 재질 (구리 또는 알루미늄), 절연 강화용 **0.4mm**의 마일라 패드, 디바이스에서 히트 스프레더로 더 효과적으로 열을 전달하기 위한 열전도성 패드로 구성됩니다. 그림 19는 적절한 연면거리와 공간거리를 유지하면서 InSOP-24D 패키지에 히트 스프레더를 부착하는 간단한 방법입니다.



PI-8377a-112718

Figure 19. Simplified Diagram of Heat spreader Attachment to an InSOP-24D Package.

트랜스포머 관련 InSOP-24D 패키지 권장 위치

트랜스포머와 InSOP-24D 아래의 PCB는 견고해야 합니다. 대형 트랜스포머와 1.5mm 미만의 얇은 PCB를 함께 사용할 시에는 트랜스포머를 InSOP로부터 멀리 두는 것이 좋습니다. InSOP 패키지에

인접하거나 아래로 연결되는 슬롯을 PCB에 내는 방법은 PCB를 약화시키므로 추천하지 않습니다. PCB가 긴 경우, 기계적인 지지대 또는 기둥을 보드의 가운데나 InSOP 패키지 가까이에 두는 것이 좋습니다.

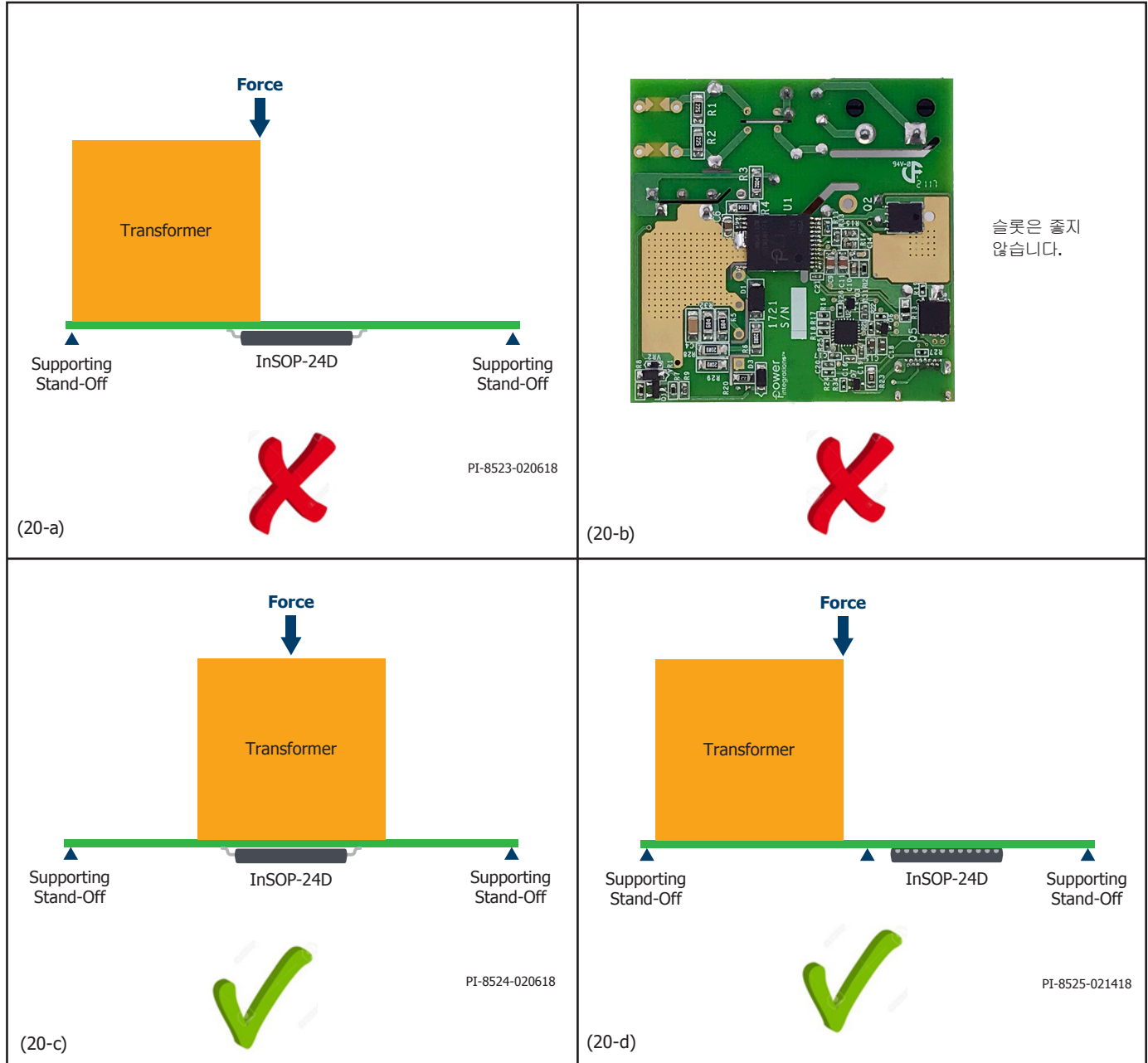


Figure 20. Recommended Position of InSOP-24D Package Shown with Check Mark.

빠른 디자인 체크 리스트

어떤 파워 서플라이를 설계하든 worst-case에서도 부품의 제한을 초과하지 않는다는 점을 보증하기 위해 모든 LYTSwitch-6 설계의 성능을 벤치에서 측정해야 합니다. 최소한 다음과 같은 시험을 실시할 것을 강력히 권장합니다:

최대 드레인 전압 - LYTSwitch-6 및 SR FET의 V_{DS} 가 정상 동작 및 기동 시 최고 입력 전압 및 피크 (과부하) 출력 전력에서 항복 전압의 90%를 넘지 않는지 검증해야 합니다.

최대 드레인 전류 - 최고 주위 온도, 최대 입력 전압 및 피크(과부하) 출력 전력에서 측정합니다. 기동 시 나타나는 트랜스포머의 포화 또는 과도한 리딩 엣지 전류 스파이크의 신호가 드레인 전류 파형에서 나타나는지 확인하십시오. 정상 상태 조건에서 테스트를 반복하고 리딩 엣지 전류 스파이크가 $t_{LEB(MIN)}$ 의 끝에서 $I_{LIMIT(MIN)}$ 미만인지 확인합니다. 모든 조건에서 1차측 스위치의 최대 드레인 전류는 지정된 최대 정격 절대값 미만이어야 합니다.

써멀 검사 - 지정된 최대 출력 전력, 최소 입력 전압, 최대 주변 온도에서 온도가 LYTSwitch-6 IC, 트랜스포머, 출력 SR FET, 출력 커패시터에 지정된 한계를 충족하는지 확인합니다. LYTSwitch-6 디바이스의 $R_{DS(ON)}$ 에서 부품간 변동을 감안한 충분한 써멀 마진을 확보해야 합니다. 로우 라인 및 풀부하에서 이러한 변동을 허용하기 위해 LYTSwitch-6 SOURCE 핀 온도를 110°C로 제한하는 것이 좋습니다.

PowiGaN 디바이스 사용 시 설계 고려 사항(LYT6078C, LYT6079C 및 LYT6070C)

스위칭 주파수(f_{sw})

LYT6078C, LYT6079C, LYT6070C의 고유한 특징으로, 풀부하의 경우 설계자가 스위칭 주파수를 25kHz~95kHz 사이로 설정할 수 있습니다. 최저 온도를 위해서 스위칭 주파수는 60kHz 정도로 설정되어야 합니다. 더 작은 트랜스포머의 경우 풀부하 스위칭 주파수는 95kHz로 설정되어야 합니다. 풀부하 스위칭 주파수 설정 시에는 1차측 인덕턴스 및 피크 전류 오차를 고려하여 평균 스위칭 주파수가 과부하 보호로 인한 오토-리스타트 기능을 트리거할 수 있는 110kHz를 넘지 않도록 해야 합니다. 다음 표는 디바이스 크기에 따른 주파수 선택 가이드입니다. 이는 통합된 고전압 스위치의 크기에 따른 전반적인 디바이스 손실(전도 손실 및 스위칭 손실) 사이의 최적의 절충안을 보여줍니다.

PowiGaN 디바이스 LYT6078C	65 kHz
PowiGaN 디바이스 LYT6079C	65 kHz
PowiGaN 디바이스 LYT6070C	60 kHz

드레인 전압 및 권선비에 의해 발생된 전압, $V_{OR}(V)$

플라이백 컨버터 구성의 경우 IC의 DRAIN 핀에서 일반적인 전압 파형은 그림 21에 나와 있습니다.

V_{OR} 은 2차측 권선이 전도될 때 1차측 권선에 걸친 권선비에 의해 발생된 전압입니다. V_{BUS} 는 트랜스포머 1차측 권선의 한쪽 끝에 연결된 DC 전압입니다.

또한 $V_{BUS} + V_{OR}$ 외에도 드레인에서는 1차측 권선의 누설 인덕턴스에 저장된 에너지로 인해 꺼질 때 큰 전압 스파이크가 발생합니다. 드레인 전압이 정격 최대 연속 드레인 전압을 초과하지 않도록 하려면 1차측 권선에 클램프 회로가 필요합니다. 클램프 다이오드의 순방향 리커버리는 1차측 스위치의 전원을 끄는 순간 스파이크를 더합니다. 그림 21의 V_{CLM} 은 결합된 클램프 전압으로 스파이크가 포함되어 있습니다. 기본 스위치의 피크 드레인 전압은 V_{BUS}, V_{OR}, V_{CLM} 의 합과 같습니다.

모든 정상 동작 조건에서 피크 드레인 전압이 650V보다 낮도록 V_{OR} 과 클램프 전압 V_{CLM} 을 선택해야 합니다. 이는 라인 서지와 같은 라인 과도 상태 동안 가끔씩 전압을 증가시켜 비정상적인 과도 작동 조건에서 피크 드레인 전압이 750V 미만으로 유지될 수 있도록 충분한 마진을 제공합니다. 이는 탁월한 장기적 신뢰성과 설계 마진을 보장합니다.

QR 기능을 최대한으로 사용하고 라인/부하에 가장 균일한 효율을 얻기 위해 권선비에 의해 발생된 전압(V_{OR})을 유니버설 입력의 최소 입력 전압에서 $K_p = 0.8$ 로 유지하고, 하이 라인 전압 조건에 대해서는 $K_p \geq 1$ 로 유지할 수 있도록 설정합니다.

설계 최적화를 위해 다음을 고려하십시오.

1. 높은 V_{OR} 은 V_{MIN} 에서 전력 제공량을 늘릴 수 있습니다. 즉, 입력 커패시터의 값을 최소화하고 LYT6078C, LYT6079C, LYT6070C 디바이스에서 제공되는 전력 제공량을 최대화합니다.
2. V_{OR} 이 높으면 출력 다이오드 및 SR FET의 전압 스트레스가 줄어듭니다.
3. V_{OR} 을 높이면 누설 인덕턴스를 증가시켜 파워 서플라이의 효율성을 감소시킵니다.
4. V_{OR} 이 높으면 2차측 피크 전류와 RMS 전류가 증가하여 2차측 동판 손실 및 다이오드 손실이 늘어날 수 있습니다.

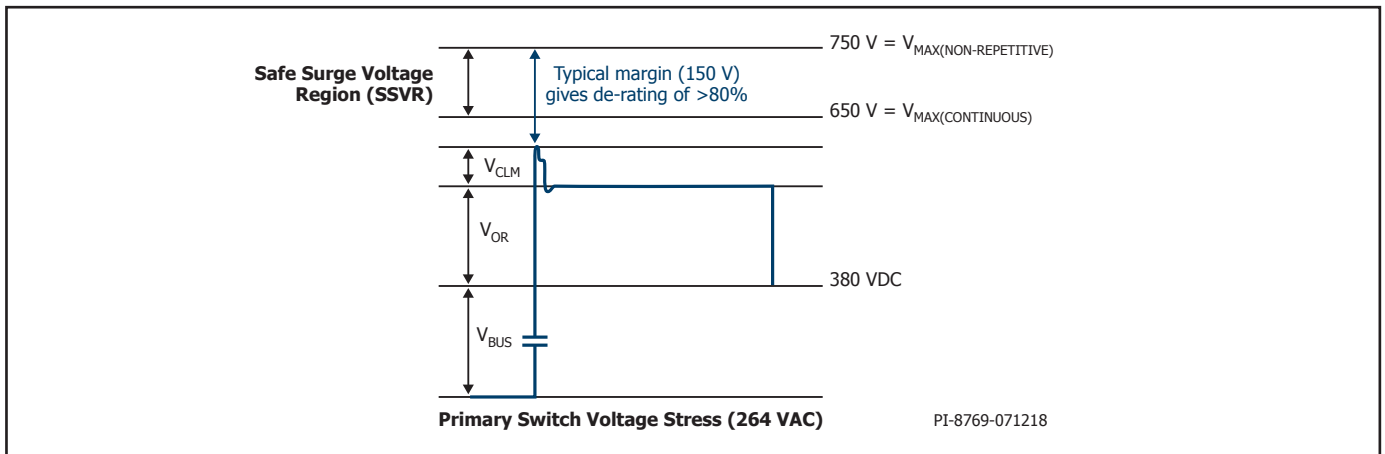


Figure 21. Peak Drain Voltage for 264 VAC Input Voltage (Applicable for LYT6078C, LYT6079C and LYT6070C).

여기에는 몇 가지 예외가 있습니다. 매우 높은 출력 전류의 경우 가장 뛰어난 효율성을 얻으려면 VOR을 감소시켜야 합니다. 출력 전압이 15V를 넘는 경우 VOR을 높여 출력 동기 정류기 양단에서 적절한 PIV를 유지해야 합니다.

열관리를 위한 고려사항

SOURCE 핀은 IC 리드 프레임과 내부적으로 연결되며 디바이스의 열을 방출하는 주 경로를 제공합니다. 따라서 소스 핀은 단일 지정 그라운드 및 히트싱크 역할을 하도록 IC 아래의 동판 영역에 연결해야 합니다. 이 영역은 노이즈가 없는 소스 노드에 연결되어 있어, 이 영역을 최대화하면 EMI를 높이지 않고도 히트싱크 효과를 높일 수 있습니다. 출력 SR FET도 마찬가지로 SR FET의 핀에 연결되는 PCB 영역을 최대화합니다.

IC 온도를 최대 절대 제한값 아래로 안전하게 유지하려면 기판에 충분한 동판 면적을 제공해야 합니다. 정격 풀부하 및 가장 낮은 정격 입력 AC 공급 전압에서 파워 서플라이를 동작하는 경우 IC의 SOURCE 핀이 납땜된 PCB의 동판 면적은 IC 온도를 110°C 아래로 유지할 수 있을 정도로 넓어야 합니다.

PowiGaN 디바이스(LYT6078C, LYT6079C, LYT6070C)의 열 저항 테스트 조건

열 저항 값은 1차측 전력 디바이스의 정선에서 주위 온도까지의 값입니다.

그림 22과 같이 사용자 지정 발열 테스트 PCB에서 테스트를 수행했습니다. 테스트 보드는 2온스의 레이어 2개로 구성됩니다. InSOP 패키지가 있는 Cu는 상단 표면에 장착되고 550mm²의 최하층 Cu 히트싱크 영역에 연결됩니다.

두 레이어는 패키지 장착 영역 외부의 5 x 17 매트릭스에서 82개의 바이어스로 연결되어 있습니다. 바이어스는 12mil 직경, 40mil 간격으로 배치되며 도금된 스루홀은 채워져 있지 않습니다.

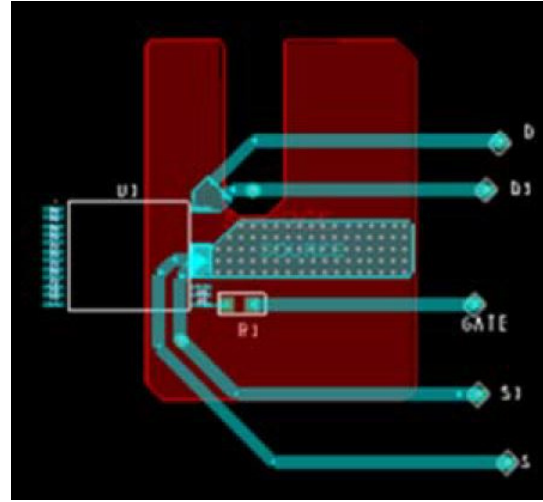


Figure 22. Thermal Resistance Test Conditions for PowiGaN Devices (LYT6078C, LYT6079C and LYT6070C.)

Second Applications Design Example

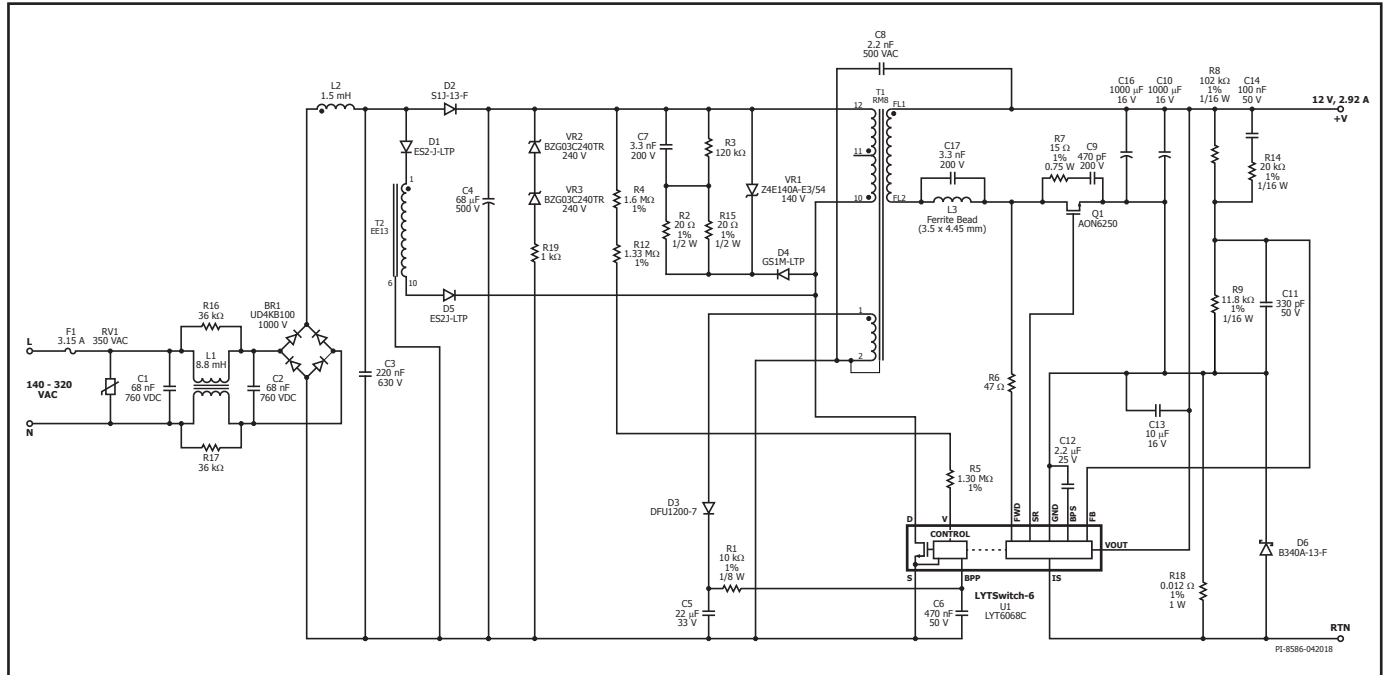


Figure 23. Schematic of DER-637, 35 W, 12 V, 2.92 A, 140 VAC – 320 VAC using LYTSwitch-6 LYT6068C with Synchronous Rectification.

고효율, 35W, 12V 유니버설 입력 LED 밸러스트(동기 정류 적용)

그림 23에 표시된 회로는 LED 조명 애플리케이션을 위한 단일단 역률 보정 회로가 있는 35W 절연 플라이백 파워 서플라이입니다. 이 회로는 정확한 전압 레귤레이션과 최대 2.92A의 출력 전류로 12V의 정전압 출력을 제공합니다. 파워 서플라이는 RGBW 스마트 조명과 같이 포스트 레귤레이터를 사용하여 독립적으로 다중 LED 스트링 설계를 레귤레이션하는 애플리케이션을 위한 것입니다. 또한 이 파워 서플라이는 정확한 레귤레이션과 함께 동일한 최대 정전 출력 전류를 제공하고 12~3V 출력으로부터 라인 유도 리플이 없으므로 single-LED 스트링 애플리케이션에도 이상적입니다. 이 회로는 매우 효율적이며 140~320VAC의 입력 전압 범위에 걸쳐 우수한 라인 및 부하 레귤레이션 기능을 제공합니다. 또한 이 파워 서플라이는 230VAC에서 A-THD가 20% 미만이며 0.9보다 큰 PF를 제공합니다.

입력단

퓨즈 F1은 심각한 부품 고장이 발생할 시 입력 라인으로부터 회로를 분리하고 보호합니다. 배리스터 RV1은 퓨즈 뒤에 연결하여 전압 클램프로 작동하여 라인 과도 또는 서지가 발생할 시 전압을 안전한 수준으로 제한합니다. 브릿지 다이오드 BR1은 AC 라인 전압을 정류하고 C3 및 C4로 구성된 입력 필터 필름 필터에 전파 정류 DC 전압을 제공합니다. 이 회로는 C1, L1, C2, L2, C3으로 구성된 2단 EMI 필터를 사용합니다.

1차측 플라이백 단계

대용량 커패시터 C4는 라인 리플 전압을 필터링하고 플라이백 단에 DC 전압을 공급합니다. 또한 differential 전류를 필터링하여 전도 EMI 노이즈를 줄입니다. 벌크 커패시터(C4)의 전압은 INPUT OVERVOLTAGE 핀 저항(R4와 R12)을 통해 모니터링되어 라인 과전압 및 브라운 인 보호 기능을 제공합니다. 과전압 기준점(I_{OV})은 과전압 기준점(Threshold)을 결정하며, (I_{UV})는 라인 턴온 전압을 결정합니다. 라인 서지 또는 과도가 발생할 시 490V_{PK}를 넘는 라인 전압에 의해 입력 과전압 셋다운이 트리거됩니다.

트랜스포머(T1) 1차측 권선의 한쪽 끝은 벌크 커패시터(C4)의 플러스 단자에 연결되며, 반대쪽은 LYTSwitch-6(U1) IC에 내장된 650V 파워 MOSFET의 드레인에 연결됩니다. 저가형 RCD 1차측 클램프, D4, R2, R15, R3, C7은 파워 스위치에서 인식한 전압 스파이크를 제한합니다. 이 스파이크는 트랜스포머의 누설 인덕턴스에 의해 발생합니다. RCD 1차 클램프 역시 방사 및 전도된 EMI를 줄입니다. 제너 VR1을 클램프하면 기동 중에 320VAC에서 풀부하로 드레인 전압 스파이크를 제한합니다.

LYTSwitch-6 IC는 라인 전압이 처음 인가될 때 내부 고전압 전류 소스를 사용하여 PRIMARY BYPASS 핀 커패시터(C6)를 충전함으로써 자체적으로 가동됩니다. 정상 동작 중 1차측은 트랜스포머 T1의 보조 권선에서 전력을 공급받습니다. 보조 권선의 출력은 다이오드 D3에 의해 정류되고 커패시터 C5에 의해 필터링됩니다. 저항 R1은 PRIMARY BYPASS 핀에 공급되는 전류를 제한합니다. 사용하는 PRIMARY BYPASS 핀 커패시터 C6의 값은 470nF이며 이는 정상 current limit을 설정합니다.

PFC(역률 보정) 단계

역률 보정 단계는 인덕터(T2)와 직렬로 블로킹 다이오드 D1 및 D5로 구성되며 LYTSwitch-6 IC의 DRAIN 핀에 연결됩니다. 불연속 전도 모드(DCM)에서 동작하는 Switched Valley-Fill 싱글 스테이지 PFC(SVF S²PFC) 기술을 이용하여 고역률 보정이 이루어집니다. 인덕터 T2로부터의 DCM 스위칭 전류는 입력 전류의 형태를 구성하여 C3에서 정류된 전압이 C4의 DC 전압보다 낮을 시 유사 사인곡선을 형성하며 이는 강한 역률을 발생시킵니다.

스위치 온 타임 동안 에너지는 PFC 인덕터(T2)와 플라이백 트랜스포머(T1)에 저장됩니다. 스위치 오프 타임 동안 PFC와 플라이백 인덕터에 저장된 에너지는 플라이백 트랜스포머를 통해 2차측으로 전달됩니다.

다이오드 D2는 커패시터 C3를 정류된 AC 입력으로부터 분리합니다. 또한 벌크 커패시터 C4의 충전을 위한 전류 경로를 제공하며, 특히 low-line에서 효율이 개선됩니다. 프리휠 다이오드 D1과 D5는 PFC 인덕터에 저장된 에너지에 대한 경로를 제공하여 스위치 오프 타임 동안 2차측으로 전달합니다. 다이오드 D1과 D5는 스위치가 턴오프될 때 PFC 인덕터에 유도되는 공진 링잉을 견딜 수 있도록 직렬로 연결됩니다.

무부하 또는 저부하 시(10% 미만) PFC 인덕터(T2)에 저장된 에너지는 2차 부하에서 필요한 것보다 강할 수 있으며 PFC 인덕터로부터 발생하는 과잉 에너지는 벌크 커패시터 C4로 재활용되어 벌크 전압을 높입니다. 제너 저항 클램프(VR2, VR3이 R19와 직렬로 연결됨)는 벌크 커패시터 C4에 연결되어 전압 상승을 안전한 수준으로 제한합니다. 제너 클램프 전압은 벌크 커패시터 C4의 정격인 500V 미만으로 제한합니다.

2차단

LYTSwitch-6 IC의 2차단 제어는 일정한 출력 전압과 출력 전류를 제공합니다. 트랜스포머 2차측 권선의 출력은 SR FET Q1에 의해 정류되고, 출력 커패시터 C10과 C16에 의해 필터링됩니다. RC 스너버(R7, C9)를 SR FET에 걸쳐 추가하면 전압 스트레스가 줄어듭니다.

IC의 2차측은 FORWARD 핀을 통한 2차측 권선 포워드 전압 또는 OUTPUT VOLTAGE 핀을 통한 출력 전압을 사용하여 자체 구동합니다. LYTSwitch-6 IC (U1)의 SECONDARY BYPASS 핀에 연결된 커패시터 C13은 내부 회로에 디커플링 기능을 제공합니다.

정전압 작동 중에는 저항 R8과 R9로 형성된 전위 분배기를 통해 출력 전압을 센싱하여 출력 전압 레귤레이션을 달성합니다. R9 양단의 전압은 FEEDBACK 핀에서 모니터링하며 1.265V의 내부 레퍼런스 전압과 비교하여 정확한 레귤레이션을 유지합니다. 바이패스 커패시터 C11은 FEEDBACK 및 SECONDARY GROUND 핀에 걸쳐 배치하여 피드백 신호에 대한 간섭을 방지하는 고주파 노이즈를 필터링합니다.

정전류 동작 중 출력 전류는 센싱 저항 R18로 설정합니다. 센싱 저항의 전압은 정전류 레귤레이션을 유지하기 위해 ISENSE 핀의 내부 레퍼런스 기준점(Threshold)인 35mV와 비교됩니다. 다이오드 D6는 정전류 저항 R18과 병렬로 ISENSE 및 SECONDARY GROUND 핀에 걸쳐 전압을 클램프하여 출력 단락으로 인해 출력 커패시터로부터 발생하는 고전류 서지로부터 IC를 보호합니다.

최대 정격 절대값^{1,2}

DRAIN 핀 전압	-0.3V~650V / 725V / 750V ⁸
DRAIN 핀 피크 전류:	LYT6063C2.24 A ⁴
	LYT6065C3.87 A ⁴
	LYT6067C5.57 A ⁴
	LYT6068C6.24 A ⁴
	LYT6073C2.38 A ⁵
	LYT6075C4.11 A ⁵
	LYT6077C5.92 A ⁵
	PowiGaN 디바이스 LYT6078C6.5A ³
	PowiGaN 디바이스 LYT6079C10 A ³
	PowiGaN 디바이스 LYT6070C14 A ³
BPP/BPS 핀 전압	-0.3V~6V
BPP/BPS 핀 전류	100mA
FW 핀 전압	-1.5V~150V
FB 핀 전압	-0.3V~6V
SR 핀 전압	-0.3V~6 V
V 핀 전압(LYT606xC)	-0.3V~650V
V 핀 전압(LYT607xC)	-0.3V~725 V
IS 핀 전압 ⁹	-0.3V~0.3 V
VOU _T 핀 전압	-0.3V~27V
보관 온도	-65~150°C
동작 전선 온도 ⁶	-40~150°C
주위 온도	-40~105°C
리드 온도 ⁷	260°C

참고:

- 모든 전압은 SOURCE와 2차측 GROUND, $T_A = 25^\circ\text{C}$ 를 기준으로 합니다.
- 지정된 최대 정격은 제품에 영구적인 손상을 초래하지 않는 한도 내에서 일회적으로 측정된 결과입니다. 지정된 시간보다 오랫동안 최대 정격 절대값 조건에 노출하면 제품 신뢰성에 영향을 미칠 수 있습니다.
- 최대 허용 전압 및 전류 조합은 그림 33를 참조하십시오.
- 최대 허용 전압 및 전류 조합은 그림 24를 참조하십시오.
- 최대 허용 전압 및 전류 조합은 그림 34를 참조하십시오.
- 일반적으로 내부 회로에 의해 제한됩니다.
- 케이스에서 1/16인치 거리를 두고 5초 동안 측정합니다.
- PowiGaN 디바이스:
최대 드레인 전압(비반복 펄스)-0.3V~750V
최대 연속 드레인 전압-0.3V~650V
- 500μsec 미만의 절대 최대 전압은 3V입니다.

열 저항

열 저항:

(θ_{JA})	76°C/W ¹ , 65°C/W ²
(θ_{JC})	8°C/W ³
PowiGaN 디바이스 LYT6079C와 LYT6070C	
(θ_{JA})	50°C/W ⁴

참고:

- 0.36평방인치(232 mm²) 2온스(610g/m²) 동판에 납땜.
- 1평방인치(645 mm²), 2온스(610g/m²) 동판에 납땜.
- 케이스 온도는 패키지 상단에서 측정합니다.
- 그림 22를 참조하십시오.

Parameter	Conditions	Rating	Units
Ratings for UL1577			
Primary-Side Current Rating	Current from pin (16-19) to pin 24	1.5	A
Primary-Side Power Rating	$T_{AMB} = 25^\circ\text{C}$ (device mounted in socket resulting in $T_{CASE} = 120^\circ\text{C}$)	1.35	W
Secondary-Side Power Rating	$T_{AMB} = 25^\circ\text{C}$ (device mounted in socket)	0.125	W

Parameter	Symbol	Conditions SOURCE = 0 V $T_J = -40^\circ\text{C}$ to 125°C (Unless Otherwise Specified)	Min	Typ	Max	Units
Control Functions						
Start-Up Switching Frequency	f_{SW}	$T_J = 25^\circ\text{C}$	22	25	27	kHz
Jitter Frequency	f_M	$T_J = 25^\circ\text{C}$, $f_{SW} = 100\text{ kHz}$	0.80	1.25	1.70	kHz
Maximum On-Time	$t_{ON(MAX)}$	$T_J = 25^\circ\text{C}$	12.4	14.6	16.9	μs
Minimum Primary Feedback Block-Out Timer	t_{BLOCK}				$t_{OFF(MIN)}$	μs

Parameter	Symbol	Conditions SOURCE = 0 V T _J = -40 °C to 125 °C (Unless Otherwise Specified)		Min	Typ	Max	Units	
Control Functions (cont.)								
BPP Supply Current	I _{S1}	V _{BPP} = V _{BPP} + 0.1 V (Switch not Switching) T _J = 25 °C		LYT606xC LYT607xC	145	200	300	μA
				LYT6078C LYT6079C LYT6070C	145	266	425	
	I _{S2}	V _{BPP} = V _{BPP} + 0.1 V (Switch Switching at 132 kHz) T _J = 25 °C		LYT6063C	0.32	0.43	0.61	mA
				LYT6065C	0.49	0.65	1.03	
				LYT6067C	0.77	1.03	1.38	
				LYT6068C	0.90	1.20	1.75	
				LYT6073C	0.36	0.48	0.65	
				LYT6075C	0.59	0.79	1.10	
				LYT6077C	0.90	1.20	1.73	
				LYT6078C	0.93	1.24	1.79	
	LYT6079C LYT6070C	1.46	1.95	2.81				
BPP Pin Charge Current	I _{CH1}	V _{BP} = 0 V, T _J = 25 °C			-1.75	-1.35	-0.88	mA
	I _{CH2}	V _{BP} = 4 V, T _J = 25 °C			-5.98	-4.65	-3.32	
BPP Pin Voltage	V _{BPP}				4.65	4.90	5.15	V
BPP Pin Voltage Hysteresis	V _{BPP(H)}	T _J = 25 °C				0.39		V
BPP Shunt Voltage	V _{SHUNT}	I _{BPP} = 2 mA			5.15	5.36	5.65	V
BPP Power-Up Reset Threshold Voltage	V _{BPP(RESET)}	T _J = 25 °C			2.80	3.15	3.50	V
OV Pin Line Overvoltage Threshold	I _{OV+}	T _J = 25 °C	LYT606xC LYT607xC	106	115	118	μA	
			LYT6079C LYT6070C	106	112	118		
OV Pin Line Overvoltage Hysteresis	I _{OV(H)}	T _J = 25 °C	LYT606xC LYT607xC		7		μA	
			LYT6078C LYT6079C LYT6070C		8			
UV/OV Pin Line Overvoltage Recovery Threshold	I _{OV-}	T _J = 25 °C			100			μA
OV Pin Line Overvoltage Deglitch Filter	t _{OV+}	T _J = 25 °C See Note B				3		μs
UV Pin Brown-In Threshold	I _{UV+}	T _J = 25 °C	LYT606xC LYT607xC	23.9	26.1	28.2	μA	
			LYT6078C LYT6079C LYT6070C	22.4	24.4	26.7		

Parameter	Symbol	Conditions SOURCE = 0 V $T_J = -40\text{ }^{\circ}\text{C}$ to $125\text{ }^{\circ}\text{C}$ (Unless Otherwise Specified)	Min	Typ	Max	Units
Line Fault Protection						
VOLTAGE Pin Voltage Rating	V_V	$T_J = 25\text{ }^{\circ}\text{C}$	650			V
Circuit Protection						
Standard Current Limit (BPP) Capacitor = 0.47 μF	I_{LIMIT}	$di/dt = 163\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT60x3C	511	550	589
		$di/dt = 213\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT60x5C	883	950	1017
		$di/dt = 300\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT60x7C	1348	1450	1552
		$di/dt = 375\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT6068C	1534	1650	1766
		$di/dt = 375\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT6078C	1581	1700	1819
		$di/dt = 425\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT6079C	1767	1900	2033
		$di/dt = 525\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT6070C	2139	2300	2461
Increased Current Limit (BPP) Capacitor = 4.7 μF	$I_{\text{LIMIT}+1}$	$di/dt = 163\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT60x3C	591	650	709
		$di/dt = 213\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT60x5C	1046	1150	1254
		$di/dt = 300\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT60x7C	1501	1650	1799
		$di/dt = 375\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT6068C	1683	1850	2017
		$di/dt = 375\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT6078C	1767	1900	2033
		$di/dt = 425\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT6079C	1980	2130	2279
		$di/dt = 525\text{ mA}/\mu\text{s}$ $T_J = 25\text{ }^{\circ}\text{C}$	LYT6070C	2395	2576	2756
Overload Detection Frequency	f_{OVL}	$T_J = 25\text{ }^{\circ}\text{C}$	102	110	118	kHz
Auto-Restart On-Time	t_{AR}	$T_J = 25\text{ }^{\circ}\text{C}$	75	82	89	ms
BYPASS Pin Fault Detection Threshold Current	I_{SD}	$T_J = 25\text{ }^{\circ}\text{C}$	6.0	7.5	11.3	mA
Auto-Restart Trigger Skip Time	$t_{\text{AR(SK)}}$	$T_J = 25\text{ }^{\circ}\text{C}$ See Note A		1.3		sec
Auto-Restart Off-Time	$t_{\text{AR(OFF)}}$	$T_J = 25\text{ }^{\circ}\text{C}$	1.7		2.11	sec
Short Auto-Restart Off-Time	$t_{\text{AR(OFF)SH}}$	$T_J = 25\text{ }^{\circ}\text{C}$	0.17	0.20	0.23	sec

Parameter	Symbol	Conditions SOURCE = 0 V $T_J = -40\text{ }^{\circ}\text{C}$ to $125\text{ }^{\circ}\text{C}$ (Unless Otherwise Specified)	Min	Typ	Max	Units
Output						
ON-State Resistance	$R_{DS(ON)}$	LYT6063C $I_D = I_{LIMIT+1}$	$T_J = 25\text{ }^{\circ}\text{C}$	4.90	5.64	Ω
			$T_J = 100\text{ }^{\circ}\text{C}$	7.60	8.74	
		LYT6065C $I_D = I_{LIMIT+1}$	$T_J = 25\text{ }^{\circ}\text{C}$	1.95	2.24	
			$T_J = 100\text{ }^{\circ}\text{C}$	3.02	3.47	
		LYT6067C $I_D = I_{LIMIT+1}$	$T_J = 25\text{ }^{\circ}\text{C}$	1.02	1.17	
			$T_J = 100\text{ }^{\circ}\text{C}$	1.58	1.82	
		LYT6068C $I_D = I_{LIMIT+1}$	$T_J = 25\text{ }^{\circ}\text{C}$	0.86	0.99	
			$T_J = 100\text{ }^{\circ}\text{C}$	1.34	1.54	
		LYT6073C $I_D = I_{LIMIT+1}$	$T_J = 25\text{ }^{\circ}\text{C}$	4.42	5.08	
			$T_J = 100\text{ }^{\circ}\text{C}$	6.85	7.88	
		LYT6075C $I_D = I_{LIMIT+1}$	$T_J = 25\text{ }^{\circ}\text{C}$	1.95	2.24	
			$T_J = 100\text{ }^{\circ}\text{C}$	3.02	3.47	
		LYT6077C $I_D = I_{LIMIT+1}$	$T_J = 25\text{ }^{\circ}\text{C}$	1.20	1.38	
			$T_J = 100\text{ }^{\circ}\text{C}$	1.86	2.14	
		LYT6078C $I_D = I_{LIMIT+1}$	$T_J = 25\text{ }^{\circ}\text{C}$	0.52	0.68	
			$T_J = 100\text{ }^{\circ}\text{C}$	0.78	1.02	
		LYT6079C $I_D = I_{LIMIT+1}$	$T_J = 25\text{ }^{\circ}\text{C}$	0.35	0.44	
			$T_J = 100\text{ }^{\circ}\text{C}$	0.49	0.62	
		LYT6070C $I_D = I_{LIMIT+1}$	$T_J = 25\text{ }^{\circ}\text{C}$	0.29	0.39	
			$T_J = 100\text{ }^{\circ}\text{C}$	0.41	0.54	
OFF-State Drain Leakage Current	I_{DSS1}	$V_{BPP} = V_{BPP} + 0.1\text{ V}$ $V_{DS} = 80\%$ Peak Drain Voltage $T_J = 125\text{ }^{\circ}\text{C}$			200	μA
	I_{DSS2}	$V_{BPP} = V_{BPP} + 0.1\text{ V}$ $V_{DS} = 325\text{ V}$ $T_J = 25\text{ }^{\circ}\text{C}$		15		μA
Drain Supply Voltage			50			V
Thermal Shutdown	T_{SD}	See Note A	135	142	150	$^{\circ}\text{C}$
Thermal Shutdown Hysteresis	$T_{SD(H)}$	See Note A		70		$^{\circ}\text{C}$

Parameter	Symbol	Conditions SOURCE = 0 V $T_J = -40\text{ }^{\circ}\text{C}$ to $125\text{ }^{\circ}\text{C}$ (Unless Otherwise Specified)	Min	Typ	Max	Units
Secondary						
FEEDBACK Pin Voltage	V_{FB}	$T_J = 25\text{ }^{\circ}\text{C}$	1.250	1.265	1.280	V
Maximum Switching Frequency	f_{SREQ}	$T_J = 25\text{ }^{\circ}\text{C}$	118	132	145	kHz
OUTPUT VOLTAGE Pin Auto-Restart Threshold	$V_{VO(AR)}$			3.45		V
OUTPUT VOLTAGE Pin Auto-Restart Timer	$t_{VOUT(AR)}$	$T_J = 25\text{ }^{\circ}\text{C}$		49.5		ms
BPS Pin Current at No-Load	I_{SNL}	$T_J = 25\text{ }^{\circ}\text{C}$		325	485	μA
BPS Pin Voltage	V_{BPS}		4.20	4.40	4.60	V
BPS Pin Undervoltage Threshold	$V_{BPS(UVLO)(TH)}$		3.60	3.80	4.00	V
BPS Pin Undervoltage Hysteresis	$V_{BPS(UVLO)(H)}$			0.65		V
Current Limit Voltage Threshold	$I_{SV(TH)}$	Set by External Resistor $T_J = 25\text{ }^{\circ}\text{C}$	35.17	35.90	36.62	mV
FWD Pin Breakdown Voltage	V_{FWD}		150			V
Minimum Off-Time	$t_{OFF(MIN)}$		2.48	3.38	4.37	μs
Soft-Start Frequency Ramp Time	$t_{SS(RAMP)}$	$T_J = 25\text{ }^{\circ}\text{C}$	7.5	11.75	19	ms
BPS Pin Fault Detection Threshold Current	$I_{BPS(SD)}$		5.2	8.9	12	mA
FEEDBACK Pin Short-Circuit	$V_{FB(OFF)}$	$T_J = 25\text{ }^{\circ}\text{C}$		112	135	mV
Thermal Foldback	T_{JB}			124		$^{\circ}\text{C}$
Thermal Foldback Hysteresis	$T_{JB(H)}$			15		$^{\circ}\text{C}$

Parameter	Symbol	Conditions SOURCE = 0 V T _J = -40 °C to 125 °C (Unless Otherwise Specified)		Min	Typ	Max	Units
Synchronous Rectifier @ T _J = 25 °C							
SR Pin Drive Voltage	V _{SR}			4.2	4.4	4.6	V
SR Pin Voltage Threshold	V _{SR(TH)}				-2.5	0	mV
SR Pin Pull-Up Current	I _{SR(PU)}	T _J = 25 °C C _{LOAD} = 2 nF, f _{SW} = 100 kHz		125	165	195	mA
SR Pin Pull-Down Current	I _{SR(PD)}	T _J = 25 °C C _{LOAD} = 2 nF, f _{SW} = 100 kHz		87	97	115	mA
Rise Time	t _R	T _J = 25 °C C _{LOAD} = 2 nF See Note B	10-90%		50		ns
Fall Time	t _F	T _J = 25 °C C _{LOAD} = 2 nF See Note B	90-10%		80		ns
Output Pull-Up Resistance	R _{PU}	T _J = 25 °C V _{BPS} = 4.4 V I _{SR} = 10 mA		7.2	8.3	12	Ω
Output Pull-Down Resistance	R _{PD}	T _J = 25 °C V _{BPS} = 4.4 V I _{SR} = 10 mA		10.0	12.1	13.4	Ω

NOTES:

- A. This parameter is derived from characterization.
 B. This parameter is guaranteed by design.
 C. See Absolute Maximum Ratings "DRAIN Pin Voltage" for details.

Nominal BPP Pin Capacitor Value	BPP Capacitor Value Tolerance	
	Minimum	Maximum
0.47 μF	-60%	+100%
4.7 μF	-50%	N/A

Recommended to use at least 10 V / 0805 / X7R SMD MLCC.

Typical Performance Curves

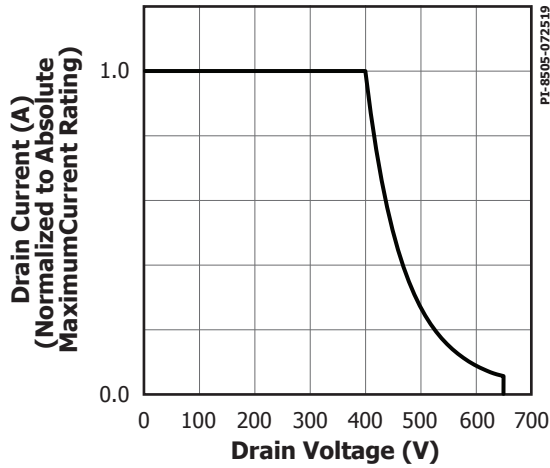


Figure 24. Maximum Allowable Drain Current vs. Drain Voltage (LYT606xC).

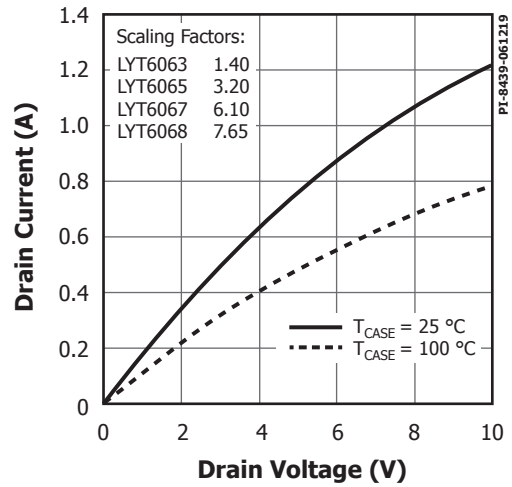


Figure 25. Output Characteristics.

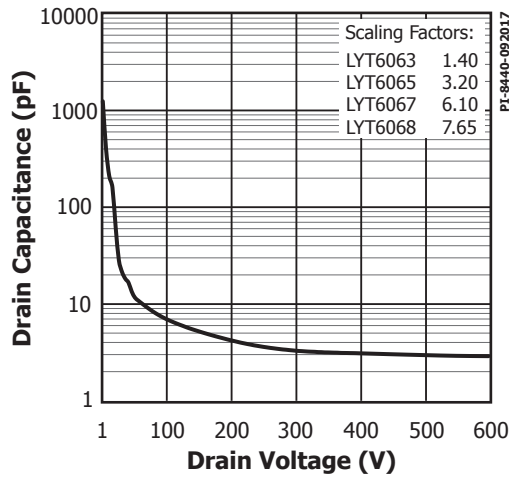


Figure 26. C_{OSS} vs. Drain Voltage.

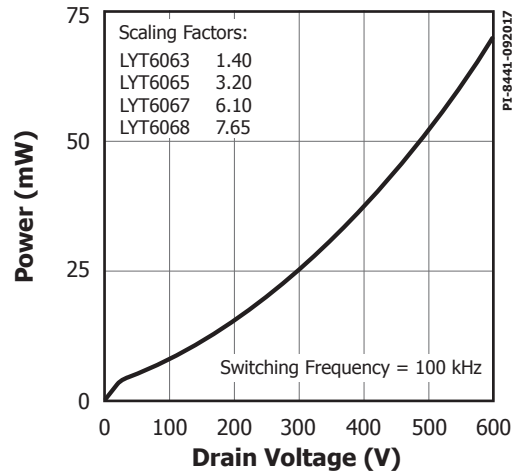


Figure 27. Drain Capacitance Power.

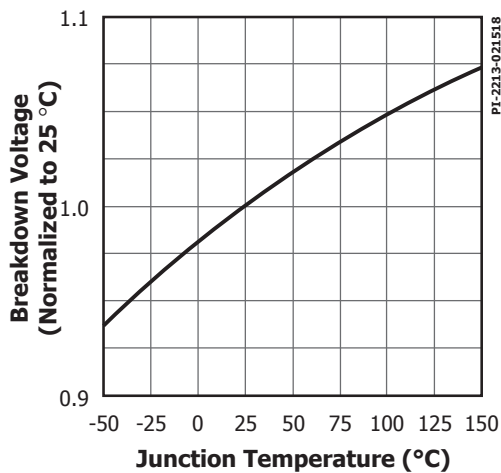


Figure 28. Breakdown vs. Temperature.

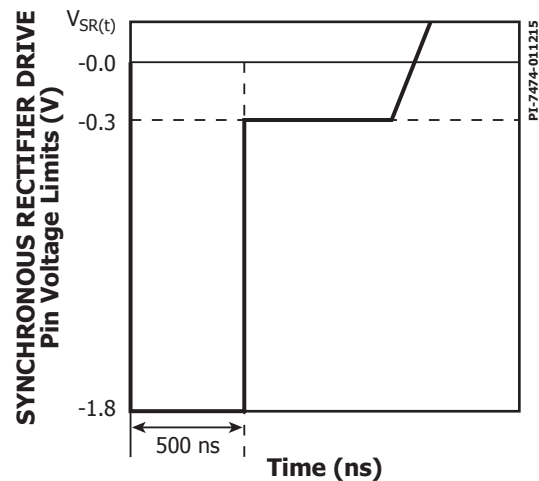


Figure 29. SYNCHRONOUS RECTIFIER DRIVE Pin Negative Voltage.

Typical Performance Curves

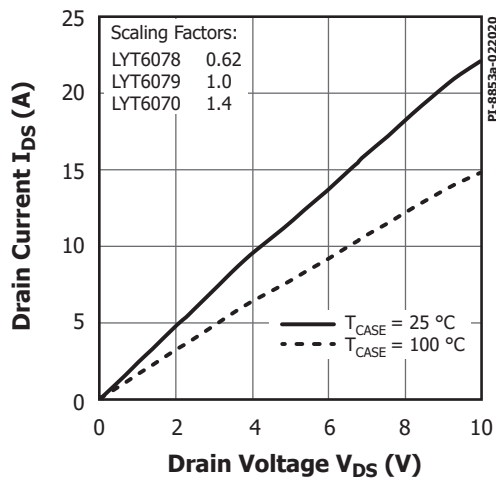


Figure 30. Output Characteristics.

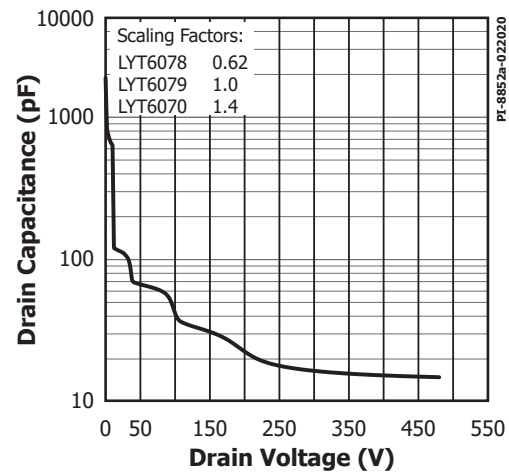


Figure 31. C_{OSS} vs. Drain Voltage.

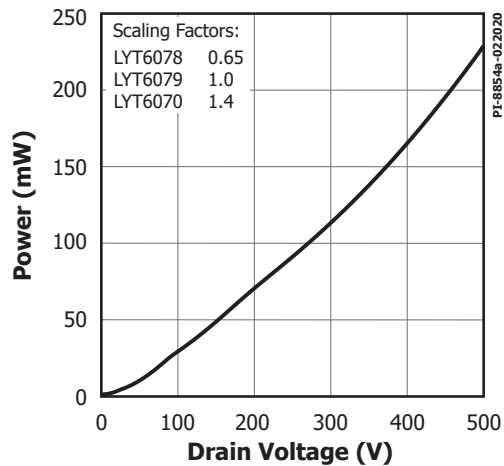


Figure 32. Drain Capacitance Power.

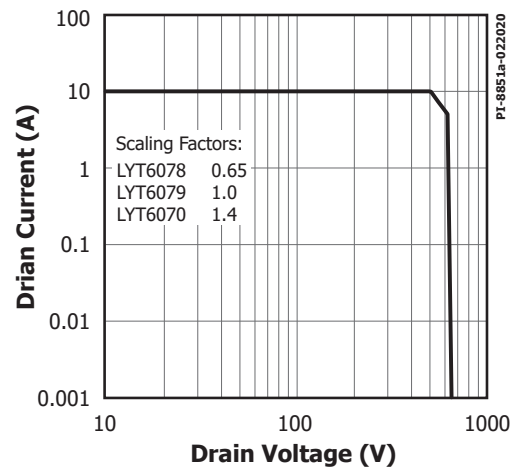


Figure 33. Maximum Allowable Drain Current vs. Drain Voltage (PowiGaN Devices LYT6078, LYT6079, LYT6070).

Typical Performance Curves

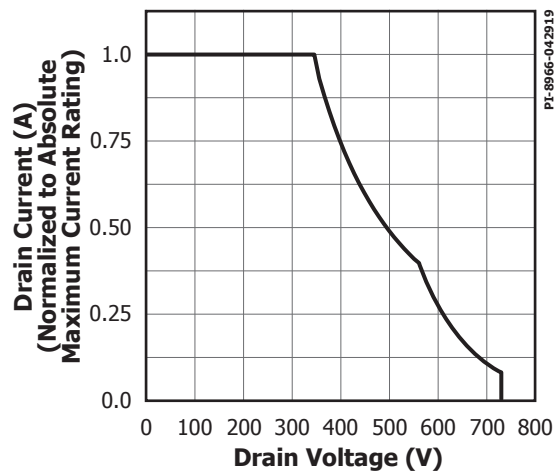


Figure 34. Maximum Allowable Drain Current vs. Drain Voltage (LYT607x).

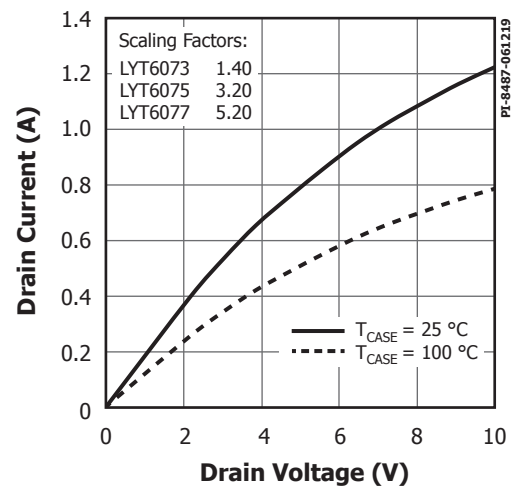


Figure 35. Output Characteristics.

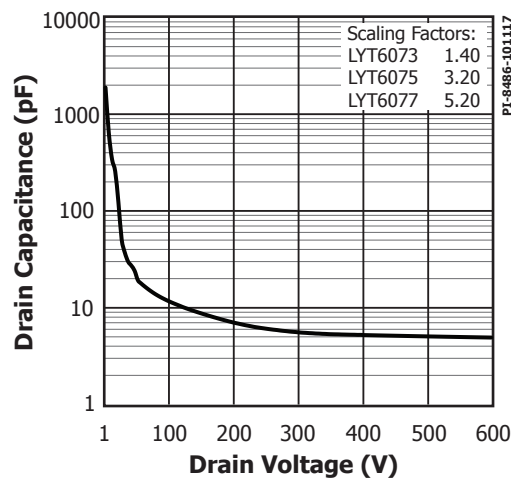


Figure 36. C_{OSS} vs. Drain Voltage.

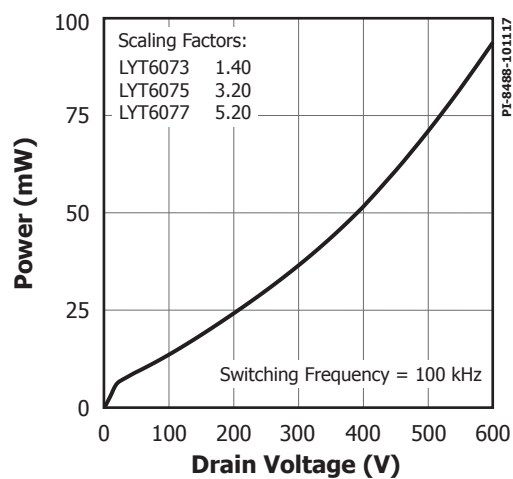
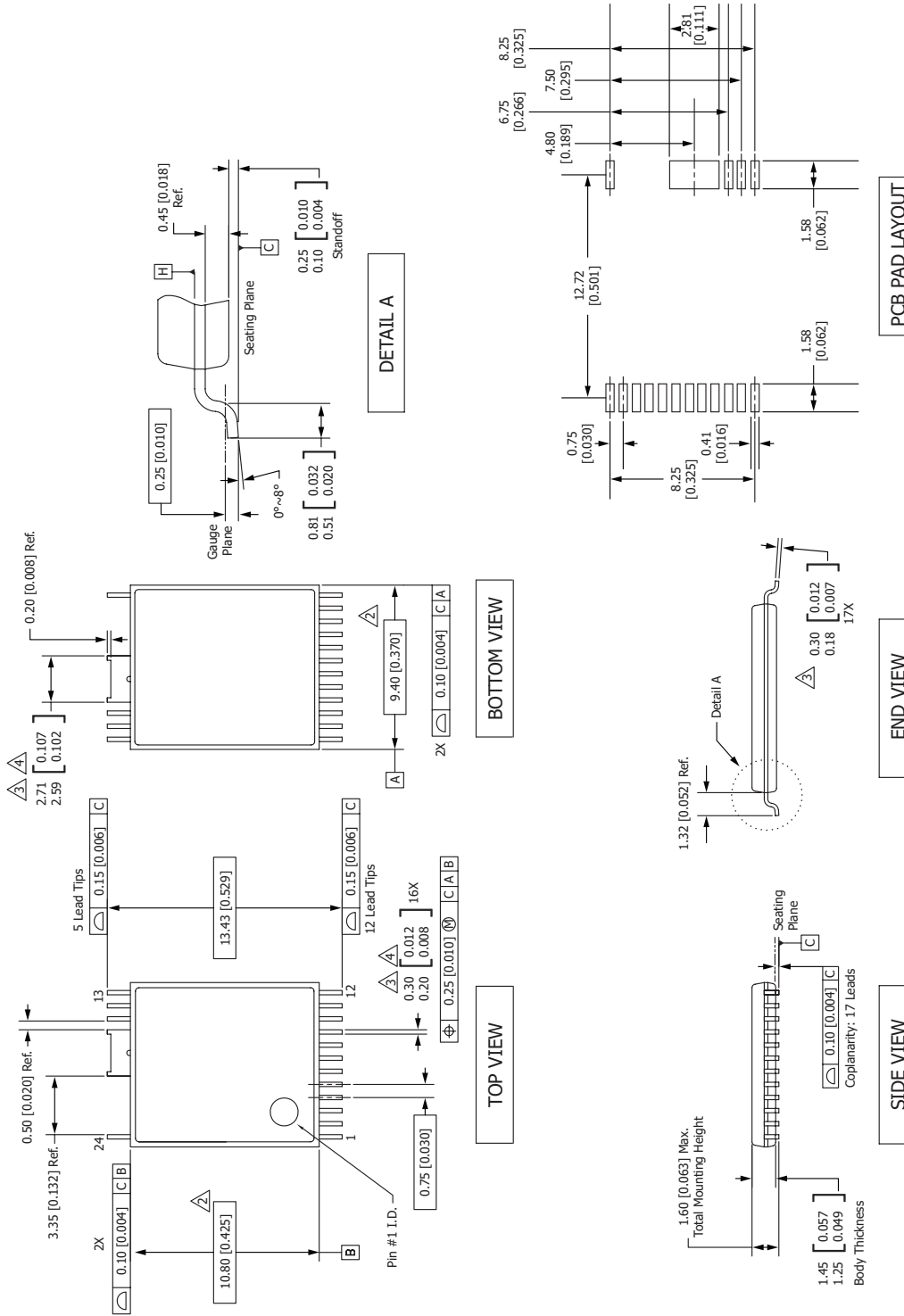


Figure 37. Drain Capacitance Power.

InSOP-24D

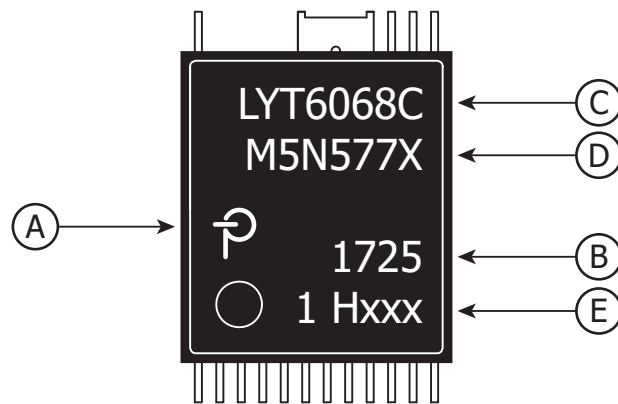


참고:

1. ASME Y14.5M – 1994에 따른 치수 및 공차입니다.
2. 표시된 치수는 몰드 플래시(Mold Flash), 타이 바 버(Tie Bar Burr), 게이트 버(Gate Burr), 인터리드 플래시(Interlead Flash)를 포함하지 않는 플라스틱 본체의 치수이지만, 플라스틱 본체의 컷면과 아랫면 사이의 거리가 포함됩니다. 최대 홀드 아웃은 0.18[0.007]입니다.
3. 표시된 치수에는 도금 두께가 포함됩니다.
4. 인터리드 플래시 또는 돌출부는 포함되지 않습니다.
5. 제어 치수 단위는 mm[인치]입니다.
6. 기준점 A와 B는 기준점 H에서 결정됩니다.

패키지 마킹

InSOP-24D



- A. 파워 인테그레이션스(Power Integrations) 등록 상표
- B. 조립 날짜 코드(앞 두 자리: 연도, 뒤 두 자리: 작업 주)
- C. 제품 ID(부품 번호/패키지 유형)
- D. Lot ID 코드
- E. 테스트 Sublot 및 기능 코드

PI-8881-112718

Feature Code Table

Feature Code	I_{LIM}	I_{LIM+1}	I_{UV+}	I_{UV-}
H125	3.1 A	3.472 A	80 μ A	70 μ A
H127	3.8 A	4.26 A	80 μ A	70 μ A
H129	3.1 A	3.472 A	24.4 μ A	10 μ A
H131	3.8 A	4.26 A	24.4 μ A	10 μ A

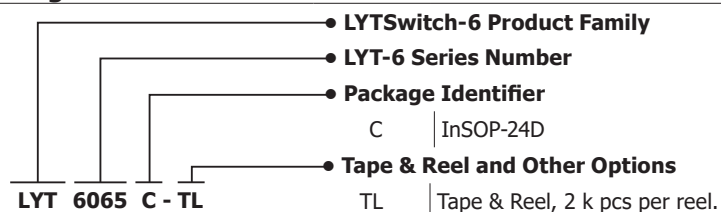
Common Feature Code				
Part	H125	H127	H129	H131
LYT6079C-H1XX	✓	✓	✓	✓
LYT6070C-H1XX	✓	✓	✓	✓

MSL Table

Part Number	MSL Rating
LYT60xxC	3

ESD and Latch-Up Table

Test	Conditions	Results
Latch-up at 125 °C	JESD78D	$> \pm 100$ mA or $> 1.5 \times V_{MAX}$ on all pins
Human Body Model ESD	ANSI/ESDA/JEDEC JS-001-2014	$> \pm 2000$ V on all pins
Charge Device Model ESD	ANSI/ESDA/JEDEC JS-002-2014	$> \pm 500$ V on all pins

Part Ordering Information


개정	참고	날짜
E	Code L. 애플리케이션 섹션 추가.	02/18
E	14페이지 공식 오류 수정.	06/18
F	LYT6079C 및 LYT6070C 부품 추가.	08/18
G	LYT6079C 및 LYT6070C 부품의 코드 A 릴리즈. I_{OV-} 를 I_{OV+} 로 변경, I_{OV+} 와 $I_{OV(H)}$ 조건, 최소, 일반, 최대 파라미터 값 업데이트, V_V 조건 업데이트. I_{LIMIT} 일반 파라미터 값 업데이트, BV_{DSS} 파라미터 삭제, T_{SD} 및 $T_{SD(H)}$ 조건 파라미터에 참고 A 추가. t_{Rf} , t_{Ff} , R_{PUV} , R_{PD} 조건, 최소, 일반, 최대 파라미터 값 업데이트. 참고 B, C 추가, 3, 4, 6, 22페이지의 문구 업데이트, 최대 정격 절대값 표에 참고 6 참조 추가. I_{DSS1} 및 I_{DSS2} 파라미터와 일반 성능 곡선 그림 23 및 33 업데이트.	08/19
H	PCN-19281 – PRIMARY BYPASS 핀 커패시터(C_{BPP})와 SECONDARY BYPASS 핀 커패시터(C_{BPS}) 섹션의 텍스트 업데이트. 파라미터 V_V , V_{SR} , $I_{BPS(SD)}$ 업데이트.	10/19
I	기능 코드 및 공통 기능 코드 표 추가.	11/19
J	코드 A 릴리즈. LYT6078C 부품 추가.	02/20
K	1페이지 안전 정보 업데이트, 33페이지 패키지 도면 오타 수정.	06/20
L	V_{FWD} 에 대한 파라미터 이름 업데이트.	03/23

참고

최신 업데이트에 대한 자세한 내용은 당사 웹사이트를 참고하십시오. www.power.com

파워 인테그레이션스(Power Integrations)는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. 파워 인테그레이션스(Power Integrations)는 본 문서에서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. Power Integrations는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 목적적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하되 이에 제한되지 않음)을 명백하게 부인합니다.

특허 정보

본 문서에서 설명하는 제품 및 애플리케이션(제품의 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허 또는 파워 인테그레이션스(Power Integrations)에서 출원 중인 미국 및 해외 특허에 포함될 수 있습니다. 파워 인테그레이션스(Power Integrations)의 전체 특허 목록은 www.power.com에서 확인할 수 있습니다. 파워 인테그레이션스(Power Integrations)는 고객에게 www.power.com/ip.htm에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

파워 인테그레이션스(Power Integrations)의 제품은 파워 인테그레이션스(Power Integrations) 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 자세한 정의는 다음과 같습니다.

1. 수명 유지 디바이스 또는 시스템이란 (i)신체에 대한 외과적 이식을 목적으로 하거나, (ii)수명 지원 또는 유지를 목적으로 사용되며, (iii)사용 지침에 따라 올바르게 사용하는 경우에도 동작의 실패가 사용자의 상당한 부상 또는 사망을 초래할 수 있는 디바이스 또는 시스템입니다.
2. 핵심 부품이란 부품의 작동이 실패하여 수명 유지 디바이스 또는 시스템의 작동이 실패하거나, 해당 디바이스 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 디바이스 또는 시스템에 사용되는 모든 부품입니다.

파워 인테그레이션스(Power Integrations), 파워 인테그레이션스(Power Integrations) 로고, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, PowiGaN, SCALE, SCALE-1, SCALE-2, SCALE-3 및 SCALE-iDriver는 Power Integrations, Inc.의 상표이며, 기타 상표는 각 회사의 재산입니다. ©2023, Power Integrations, Inc.

파워 인테그레이션스(Power Integrations) 전 세계 판매 지원 지역

본사

5245 Hellyer Avenue
San Jose, CA 95138, USA
본사 전화: +1-408-414-9200
고객 서비스:
전 세계: +1-65-635-64480
북미: +1-408-414-9621
이메일: usasales@power.com

중국(상하이)

Rm 2410, Charity Plaza, No. 88
North Caoxi Road
Shanghai, PRC 200030
전화: +86-21-6354-6323
이메일: chinasales@power.com

중국(선젠)

17/F, Hivac Building, No. 2, Keji Nan
8th Road, Nanshan District,
Shenzhen, China, 518057
전화: +86-755-8672-8689
이메일: chinasales@power.com

독일

(AC-DC/LED/모터 컨트롤 판매)
Einsteinring 24
85609 Dornach/Aschheim
Germany
전화: +49-89-5527-39100
이메일: eurosales@power.com

독일(게이트 드라이버 판매)

HellwegForum 1
59469 Ense
Germany
전화: +49-2938-64-39990
이메일:
igbt-driver.sales@power.com

인도

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
전화: +91-80-4113-8020
이메일: indiasales@power.com

이탈리아

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI) Italy
전화: +39-024-550-8701
이메일: eurosales@power.com

일본

Yusen Shin-Yokohama 1-chome Bldg.
1-7-9, Shin-Yokohama, Kohoku-ku
Yokohama-shi,
Kanagawa 222-0033 Japan
전화: +81-45-471-1021
이메일: japansales@power.com

대한민국

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
전화: +82-2-2016-6610
이메일: koreasales@power.com

싱가포르

51 Newton Road
#19-01/05 Goldhill Plaza
Singapore, 308900
전화: +65-6358-2160
이메일:
singaporesales@power.com

대만

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei 11493, Taiwan R.O.C.
전화: +886-2-2659-4570
이메일: taiwansales@power.com

영국

Building 5, Suite 21
The Westbrook Centre
Milton Road
Cambridge
CB4 1YG
전화: +44 (0) 7823-557484
이메일: eurosales@power.com