

HiperPFS-4 제품군

넓은 부하 범위에서 높은 PF와 효율에 최적화된 600V
통합 MOSFET과 다이오드 옵션을 갖춘 PFC 컨트롤러

주요 이점

- 부하 범위 전체에 걸쳐 고효율 및 고역률
 - 10% 부하부터 100% 부하까지 95% 넘는 효율
 - 230VAC에서 60mW 미만의 무부하 소비 전력
 - H 및 L 패키지에 대해 20% 부하에서 0.95보다 큰 PF 달성 가능
- 프로그래밍 가능한 PG(Power Good) 신호
- UPS 또는 제너레이터에서 발생하는 왜곡된 입력 전압에서도 견고한 성능을 제공하기 위한 디지털 라인 피크 감지
- 디지털 역률 증폭기가 EMI 필터 및 브릿지 왜곡 보상
- 60kHz 이상의 윈도우 전반에 걸친 대역 확산으로 EMI 필터링 간소화
- 보호 기능 내장: UVLO, UV, OV, OTP, 브라운인/브라운아웃, 사이클별 current limit, 과부하 보호를 위한 전력 제한
- 305VAC 정상 상태 및 410VAC 비정상 입력에 대한 내성
- 절연 패드/히트 스프레더 불필요

애플리케이션

- PC
- 프린터
- LCD TV
- 비디오 게임 콘솔
- 80 Plus™ Platinum 설계
- 고전력 어댑터
- 고전력 LED 조명
- 산업 기기 및 가전 제품
- 일반 PFC 컨버터

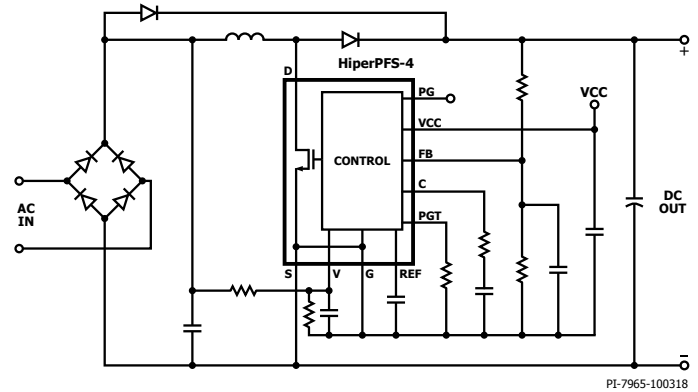


Figure 1a. Typical Application Schematic without Integrated Diode.

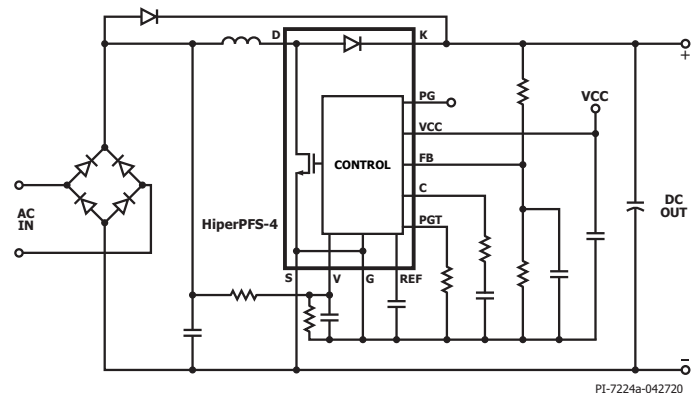


Figure 1b. Typical Application Schematic with Integrated Diode.

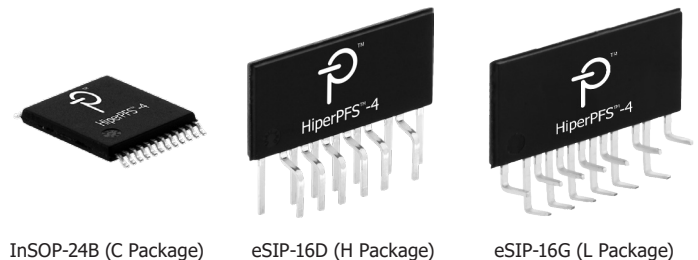


Figure 2. Package Options.

Body Dimensions: 10.8 mm x 9.4 mm for C Package and 16.53 mm x 8.25 mm for H & L Packages.

Output Power Table**Universal Input Devices (C Package) Without Integrated Diode**

Product	Continuous Output Power at 90 VAC
PFS7623C	75 W
PFS7624C	90 W
PFS7626C	105 W
PFS7628C	110 W

**Universal Input Devices (H and L Packages)
Without Integrated Diode**

Product	Continuous Output Power at 90 VAC	Peak Output Power
PFS7623H/L	110 W	120 W
PFS7624H/L	130 W	150 W
PFS7625H/L	185 W	205 W
PFS7626H/L	230 W	260 W
PFS7627H/L	290 W	320 W
PFS7628H/L	350 W	385 W
PFS7629H/L	405 W	450 W

**High-Line Input Only Devices (H Package)
Without Integrated Diode**

Product	Continuous Output Power at 180 VAC	Peak Output Power
PFS7633H	255 W	280 W
PFS7634H	315 W	350 W
PFS7635H	435 W	480 W
PFS7636H	550 W	610 W

Universal Input Devices With Integrated Diode

Product	Maximum Continuous Output Power Rating at 90 VAC (Full Power Mode)	Peak Output Power (Full Power Mode)
PFS7723L/H	110 W	120 W
PFS7724L/H	130 W	150 W
PFS7725L/H	185 W	205 W
PFS7726H	230 W	260 W
PFS7727H	290 W	320 W
PFS7728H	350 W	385 W
PFS7729H	405 W	450 W

Table 1. Output Power Table (See Table 2 on page 12 for Maximum Continuous Output Power Ratings.)

설명

HiperPFS™-4 디바이스는 CCM(Continuous Conduction Mode) 부스트 PFC 컨트roller, 게이트 드라이버 및 600V 파워 MOSFET을 단일 로우 프 로파일(GROUND 핀이 연결됨) 전원 패키지에 통합합니다. HiperPFS-4 디바이스는 외부 전류 센싱 저항 및 관련된 전력 손실을 없애주며, 출력 부하, 입력 라인 전압 및 입력 라인 사이클에 대한 스위칭 주파수를 조정하는 혁신적인 컨트롤 기술을 사용합니다.

이 컨트롤 기술은 전체 부하 범위에 걸쳐 효율을 극대화하며, 특히 경 부하 시 더욱 그렇습니다. 또한, 넓은 대역폭 확산 스펙트럼 효과로 인해 EMI 필터링 요구 사항을 최소화합니다. HiperPFS-4에서는 라인 모 니터링, 라인 피드 포워드 조정 및 역률 개선을 위한 고급 디지털 기술 을 사용하며, 동시에 매우 낮은 무부하 소비 전력을 유지하기 위해 코 어 컨트롤러에는 아날로그 기술을 사용합니다. HiperPFS-4는 부하 과 도 응답 향상을 위한 내장된 비선형 에러 증폭기(Error Amplifier), 사용 자가 프로그래밍 할 수 있는 Power Good(PG) 신호, 사용자가 선택할 수 있는 전력 제한 기능을 제공합니다. HiperPFS-4에는 UV, OV, 브라운 인/브라운아웃 및 히스테리시스(Hysteresis) 써멀 셧다운과 같은 파워 인테그레이션스(Power Integrations)의 포괄적인 보호 기능 표준 세트 가 포함되어 있습니다. HiperPFS-4는 파워 MOSFET의 사이클별 전류 제한 및 SOA(안전 동작 영역) 보호, 과부하 보호를 위한 출력 전력 제 한 그리고 핀투핀 단락 보호를 제공합니다.

HiperPFS-4의 혁신적인 VF-CCM(가변 주파수 CCM(Continuous Conduction Mode))은 평균 스위칭 주파수를 낮게 유지하여 스위칭 손 실을 최소화하고 동시에 CCM(Continuous Conduction Mode) 솔루션의 전통적인 문제인 EMI를 억제하기 위해 스위칭 주파수를 변조합니다. HiperPFS-4를 사용하는 시스템은 일반적으로 컨버터의 총 X 및 Y 커패 시턴스 요구 사항은 물론이고 부스트 초크와 EMI 노이즈 억제 초크의 인덕턴스를 감소시켜 전반적인 시스템 크기와 비용을 줄입니다. 또한 HiperPFS-4 디바이스는 개별 MOSFET 및 컨트롤러를 사용한 설계와 비 교하여 부품 수와 보드 풋프린트를 크게 줄이고 동시에 시스템 설계를 간소화하고 신뢰성을 높입니다. 혁신적인 가변 주파수, CCM(연속 전도 모드) 컨트롤러 덕분에 HiperPFS-4는 CCM 동작의 모든 이점을 실현하 는 동시에 저렴하고 간단한 소형 EMI 필터를 활용할 수 있습니다.

많은 지역에서는 고전력 요구 사항이 있는 다수의 전자제품에 대해 높 은 역률을 의무화하고 있습니다. 이러한 규정은 전체 부하 범위(풀부하 ~10% 부하)에 걸쳐 높은 파워 서플라이 효율을 요구하는 수많은 애플 리케이션별 표준과 결합되어 적용됩니다. 경부하 시 높은 효율은 경부 하인 경우에도 고정된 MOSFET 스위칭 주파수가 각 사이클에 대해 고 정된 스위칭 손실을 일으키는 전통적인 PFC 솔루션이 갖고 있는 문제 입니다. 부하 범위 전체에서 균일한 효율을 제공한다는 이점 이외에 HiperPFS-4는 20%의 부하에서 0.95를 초과하는 높은 역률을 제공할 수도 있습니다. HiperPFS-4를 사용하면 PC, LCD TV, 노트북, 가전 제품, 펌프, 모터, 팬, 프린터, LED 조명 등 광범위한 애플리케이션 시장에 새 롭게 등장하는 에너지 효율 표준을 손쉽게 준수할 수 있습니다.

HiperPFS-4의 고급 파워 패키징 기술 및 높은 효율성은 IC 마운팅과 써 멀 관리의 복잡성을 간소화하는 동시에 단일 소형 패키지에서 매우 높 은 전력 용량을 제공합니다. 해당 디바이스는 최대 연속 전력이 75W~405W 유니버설인 PFC 애플리케이션(550W 하이 라인 전용)에 적합합니다.

제품의 주요 특징

보호 기능이 있는 역률 보정 솔루션

- 600V 파워 MOSFET, 컨트roller, 게이트 드라이버 통합
- EN61000-3-2 클래스 C 및 클래스 D 준수
- 내장된 보호 기능으로 외부 부품 수 감소
 - 정확한 내장 브라운인/브라운아웃 보호 기능
 - 정확한 내장 저전압(UV) 보호 기능
 - 정확한 내장 과전압(OV) 보호 기능

- 히스테리시스(Hysteresis) 써멀 셧다운(OTP)
- 과부하 보호를 위한 내부 전력 제한 기능
- 사이클별 전력 스위치 current limit
- 향상된 부하 과도 응답을 위한 내부 비선형 에러 증폭기
- 외부 전류 센싱 저항 불필요
- 센싱 FET를 통해 '무손실' 내부 센싱 제공
- 부품 수 및 시스템 손실 감소
- 고전류 게이트 드라이버 루프 영역 최소화
- 스타트업 시 출력 오버슈트 및 스트레스 최소화
- 내장된 전력 제한 기능
- 동적 응답 향상
 - 전체 입력 전압 범위에서 루프 게인 균일화를 위한 디지털 방식으 로 제어되는 입력 라인 피드 포워드 게인 조정
- 신뢰성 향상과 비용 절감을 위해 최대 39개 개별 부품 제거

높은 효율, 낮은 EMI, 높은 PF를 위한 솔루션

- CCM(연속 전도 모드) PFC에서 새로운 일정 Amp-sec[온 타임] Volt-sec[오프 타임] 컨트롤 사용
 - 부하 전체에서 높은 효율
 - 부하 전체에서 높은 역률
- 경부하 효율 향상을 위한 주파수 슬라이딩 기술
 - 공칭 입력 전압에서 10% 부하부터 풀부하까지 95% 넘는 효율
- 가변 스위칭 주파수로 EMI 필터 설계 단순화
 - 효율을 극대화하고 EMI 필터 요구 사항을 최소화하기 위해 라인 입력 전압에 따라 변함
 - 대역 확산 효과를 극대화하기 위해 입력 라인 사이클 전압에 따라 60kHz보다 크게 변함

고전력 애플리케이션을 위한 고급 패키지(H & L 패키지)

- 초소형 패키지에 최대 450W[유니버설], 610W[하이 라인 전용] 피크 출력 전력 용량
- 접착제 또는 클립을 사용하여 히트싱크에 간단히 장착
- 절연 패드가 필요 없으며 히트싱크에 직접 연결 가능
- 보드 패턴의 단순 라우팅 및 고전압 연면거리 요구 사항을 충족하는 지그재그형 핀 배열
- PFC 컨버터용 단일 패키지 솔루션으로 어셈블리 비용 절감 및 레이 아웃 크기 축소

SMD 패키지(C 패키지)

- 금속 히트싱크 제거 가능
- 방열을 위해 PCB 구리 호일 사용

핀 기능 설명

BIAS POWER(VCC) 핀

IC에 전원을 공급하는 데 사용되는 10.2-15VDC[일반적으로 12V] 바이 어스 서플라이입니다. 장기적인 신뢰성을 위해 BIAS POWER 핀이 15VDC를 초과하지 않도록 바이어스 전압이 외부적으로 클램핑되어야 합니다.

REFERENCE(REF) 핀

이 핀은 외부 바이패스 커패시터에 연결되어 있고 FULL 또는 EFFICIENCY 파워 모드에 필요한 IC를 프로그래밍하는 데 사용됩니다. 외부 커패시 터는 REFERENCE 및 SIGNAL GROUND[G] 핀 사이에 연결되어 있습니 다. 참고: 서지 이벤트 중에 큰 리턴 전류를 전달할 수 있는 다른 리턴 패턴과 GROUND 핀으로의 리턴 패턴을 공유하면 안 됩니다. '풀'(1.0μF ±20%) 또는 '효율'(0.1μF ±20%) 전력 모드를 선택할 수 있도록 REFERENCE 핀에는 유호한 커패시터 값이 두 개 있습니다.

SIGNAL GROUND(G) 핀

피드백 회로에 사용되는 개별 부품(루프 보정과 BIAS POWER(VCC), REFERENCE(REF), VOLTAGE MONITOR(V)에 대한 디커플링 커패시터 등)은 SIGNAL GROUND(G) 핀이 기준점이 되어야 합니다. SIGNAL GROUND 핀 역시 디바이스의 탭에 연결됩니다. SIGNAL GROUND 핀은 IC 외부에 있는 SOURCE 핀에 직접 연결하면 안 됩니다.

VOLTAGE MONITOR(V) 핀

VOLTAGE MONITOR 핀은 100:1, 1% 하의 임피던스 저항 분배기를 통해 정류된 고전압 DC 레일에 연결되어 전력 손실 및 대기 전력 소비를 최소화합니다. 권장되는 저항 값은 $8M\Omega$ 에서 $16M\Omega$ 사이입니다. 이 분배기 비율을 변경하면 피크 전력 제한, 브라운인/브라운아웃 기준점(Threshold)에 영향을 미쳐 입력 전류 품질을 떨어뜨립니다(역률 감소 및 THD 증가). 정류된 DC 버스에 있는 모든 스위칭 노이즈를 바이패스 하려면 $80\mu s$ 정격 시간 상수를 생성하는 소형 세라믹 커패시터가 VOLTAGE MONITOR 핀에서 SIGNAL GROUND 핀 사이에 연결되어야 합니다.

이 핀은 또한 브라운인/브라운아웃 감지 기준점(Threshold)이 특징이고 오픈 회로 상태인 경우 플다운으로 작동하는 약한 전류 소스를 통합합니다.

COMPENSATION(C) 핀

이 핀은 COMPENSATION 핀과 SIGNAL GROUND 핀 사이의 커패시터 및 저항 네트워크 연결을 통해 OTA 에러 증폭기의 루프 극점/영점 보상에 사용됩니다. COMPENSATION 핀은 OTA 에러 증폭기의 출력과 온 타임 및 오프 타임 컨트롤러에 대한 입력에 내부적으로 연결되어 있습니다.

FEEDBACK(FB) 핀

이 핀은 메인 전압 레귤레이션 피드백 저항 분배기 네트워크에 연결되어 있고 고속 과전압 및 저전압 보호에도 사용됩니다. 또한 이 핀은 스타트업 시 그리고 동작 중 피드백 전압 분배기 네트워크의 존재를 감지합니다. 적절하고, 최적화된 전력 제한 및 역률을 위해 분배기 비율은 VOLTAGE MONITOR 핀과 동일해야 합니다. 큰 상단 저항은 $8M\Omega \sim 16M\Omega \pm 1\%$ 를 권장합니다. 하단 저항과 함께 정격 $80\mu s$ 시간 상수를 생성하는 소형 세라믹 커패시터는 FEEDBACK 및 SIGNAL GROUND 사이에 있어야 합니다.

POWER GOOD(PG) 핀

PG 기능 사용은 선택 사항입니다. POWER GOOD 핀은 출력 전압이 레귤레이션 상태인 경우 전류를 싱크하는 액티브 로우 오픈 드레인 연결입니다. 스타트업 시 FEEDBACK 핀 전압이 내부 레퍼런스 전압의 $\sim 95\%$ 까지 상승하면 POWER GOOD 핀은 low로 떨어집니다.

스타트업 후 PG 신호가 높은 임피던스가 되는 출력 전압 기준점(Threshold)은 POWER GOOD THRESHOLD 핀 저항으로 프로그래밍된 기준점(Threshold)에 따라 달라집니다. 사용하지 않는 경우 POWER GOOD 핀은 연결되지 않은 상태로 남아 있습니다.

POWER GOOD THRESHOLD(PGT) 핀

이 핀은 PG 신호가 PFC 단이 레귤레이션 상태를 벗어났음을 나타내며 하의 임피던스가 되는 출력 전압 기준점(Threshold)을 프로그래밍하는 데 사용됩니다. PG 신호에 대한 낮은 기준점(Threshold)은 POWER GOOD THRESHOLD 핀과 SIGNAL GROUND 핀 사이의 저항으로 프로그래밍됩니다. POWER GOOD THRESHOLD를 REFERENCE 핀에 연결하면 PG(Power Good) 기능이 비활성화됩니다(즉, POWER GOOD 핀이 하의 임피던스 상태로 남아 있음).

SOURCE(S) 핀

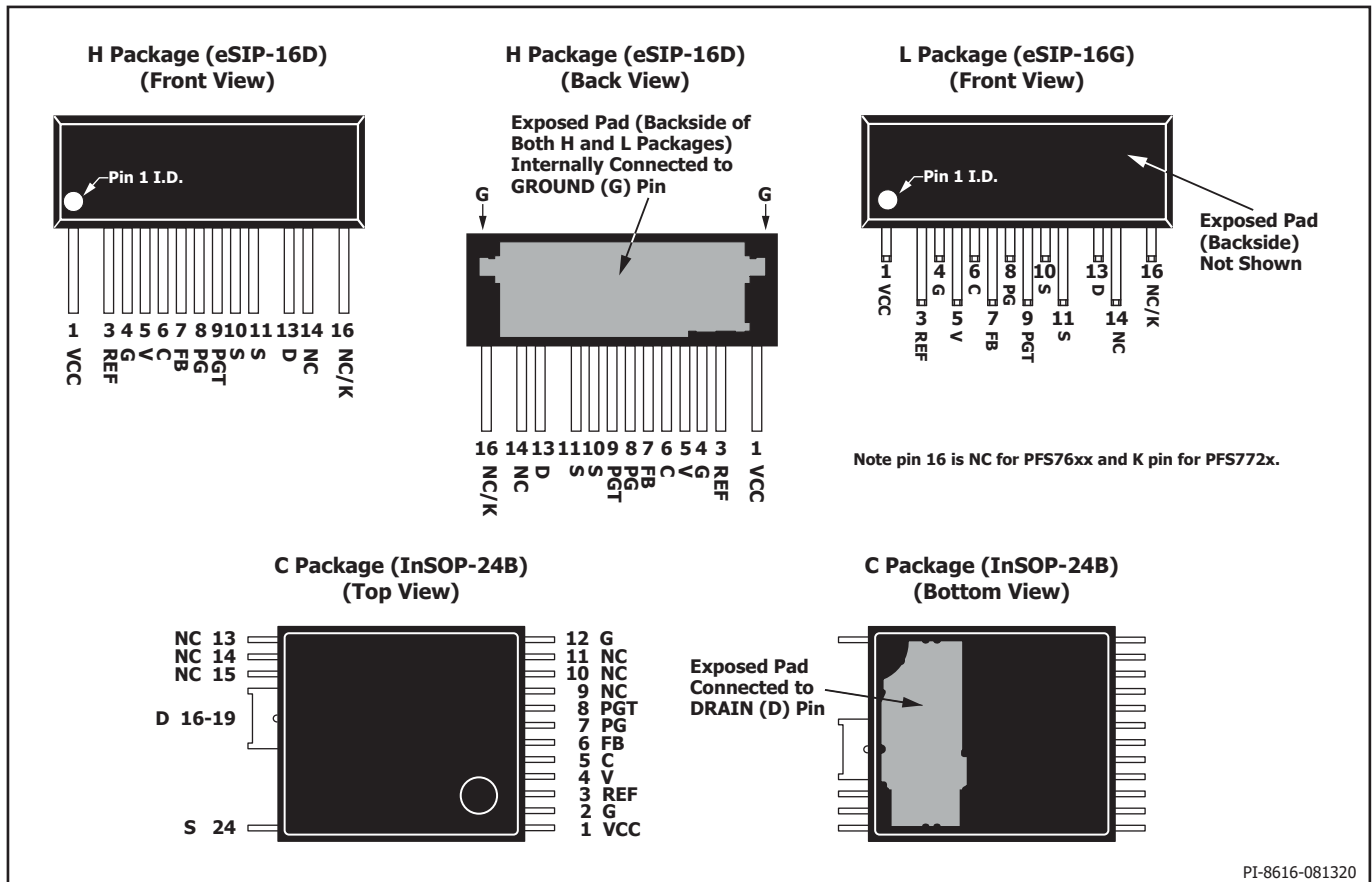
이 핀은 파워 스위치의 소스와 연결되며 별크 커패시터 마이너스 단자와도 연결됩니다.

DRAIN(D) 핀

내부 파워 스위치의 드레인 연결입니다.

Boost Diode Cathode(K) 핀

내부 Qspeed 다이오드의 캐소드 연결입니다.



PI-8616-081320

Figure 3. Pin Configuration.

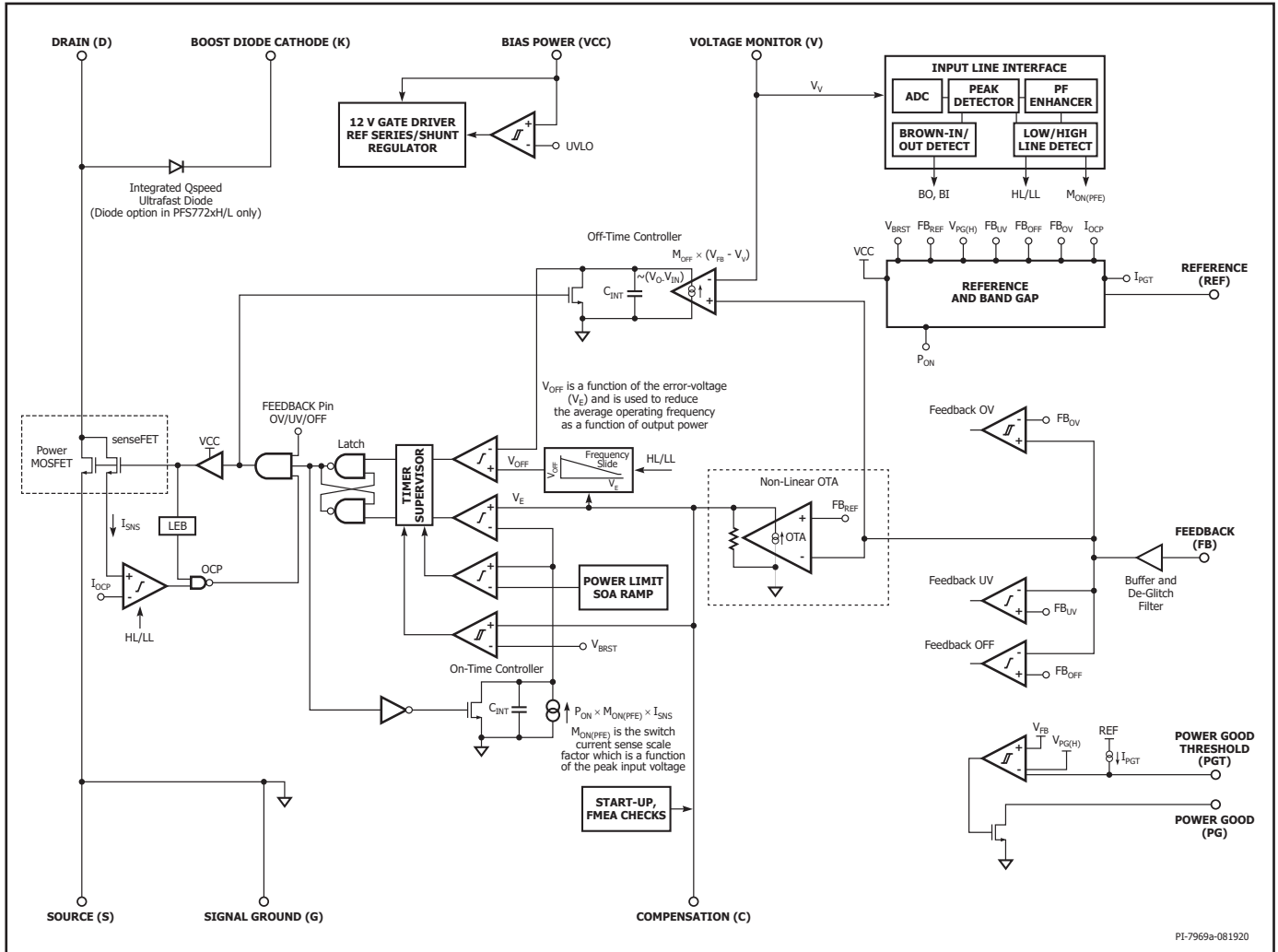


Figure 4. Functional Block Diagram.

기능 설명

HiperPFS-4 제품군은 가변 스위칭 주파수 부스트 PFC 디바이스입니다. 일정 Amp-sec 온 타임과 일정 Volt-sec 오프 타임 컨트롤 알고리즘을 사용합니다. 이 알고리즘은 고조파 current limit 규제를 준수하기 위해 (고역률) 출력 전압을 레귤레이션하고 입력 전류를 형성하는 데 사용됩니다. 스위치 전류를 적분하고 스위치 온 타임 동안 Amp-sec이 일정하도록 제어하면 평균 입력 전류가 입력 전압을 따르도록 할 수 있습니다. 출력 전압과 입력 전압 사이의 차이를 적분하면 부스트 인덕터의 전자기 특성에 따라 좌우되는 Volt-sec 균형이 일정하게 유지되므로 출력 전압과 전류를 레귤레이션할 수 있습니다.

특히, 이 컨트롤 기술은 오프 타임(t_{OFF})에 대한 일정한 Volt-sec를 설정합니다. 오프 타임은 다음과 같이 컨트롤됩니다.

$$(V_O - V_{IN}) \times t_{OFF} = K_1 \quad (1)$$

온 타임 시 Volt-sec은 오프 타임 시 Volt-sec과 같아야 하므로 PFC 초크에서 자속 평형을 유지하기 위한 온 타임(t_{ON})은 다음과 같이 제어됩니다.

$$V_{IN} \times t_{ON} = K_1 \quad (2)$$

또한 컨트롤러는 파워 MOSFET의 각 온 사이클(on-cycle) 동안 전달되는 일정 전하 값을 설정합니다. 사이클당 전하는 부하 변경에 따라 많은 스위칭 사이클을 거치면서 점진적으로 바뀌므로 하프 라인 사이클 동안 일정하게 유지되는 것으로 간주할 수 있습니다. 따라서 이 일정 전하(또는 Amp-sec) 제어를 사용하면 다음 관계도 성립합니다.

$$I_{IN} \times t_{ON} = K_2 \quad (3)$$

t_{ON} 을 (2)에서 (3)으로 치환하면:

$$I_{IN} = V_{IN} \times \frac{K_2}{K_1} \quad (4)$$

(4)의 관계는 일정한 Amp-sec 온 타임과 일정한 Volt-sec 오프 타임을 컨트롤하면 입력 전류 I_{IN} 가 입력 전압 V_{IN} 에 비례하므로 PFC의 기본 요구 조건을 충족한다는 것을 보여줍니다.

이 컨트롤은 연속 모드 파워 스위치 전류 파형을 생성합니다. 이 때, 입력 전압에 비례하여 입력 전류를 생성하기 위해 하프 사이클 동안 주파수와 피크 전류 값이 둘 다 변경됩니다.

컨트롤 엔진

컨트롤러에는 비반전 단자가 3.85V의 내부 전압 레퍼런스에 연결된 대역폭이 낮고 게인이 높은 OTA 에러 증폭기가 있습니다. 에러 증폭기의 반전 단자는 외부 FEEDBACK 핀에서 사용할 수 있으며, 이 핀은 분배기 비율이 1:100인 출력 전압 분배 네트워크에 연결되어 출력 전압을 정격 385V로 레귤레이션합니다. FEEDBACK 핀은 빠른 과도 부하 응답을 위해 분배기 네트워크에 직접 연결됩니다.

내부적으로 센싱된 FET 스위치 전류는 입력 전압 피크 감지기 전류 센싱 게인(M_{ON})에 따라 조정된 후 통합되고 에러 증폭기 신호(V_E)와 비교하여 사이클 온 타임을 결정합니다. 입력 전압과 출력 전압의 차이를 내부적으로 얻어 그 결과가 조정, 통합된 후 전압 레퍼런스(V_{OFF})와 비교되어 사이클 오프 타임을 결정합니다. 내부 조정 계수를 주의 깊게 선택하면 왜곡이 매우 적고 역률이 높은 입력 전류 파형이 생성됩니다.

라인 피드 포워드 조정 계수(M_{ON}) 및 PF 개선 장치

VOLTAGE MONITOR(V) 핀 전압이 샘플링되어 $\Delta\Sigma$ ADC에 의해 양자화된 디지털 값으로 변환됩니다. 동작 시간 상수 및 멀티 사이클 필터링 기능이 있는 디지털 라인 사이클 피크 감지기는 입력 라인 전압의 피크를 얻어 평활화합니다. 이 피크는 M_{ON} 변수를 통해 전류 센싱 신호의 게인을 내부적으로 조정합니다. 이는 컨트롤을 피드백 신호의 동작 범위를 줄이고 작동 입력 라인 범위에 걸쳐 루프 게인을 평활화하는 데 필요합니다. 라인 센싱 피드 포워드 게인 조정은 피크 정류된 AC 라인 전압의 제곱에 비례하며, VOLTAGE MONITOR 핀 전압에 따라 조정됩니다.

하이 라인 및 경부하 시, 피드 포워드 M_{ON} 변수는 EMI 필터 및 전체 브리지 네트워크에 의한 라인 전류 왜곡을 보정하기 위해 라인 사이클 전체에서 동적으로 조정되고, 역률이 향상됩니다.

또한 라인 센싱 피드 포워드 게인은 입력 라인 범위 전체에서 스위칭 출력 제한을 제공하는 데 중요합니다.

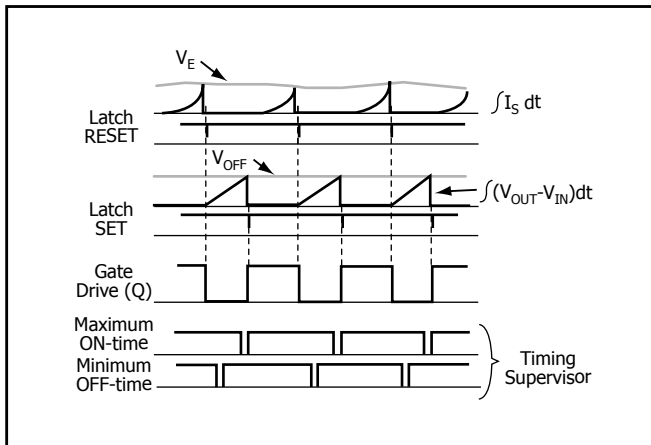


Figure 5. Idealized Converter Waveforms.

이 특성은 90~230VAC의 입력 라인에서 풀부하 시 비교적 일정한 내부 에러 전압 레벨을 유지하기 위해 최적화됩니다.

디바이스의 지정된 피크 정격 전력이 초과된 경우 내부 전력 제한은 출력 과부하에 따라 설정된 레귤레이션 기준점(Threshold) 아래로 출력 전압을 레귤레이션하여 일정한 출력 전력을 유지합니다. 그림 6은 부하에 따른 일반적인 레귤레이션 특성을 보여줍니다.

브라운인 기준값(V_{BR+}) 미만인 경우 디바이스가 그림 7에 표시된 것처럼 '최대' 전력 모드에서 작동하면 전력 제한이 줄어듭니다. 입력 라인 전압이 브라운아웃 기준값(V_{BR-})을 향해 떨어지고 부하가 전력 제한 정격 감소를 초과한 경우 부스트 출력 전압이 그림 6처럼 레귤레이션을 벗어나 하강합니다.

디바이스가 '효율' 모드에서 동작하는 경우 표 1에 표시된 정격 피크 전력이 브라운인 기준점(Threshold) 아래인 전압에 대해 정격 감소되지 않습니다.

핀루틴 단락 보호 기능을 가진 스타트업

스타트업 시 엔진은 스위칭을 시작하기 전에 그림 8에 표시된 것처럼 일련의 작동 확인과 핀 단락/오픈 평가를 수행합니다. 입력 전압 피크가 브라운인을 초과하면 엔진이 스위칭을 활성화합니다.

OTA 에러 증폭기는 FEEDBACK 핀에 대해 센싱된 출력 전압이 레귤레이션 범위를 벗어난 경우 NLA(비선형 증폭기) 메커니즘을 제공하여 본질적으로 느린 피드백 루프 응답을 극복합니다. 따라서 에러 증폭기 기능이 과도 부하 중 최대 오버슈트 및 언더슈트를 제한할 수 있습니다.

스타트업 시 스위치 및 출력 다이오드 전류 스트레스를 줄이기 위해 HiperPFS-4에서는 스타트업 중 출력 전압(V_{OUT})을 기반으로 오프 타임을 계산하여 스타트업이 상대적으로 부드럽게 제어됩니다.

적용된 VCC가 VCC_{UVLO+} 기준점(Threshold)을 초과하고 온칩 V_{REF} 레귤레이터의 출력이 REF_{UV+}를 초과하면, REFERENCE 핀 커패시터의 값이 감지되어 최대 전력 모드 또는 효율 전력 모드가 래칭됩니다. 핀 오픈/단락 테스트가 수행되고, FEEDBACK 핀 전압이 유효하면 과열 OTP가 False인지 확인합니다. 이전 검사가 충족되면 입력 전압이 V_{BR+} 기준점(Threshold)을 초과할 때까지[그러나 피크 감지기는 포화되지 않음] VOLTAGE MONITOR 핀을 통해 모니터링됩니다. 그리고 이 때, 스위칭이 활성화됩니다.

타이밍 감시기 및 동작 주파수 범위

컨트롤러는 라인 주파수 하프 사이클 동안, 일반적으로 CCM에서 동작하는 경우 22~123kHz의 범위에서 가변 스위칭 주파수를 사용하여 동작합니다. 또한, 컨트롤러는 최대 스위치 온 타임과 오프 타임을 모니터링 및 제한하고, 최소 사이클 온 타임을 보장하는 타이밍 감시기 기능이 특징입니다. 그림 9(a)는 피크 부하 상태 시 입력 전압에 따른 디바이스 스위칭 주파수의 일반적인 하프 라인 주파수 프로파일을 보여줍니다. 그림 9(b)는 115VAC의 라인 전압 상태일 때 부하에 따른 스위칭 주파수에 대한 EcoSmart™의 효과를 보여줍니다.

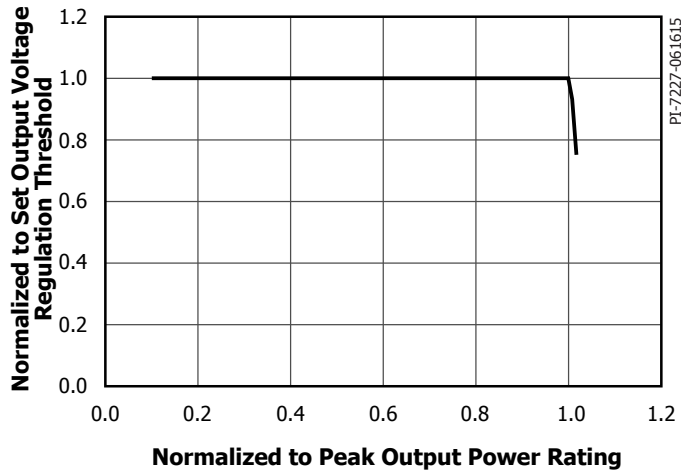


Figure 6. Typical Normalized Output Voltage Characteristics as Function of Normalized Peak Load Rating for eSIP Package.

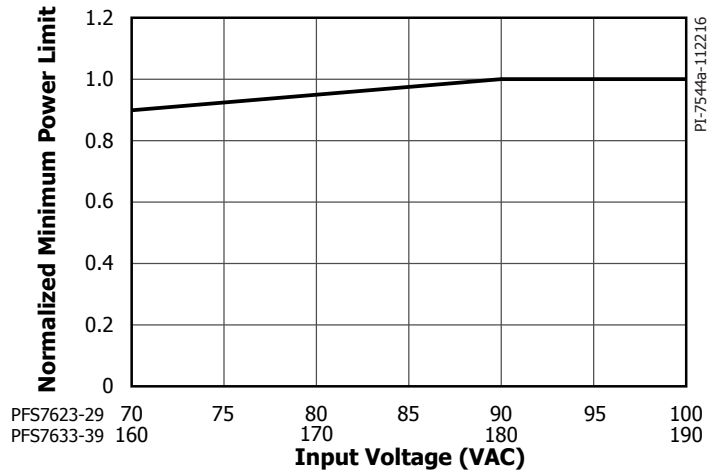


Figure 7. Normalized Minimum Power Limit as Function of Input Voltage for H and L Packages.

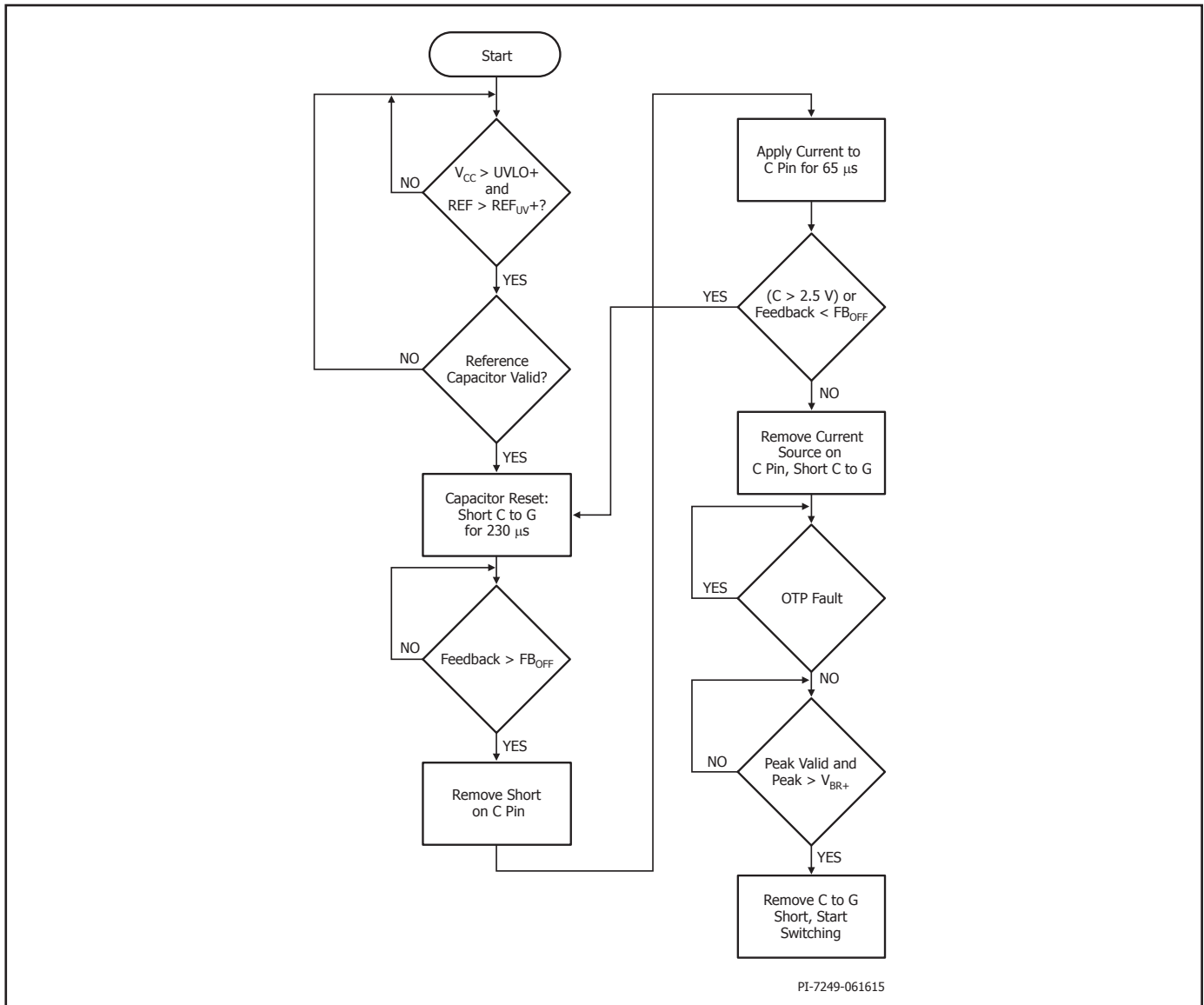


Figure 8. Start-Up Flow Chart.

EcoSmart

HiperPFS-4에는 내부 에러 신호(V_E)를 사용하여 컨버터 출력 전력을 감지하는 EcoSmart 기능이 포함되어 있습니다. 이는 출력 전력에 따라 평균 스위칭 주파수를 설정합니다.

그림 10에서처럼 오프 타임 적분기 컨트롤 레퍼런스(V_{OFF})는 내부 에러 전압 레벨(출력 전력)에 따라 제어되므로 컨버터가 출력 전압 레귤레이션을 유지하고 변환 효율을 정격 부하의 20%~100%에서 상대적으로 균일화할 수 있습니다. 이는 여러 효율 지칭을 충족하는 데 필수입니다. 주파수 슬라이드의 정도 역시 입력 라인 전압에 따라 제어됩니다. 입력 전압에 따라 V_{OFF} 슬로프가 낮아지면 높은 입력 라인 동작을 위한 평균 주파수 최고값이 줄어듭니다.

무부하 소비 전력 감소를 위한 버스트 모드

무부하 상태에서 HiperPFS-4 엔진은 고정된 에러 전압 레벨 간에 파워 스위치 온 및 오프를 제어하는 버스트 모드로 전환되도록 설계되어 있습니다. 따라서 누설 전류가 부하의 대부분을 차지하는 조건에서 레귤레이션을 유지하기 위해 버스트로 전환하여 낮은 소비 전력을 보장합니다.

니다. 경부하 시 높은 출력 전압 리플은 효율적인 버스트 모드 작동의 결과입니다.

Power Good(PG) 신호

HiperPFS-4는 FEEDBACK 핀에서 센싱된 출력 전압이 출력 전압 기준점(Threshold)의 ~95%(V_{PG+})까지 상승하는 경우 스타트업 중 오픈 드레인 스위치를 켜는 내부 비교기로 구성된 PG(Power Good) 회로가 특징입니다. 스타트업 시 출력 전압이 V_{PG+} 에 도달하기 전에 PG 신호는 하이 임피던스 상태가 됩니다(내부 스위치는 OFF 상태).

FEEDBACK 핀에서 센싱된 출력 전압이 POWER GOOD THRESHOLD(PGT) 핀의 저항을 통해 프로그래밍된 사용자 선택 기준점(Threshold)으로 떨어지면 PG(Power Good) 신호가 'ON'에서 OFF 상태로 전환됩니다. POWER GOOD THRESHOLD 핀은 고정된 전류 I_{PGT} 를 제공합니다.

PG(Power Good) 기준점(Threshold) 저항과 결합된 이 전류는 PFC 출력이 레귤레이션 범위를 벗어날 때 PG(Power Good) 신호가 ON 상태에서 하이 임피던스 OFF 상태로 전환되는 경우의 기준점(Threshold)을 설정합니다.

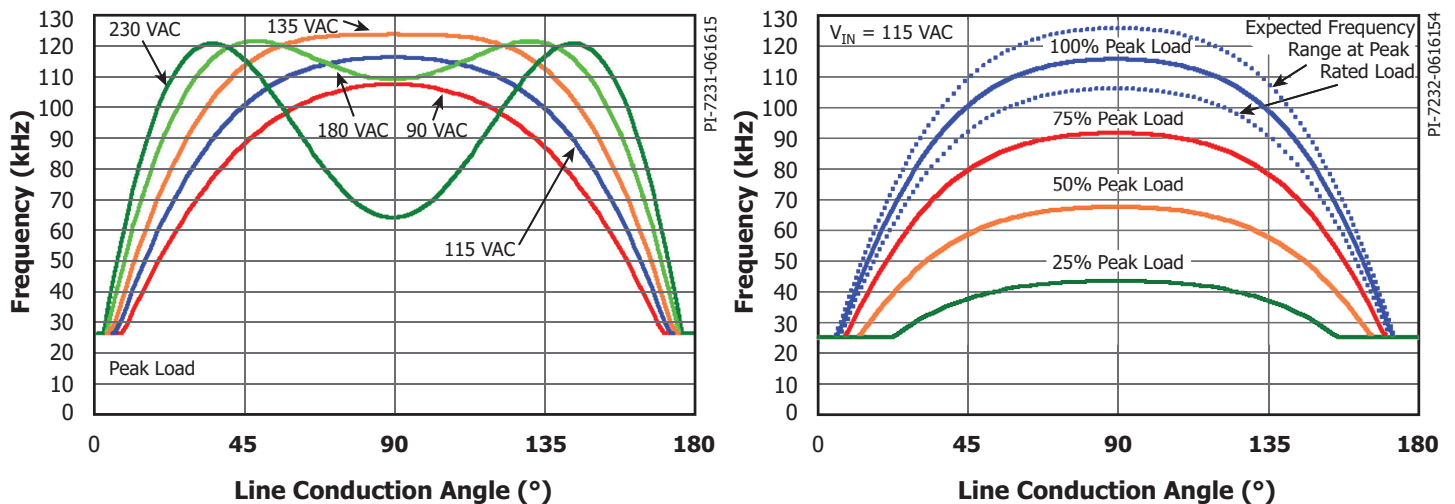


Figure 9. (a) Frequency Variation over Line Half-Cycle as a Function of Input Voltage (b) Frequency Variation over Line Half-Cycle as a Function of Load. Note: Frequency Profiles Shown were Analytically Derived and Reflect CCM Operation Across the Entire Line Cycle.

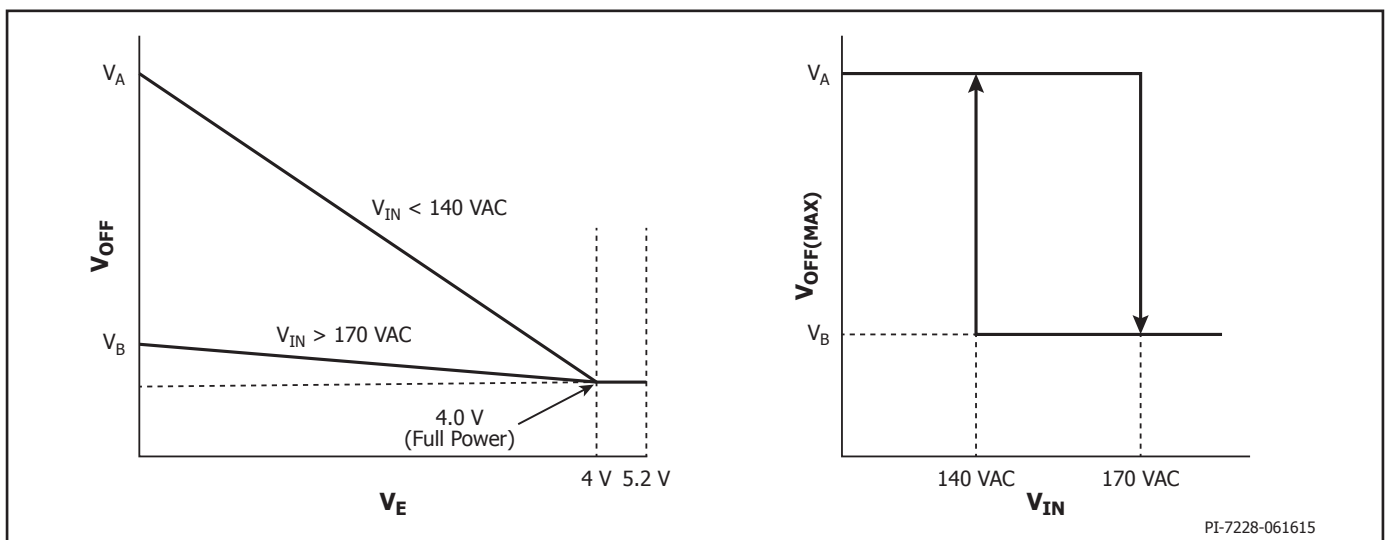


Figure 10. EcoSmart Frequency Slide V_{OFF} vs. V_E and $V_{OFF(MAX)}$ vs. Input Voltage.

PG(Power Good) 비교기에는 내부 $81\mu\text{s}$ 디글리치 필터(t_{PGD})가 있어 노이즈 이벤트가 프로그래밍된 V_{PG} 기준점(Threshold)을 잘못 트리거하지 않도록 방지합니다.

부하로 인한 고장 때문에 부스트가 레귤레이션(설정된 출력 전압 기준점(Threshold)의 $\sim 95\%$ 이상)을 달성하지 못하는 경우 PG 기능은 하이 임피던스 상태로 남아 있고 출력 전압이 사용자가 프로그래밍한 V_{PG} 기준점(Threshold) 아래로 떨어진 경우를 나타내지 않습니다. V_{PG+} 기준점(Threshold)에 도달하면 사용자가 프로그래밍한 V_{PG} 기준점(Threshold)이 활성화됩니다.

POWER GOOD THRESHOLD 프로그래밍 핀이 REFERENCE 핀에 연결되어 있으면, PG(Power Good) 기능이 비활성화되고 PG는 하이 임피던스('OFF') 상태로 남아 있습니다. 이는 PG가 사용 중이지 않은 경우 기본 구성입니다. **POWER GOOD THRESHOLD** 핀이 SIGNAL GROUND 핀으로 단락되면 PG 신호가 V_{PG+} 에서 ON 상태로 전환되고 PFC 출력 전압이 $t_{FB,UV}$ 초보다 오랫동안 $V_{FB,UV}$ 기준점(Threshold) 아래로 떨어질 때까지 LOW('ON') 상태로 남아 있습니다.

위에서 설명한 비활성화 조건과 마찬가지로 PGT 저항의 값이 V_{PG} 기준 값이 V_{PG+} 기준값보다 크도록 하는 값인 경우 PG 신호는 래치 오프되고 하이 임피던스 OFF 상태로 남아 있습니다.

PG(Power Good) 기능은 다음과 같은 조건에서는 작동하지 않습니다.

- VCC 또는 VREF이 유효한 동작 범위에 없는 경우, UVLO- 보다 낮은 VCC 또는 REF_{UV-} 보다 낮은 VREF의 경우 하이 임피던스 상태일 때 **POWER GOOD** 핀에서 PG(Power Good) 기능이 유효하지 않습니다.
- 과열 고장으로 인해 소프트 셧다운이 시작되면 PG(Power Good)는 하이 임피던스 상태가 되어 OT 고장의 2차측 회로에 조기 알람을 제공합니다.
- PGT가 225V~360V의 유효한 프로그래밍 범위를 벗어난 경우, PGT 플로우팅을 포함하여 이 범위를 초과하는 PGT 전압은 PG가 활성 플다운으로 변환되지 않도록 방지합니다. 이 범위 미만인 PGT 전압은 출력 저전압($V_{FB,UV}$) 기준점(Threshold)에서 PG를 비활성화시킵니다.
- 스타트업 순서 검사에 통과하여 컨버터가 스타트업 상태가 되면 PGT가 열리며 PG 신호는 컨트롤러가 리셋될 때까지 하이 임피던스에 래치된 상태로 남아 있습니다.

선택 가능한 출력 제한

REFERENCE 핀의 커패시터를 사용하면 각 디바이스에 대해 사용자가 '최대' 및 '효율' 전력 제한 중에 선택할 수 있습니다. '효율' 전력 모드에서는 사용자가 증가된 변환 효율에 대한 출력 전력 요건을 충족하기 위해 더 큰 디바이스를 선택할 수 있습니다.

'최대' 전력 모드에서 REFERENCE 핀 커패시터는 $1.0\mu\text{F} \pm 20\%$ 이고 '효율' 전력 제한 모드는 $0.1\mu\text{F} \pm 20\%$ 커패시터로 선택됩니다.

REFERENCE 핀이 뜻하지 않게 그라운드로 단락되면 IC는 스위칭을 비활성화하고 스타트업 순서의 모든 조건이 충족될 때까지 비활성 상태로 남아 있습니다.

REFERENCE 핀이 오픈 회로인 경우 바이패스 커패시터가 없으면 스타트업이 방지됩니다. 동작 중 오픈 회로로 인해 REFERENCE 핀 노이즈가 발생하여 $V_{REF,UV}$ 셧다운이 일어날 수 있습니다.

보호 모드

브라운인 보호(V_{BR+})

VOLTAGE MONITOR 핀에는 입력 라인 저전압 감지 기능이 있어 최소 스타트업 전압을 제한합니다. 이러한 감지 기준점(Threshold)은 디바이스가 브라운인보다 낮은 입력 전압과 $400V_{PK}$ 의 입력 피크 전압보다 높은 전압에서 시작되지 않도록 억제합니다.

브라운아웃 보호(V_{BR-})

VOLTAGE MONITOR 핀에는 브라운아웃 보호 모드가 있습니다. $t_{BRN,OUT}$ (브라운아웃 디바운스 시간)을 초과하는 기간 동안 **VOLTAGE MONITOR** 핀 전압이 라인 저전압 기준값(V_{BR-}) 미만인 경우 HiperPFS-4는 이 모드에서 꺼집니다. 단일 하프 라인 사이클이 누락되어 있는 경우(정상 동작 라인 주파수: $47\text{Hz} \sim 63\text{Hz}$) 브라운아웃 감지가 시작되지 않습니다. 브라운아웃이 트리거되면 HiperPFS-4 소프트 셧다운이 1ms의 기간 동안 점차적으로 내부 오류 전압을 0V로 줄여 파워 MOSFET 온 타임을 0으로 만듭니다. 이 소프트 셧다운 개시는 다음 라인 사이클 재로 크로싱에 맞춰 조정되어 반응성 부품의 di/dt 과도를 최소화하고 입력 EMI 필터와 부스트 초크 내에 저장된 에너지를 소산시킬 수 있는 시간을 허용합니다. 따라서 브리지 정류기 다음에 있는 전압 과도를 최소화하여 잘못된 리스타트를 방지할 수 있습니다. 이 디바이스는 V_{BR+} 를 초과하는 **VOLTAGE MONITOR** 핀에 의해 브라운인 전압을 초과하는 라인 전압이 있는지 확인하기 전에 FMEA 핀 고장 검사 및 기타 스타트업 인증을 포함하여 오토-리스타트에 진입합니다.

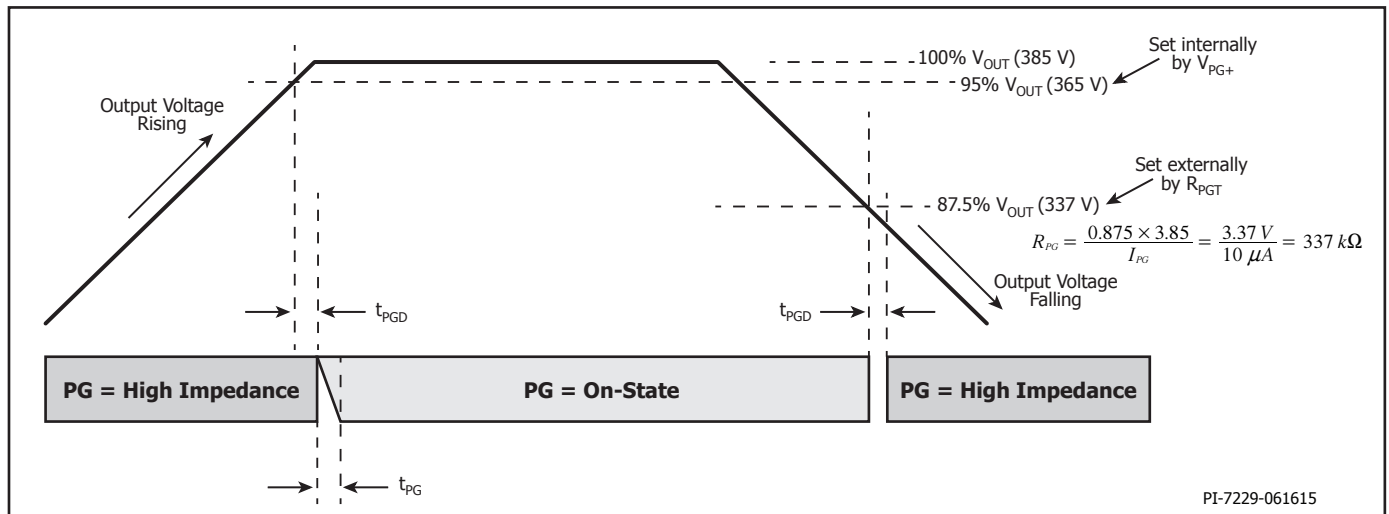


Figure 11. Power Good Function Description.

브라운인 이벤트 후 $t_{STARTUP}$ 타이머가 만료될 때까지 라인 전압 브라운아웃 기준점(Threshold)이 V_{BR-NTC} 로 줄어들고 브라운아웃 타이머가 $t_{BRWN_OUT_NTC}$ 로 확장되어 입력 라인과 직렬로 연결된 인러쉬 제한 NTC (마이너스 온도 계수) 써미스터로 인해 라인 전압 강하를 허용합니다.

센싱 라인 전압이 V_{BR-NTC} 기준점(Threshold) 미만으로 떨어져 $t_{BRWN_OUT_NTC}$ 디바운스 타이머가 트리거되었으나 $t_{BRWN_OUT_NTC}$ 만료 전에 해당 라인 전압이 V_{BR-NTC} 기준점(Threshold)보다 높게 복구되면 $t_{STARTUP}$ 타이머가 리스타트됩니다. $t_{BRWN_OUT_NTC}$ 디바운스 타이머 만료 전에 라인 전압이 V_{BR-NTC} 기준점(Threshold)보다 높게 복구되지 않으면 셋다운이 발생합니다.

$t_{STARTUP}$ 타이머가 만료된 후 VOLTAGE MONITOR 핀 전압이 V_{BR-NTC} 이상으로 상승하면 브라운아웃 디바운스 타이머가 정상 기간(t_{BRWN_OUT})으로 전환되고 브라운아웃 기준점(Threshold)이 V_{BR} 로 전환됩니다. 이후에 이어지는 t_{BRWN_OUT} 타이머가 만료된 후 VOLTAGE MONITOR 핀 전압이 V_{BR} 이상인 것으로 인증되지 않으면 브라운아웃 셋다운이 발생합니다.

HiperPFS-4는 입력 파형 구분 방법을 통합하여 라인 신호 피크 대 평균 비율이 사인파 또는 높은 듀티 사이클 구형파 중 어느 쪽을 더 잘 대표하는지 결정합니다. 높은 듀티 사이클(UPS) 구형파가 감지되면 브라운아웃 기준점(Threshold)이 V_{BR_SQ} 로 줄어듭니다.

VCC 저전압 보호(UVLO)

BIAS POWER(VCC) 핀에는 적용된 VCC 전압이 V_{CC_UVLO+} 기준값을 초과하면 IC가 시작되지 않도록 억제하는 저전압 록아웃 보호 기능이 들어 있습니다. BIAS POWER 핀 전압이 V_{CC_UVLO+} 기준값을 초과하면 IC가 스타트업을 시작합니다. 스타트업 후 IC는 BIAS POWER 핀 전압이 V_{CC_UVLO-} 레벨 아래로 떨어질 때까지 계속해서 작동합니다. BIAS POWER 핀의 최대 전압 절대값은 17.5V로, IC에 대한 장기간에 걸친 손상을 방지하려면 외부에서 제한되어야 합니다.

과전류 보호(OCP) 제한에 따른 라인

디바이스에는 고장 시 디바이스를 보호하는 사이클 단위 과전류 보호 메커니즘이 포함되어 있습니다. 이 디바이스에서 OCP 보호의 의도는 내부 파워 MOSFET을 보호하는 것으로, 컨버터가 출력 단락 또는 과부하에 의해 고장 상태가 되지 않도록 보호하는 것은 아닙니다.

유니버설 라인 입력 부품의 경우 OCP 제한은 입력 라인 전압에 따라 설정되는데, 하나는 로우 라인 전압에 대한 설정이고 다른 하나는 하이 라인 전압에 대한 설정입니다. 따라서 전력 제한을 단락 시에 구속할 수 있을 뿐만 아니라 보다 높은 입력 라인 상태에서 전류 부하로 인해 스위치에서 발생한 스트레스를 최소화할 수 있습니다. 그림 12에서는 VOLTAGE MONITOR 핀 라인 센싱에 따른 OCP 레벨에 대한 히스테리시스(Hysteresis) 조정을 보여줍니다. 이는 입력 라인 전압의 피크가 연속되는 3개의 하프 사이클 동안 140VAC로 떨어진 경우에는 로우 라인 OCP(두 설정보다 큼)를 선택하고 한 개의 하프 사이클 동안 입력 라인 전압이 170VAC 이상으로 상승하는 경우에는 하이 라인 OCP 수준(두 설정보다 작음)을 선택하는 것과 동일합니다. 다음 섹션에서 설명하는 것처럼 팔로워 모드에서는 예외입니다.

HiperPFS-4에서는 VOLTAGE MONITOR 핀이 하이 라인 기준값인 V_{HIGH+} 를 초과했음을 감지한 후 높은 입력 라인 OCP를 활용합니다. 로우 라인 기준값 V_{HIGH-} 미만인 하프 라인 사이클 피크 값이 연속 3회 나타난 후에만 컨트롤러가 로우 라인 OCP(및 로우 라인 주파수 슬라이드)로 되돌아 갑니다. 라인 강하 시 강하가 37ms(공칭)를 초과하면 컨트롤러가 하이 라인에서 로우 라인 파라미터로 되돌아 갈 수 있습니다. 하이 라인 전용 입력 부품은 고정된 단일 OCP 기준점(Threshold)을 사용합니다.

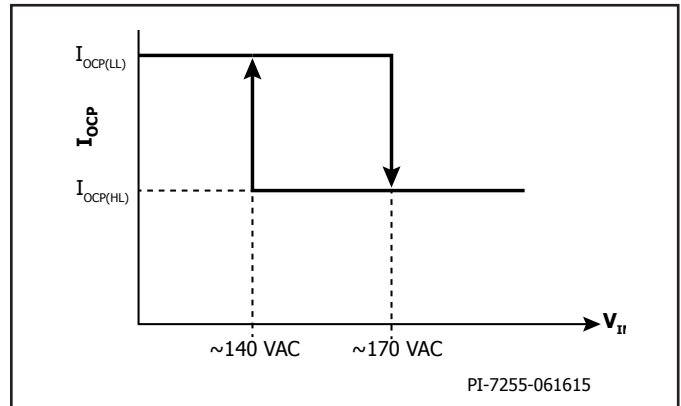


Figure 12. Line Dependent OCP.

팔로워 모드 기능은 입력 전압이 V_{HIGH+} 를 초과하면 컨트롤러를 하이 라인 상태로 바로 업데이트합니다. 이 기능에는 피크 감지기가 낮은 입력 라인 상태를 처음에 감지할 수 있는 긴 AC 라인 강하 후 하이 라인 하드 스타트 상태를 위한 특별한 이점이 있습니다.

리딩 엣지 블랭킹 회로는 파워 MOSFET이 켜진 후 Current Limit 비교기를 켜는 시간(t_{LEB}) 동안 억제합니다. 드레인 캐패시턴스와 정류기 역 리커버리 시간으로 인해 발생한 스위치 전류 스파이크가 MOSFET 전도 기간을 초기에 중단시키지 않도록 이 리딩 엣지 블랭킹 시간이 설정되었습니다.

안전 작동 영역(SOA) 모드

위에서 설명한 사이클별 OCP 메커니즘은 '계단식' 인덕터 전류의 발생 가능성을 방지하지 않기 때문에 SOA 모드 역시 갖추고 있습니다. 인덕터 포화 시 또는 너무 짧은 인덕터 리셋 시간과 결합하여 입력 및 출력 전압 차이가 작은 경우 스위치 전류가 급격히 증가할 수 있습니다.

스위치 전류가 Current Limit(I_{OCP})에 도달하고 온 타임이 t_{SOA} 미만일 때마다 SOA 모드가 실행됩니다. SOA 모드는 스위치가 SOA 내에서 유지되도록 오프 타임을 $t_{OFF(SOA)}$ 와 동일하게 강제로 설정하고 내부 에러 전압(V_e)을 최대값의 1/2까지 끌어내립니다.

고속 출력 전압 과전압 보호(FB_{OV})

HiperPFS-4에는 FEEDBACK 핀에 전압 피드백 기준값 비교기가 있습니다. 이 비교기는 출력 전압 과전압 상태를 감지하여 COMPENSATION 핀 응답에 상관 없이 위험한 전압 상태가 발생하지 않도록 방지합니다. 과전압 보호는 히스테리시스(Hysteresis)입니다. 즉, FEEDBACK 핀의 전압은 스위칭이 리스타트되기 전 0.1V씩(10V의 출력 전압 강하와 동일) 강하되어야 합니다.

FEEDBACK-COMPENSATION 핀 단락 감지 보호

PFC 컨트롤러는 계속해서 FEEDBACK 및 COMPENSATION 핀을 모니터링하여 인접한 FEEDBACK 및 COMPENSATION 핀 사이에 잠재적인 단락 상태가 없는지 확인합니다. 따라서 감지되지 않은 경우 출력 과전압 상태로 이어질 수 있습니다. 잠재적인 단락이 감지되는 경우 신속한 단락 검사가 수행되어 의심되는 단락이 확인된 경우 셋다운이 실행됩니다.

오픈 FEEDBACK 핀 보호

FEEDBACK 핀은 계속해서 $I_{FBPD}[VCC > VCC_{UVLO+}]$ 의 정적 전류를 싱크하여 오픈 FEEDBACK 핀 또는 불완전한 피드백 분배기 네트워크와 관련된 고장으로부터 보호합니다. 내부 전류 싱크는 출력 레귤레이션에 작은 정적 오프셋을 적용하는데, 이는 출력 피드백 레귤레이션 부품(FEEDBACK 핀 분배기)을 선택하는데 고려할 수 있습니다.

히스테리시스(Hysteresis) 써멀 셧다운

써멀 셧다운 회로는 노출된 접지 패드를 통해 히트싱크에 잘 커플링되는 컨트롤러 칩 온도를 센싱합니다. 기준점(Threshold)은 일반적으로 117°C로 설정되어 있으며 36°C 히스테리시스(Hysteresis)를 갖습니다. 컨트롤러 칩 온도가 이 기준점(Threshold)(OTP)을 초과하여 상승하면 컨트롤러는 소프트 셧다운을 시작하고 컨트롤러 칩 온도가 ~36°C까지 떨어질 때까지 비활성화 상태로 유지되며, 이 시점에 디바이스는 스타트업 절차를 다시 시작합니다.

OTP 이벤트 감지 후 발생하는 소프트 셧다운의 최대 지연 시간은 다음 제로 크로싱을 초과하는 t_{OTP} 입니다.

HiperPFS-4의 추가 기능 및 변경 사항

HiperPFS-4(eSIP)는 HiperPFS-3과 유사한 핀 배열을 유지합니다.

- PFC MOSFET과 다이오드의 항복 정격 전압이 600V로 증가했습니다.
- PFC 출력 전압은 최대 440VDC 출력을 위해 설계되어 277VAC 라인 전압으로 작동하는 것을 허용합니다.

Output Power Table for H, L and C Packages

eSIP Package Without Integrated Diode						
Product	Efficiency Power Mode $C_{REF} = 0.1 \mu F$			Full Power Mode $C_{REF} = 1.0 \mu F$		
	Maximum Continuous Output Power Rating at 90 VAC ²		Peak Output Power Rating at 90 VAC ⁴	Maximum Continuous Output Power Rating at 90 VAC ²		Peak Output Power Rating at 90 VAC ⁴
	Minimum ³	Maximum		Minimum ³	Maximum	
PFS7623H/L	65 W	90 W	100 W	85 W	110 W	120 W
PFS7624H/L	80 W	110 W	125 W	100 W	130 W	150 W
PFS7625H/L	110 W	150 W	170 W	140 W	185 W	205 W
PFS7626H/L	140 W	190 W	215 W	180 W	230 W	260 W
PFS7627H/L	175 W	235 W	265 W	220 W	290 W	320 W
PFS7628H/L	210 W	285 W	320 W	270 W	350 W	385 W
PFS7629H/L	245 W	335 W	375 W	300 W	405 W	450 W

Product	Efficiency Power Mode $C_{REF} = 0.1 \mu F$			Full Power Mode $C_{REF} = 1.0 \mu F$		
	Maximum Continuous Output Power Rating at 180 VAC ²		Peak Output Power Rating at 180 VAC ⁴	Maximum Continuous Output Power Rating at 180 VAC ²		Peak Output Power Rating at 180 VAC ⁴
	Minimum ³	Maximum		Minimum ³	Maximum	
PFS7633H	155 W	205 W	230 W	195 W	255 W	280 W
PFS7634H	200 W	260 W	290 W	240 W	315 W	350 W
PFS7635H	275 W	360 W	400 W	335 W	435 W	480 W
PFS7636H	350 W	460 W	510 W	415 W	550 W	610 W

InSOP Package Without Integrated Diode						
Product	Full Power Mode $C_{REF} = 1.0 \mu F$					
	Maximum Continuous Output Power Rating at 90 VAC ²					
	Maximum					
PFS7623C	75 W					
PFS7624C	90 W					
PFS7626C	105 W					
PFS7628C	110 W					

eSIP Package With Integrated Diode						
Product	Efficiency Power Mode $C_{REF} = 0.1 \mu F$			Full Power Mode $C_{REF} = 1.0 \mu F$		
	Maximum Continuous Output Power Rating at 90 VAC ²		Peak Output Power Rating at 90 VAC ⁴	Maximum Continuous Output Power Rating at 90 VAC ²		Peak Output Power Rating at 90 VAC ⁴
	Minimum ³	Maximum		Minimum ³	Maximum	
PFS7723L/H	65 W	90 W	100 W	85 W	110 W	120 W
PFS7724L/H	80 W	110 W	125 W	100 W	130 W	150 W
PFS7725L/H	110 W	150 W	170 W	140 W	185 W	205 W
PFS7726H	140 W	190 W	215 W	180 W	230 W	260 W
PFS7727H	175 W	235 W	265 W	220 W	290 W	320 W
PFS7728H	210 W	285 W	320 W	270 W	350 W	385 W
PFS7729H	245 W	335 W	375 W	300 W	405 W	450 W

Table 2. Output Power Table.

Notes:

1. See Key Application considerations.
2. Maximum practical continuous power in an open-frame design with adequate heat sinking, measured at 50 °C ambient.
3. Recommended "efficiency power mode" for **best light load efficiency**.
4. Internal output power limit.

H 및 L 패키지의 애플리케이션 예제

고효율, 275W, 385VDC 유니버설 입력 PFC

그림 13에 표시된 회로는 PFC 컨트롤러가 통합된 HiperPFS-4 제품군에 속한 디바이스를 사용하여 설계되었습니다. 이 설계는 275W의 연속 출력 전력에 적합하며, 경부하부터 풀 부하까지 높은 입력 역률 및 전체 효율을 유지하는 385VDC의 레귤레이션된 공칭 출력 전압을 제공합니다.

퓨즈 F1은 회로에 보호 기능을 제공하고 고장 발생 시 AC 공급을 차단합니다. 다이오드 브리지 BR1은 AC 입력 전압을 정류합니다. 커패시터 C1~C7은 인덕터 L2 및 L3과 함께 커먼 모드 및 디퍼렌셜 모드의 노이즈를 줄이는 EMI 필터를 형성합니다. 저항 R1, R2 및 CAPZero-2, IC U2는 회로의 연결이 끊긴 경우 EMI 필터 커패시터를 방전해야 합니다. CAPZero-2는 AC가 제거된 경우에만 입력 양단에 이 부품들을 연결함으로써 R1 및 R2의 정적 손실을 방지합니다.

MOV(금속 산화물 배리스터) RV1은 라인 서지가 발생할 때 파워 서플라이에서 나타나는 입력 전압을 효과적으로 클램핑하여 회로를 보호합니다.

인덕터 L1과 부스트 다이오드 D4는 HiperPFS-4 IC U1과 함께 부스트 컨버터단을 형성하여 파워 서플라이의 입력 전류를 제어하는 동시에 출력 DC 전압을 레귤레이션합니다. 다이오드 D2는 인덕터 L1을 바이패스하는 동시에 출력 커패시터 C18를 충전하여 스타트업 시 출력 전압의 공진 빌드업을 방지합니다.

써미스터 RT1은 스타트업 시 회로의 돌입 입력 전류를 제한하고 L1의 포화를 방지합니다. 그러나 최고 효율 설계에서는 출력 전압이 PG (Power Good) 신호(active low)에 의해 표시된 대로 레귤레이션 상태인 경우 전자기계식 릴레이 RL1을 사용하여 써미스터를 우회합니다. 저항 R3, R4, 트랜지스터 Q1이 릴레이 RL1과 옴토커플러 U3를 구동합니다. 다이오드 D1은 비활성화 전환 중 릴레이 코일 역 전압을 클램핑합니다.

저항 R5는 옴토커플러 내 다이오드로의 전류를 제한합니다. IC U3은 필요한 경우 PG(Power Good) 출력 신호에 커넥터 J2를 통한 옴토커플러 절연을 제공합니다.

커패시터 C15는 출력 회로의 루프 길이 및 영역을 줄여 각 스위칭 단계에서 U1 내 MOSFET의 소스 및 드레인에서 발생하는 EMI와 전압의 오버슈트를 감소시킵니다.

PFS7627H IC는 동작을 위해 12V의 레귤레이션된 공급이 필요합니다 (최대 15V). 저항 R6, R7, R8, 제너 다이오드 VR1, 트랜지스터 Q2는 IC U1에 대한 공급 전압이 15V를 초과하는 것을 방지하는 직렬 패스 레귤레이터를 구성합니다. 커패시터 C8과 C9는 공급 전압을 필터링하고 IC U1의 안정적인 작동을 보장하기 위해 바이패싱과 디커플링을 제공합니다. 다이오드 D3은 역극성 보호 기능을 제공합니다.

저항 R15는 [PGT(POWER GOOD THRESHOLD) 핀을 통해] 출력 전압 수준을 PG(POWER GOOD) 핀이 하이 임피던스 상태에 진입하는 수준보다 낮게 프로그래밍합니다. 커패시터 C14는 POWER GOOD THRESHOLD 핀에서 노이즈에 대한 내성을 제공합니다.

IC U1은 REFERENCE 핀에 연결된 커패시터 C10에 따라 최대 전력 모드로 구성됩니다.

파워 서플라이의 정류된 AC 입력 전압은 저항 R10~R13을 사용하는 IC U1에서 센싱됩니다. 전력 사용량을 최소화하기 위해 이러한 저항 값은 큼니다. 하단 저항 R13과 병렬로 연결된 커패시터 C11은 VOLTAGE MONITOR 핀으로 커플링된 노이즈를 필터링합니다.

저항 R16~R19로 구성된 출력 전압 분배기 네트워크는 출력 전압을 조정하고 피드백을 IC에 제공하는 데 사용됩니다. 저항 R19과 병렬로 연결된 커패시터 C16은 높은 주파수 노이즈를 줄입니다.

피드백 네트워크의 루프 응답을 형성하는 데 R14, C12, C13이 필요합니다.

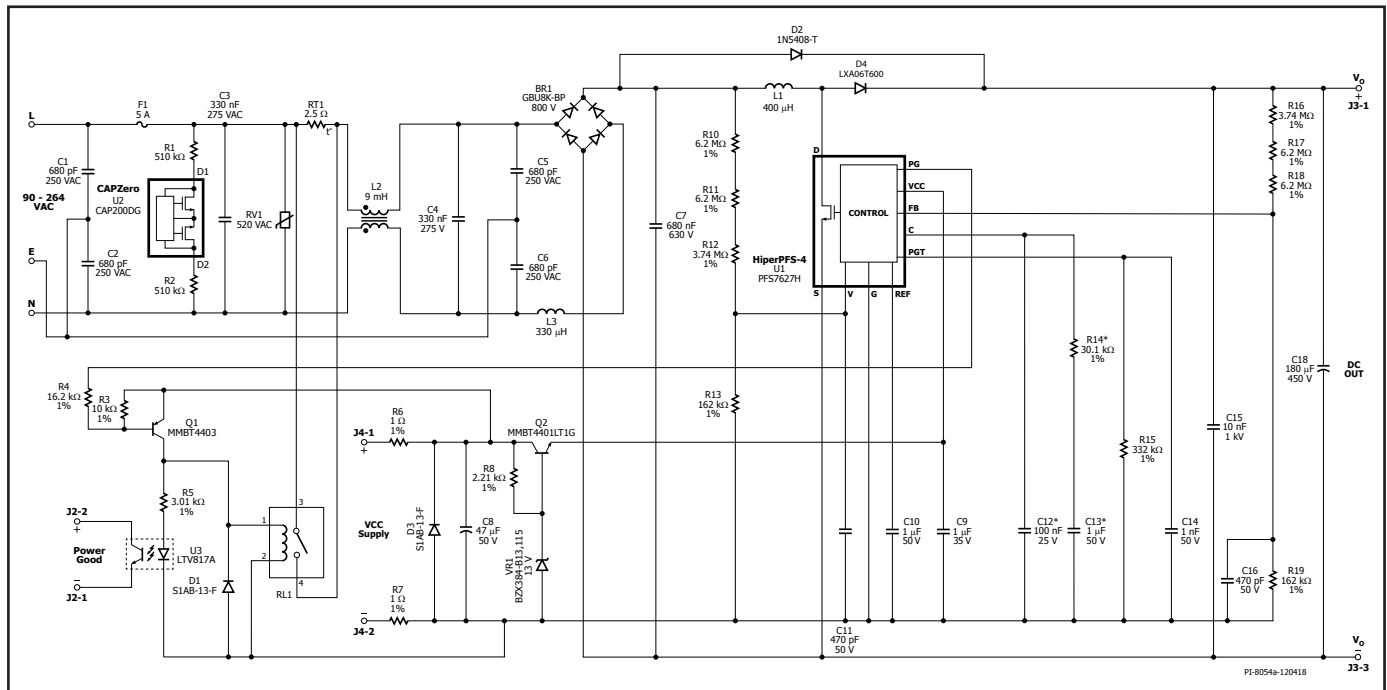


Figure 13. 275 W PFC using PFS7627H (*Note: Use R14 = 20 kΩ, C13 = 2.2 μF, C12 = 150 nF When Designing with PFS7626C and PFS7628C).

설계, 어셈블리 및 레이아웃 고려 사항

전력표

데이터 시트의 전력표(표 2)는 다음과 같은 조건에서 얻을 수 있는 최대 실제 연속 출력 전력을 나타냅니다.

유니버설 입력 디바이스(PFS7x23L/H - PFS7629H)의 경우:

1. 입력 전압 범위는 90VAC~264VAC입니다.
2. 가장 낮은 동작 전압에서 전반적인 효율은 최소 93%입니다.
3. 공칭 출력은 385V입니다.
4. 충분한 히트싱크로 디바이스 온도를 100°C 이하로 유지합니다.

위에서 언급한 제한을 초과한 동작에는 디레이팅이 필요합니다. 높은 온도에서 작동하면 MTBF가 감소하고 성능이 저하될 수 있습니다. 즉, 효율이 떨어지고, 전력 제한과 PF가 감소하며, 히스테리시스 브라운아웃이 발생할 가능성이 있어 권장하지 않습니다.

HiperPFS-4 선택

필요한 최대 출력 전력, PFC 효율 및 전반적인 시스템 효율(세컨드 스테이지 DC-DC 컨버터와 사용되는 경우), 히트싱크 제약 조건, 시스템 요구 사항 및 비용에 따라 최적의 HiperPFS-4 부품을 선택할 수 있습니다. 설계에 사용된 HiperPFS-4 부품은 전력표 상에서 바로 위나 아래의 부품으로 쉽게 교체하여 성능을 최적화하고, 효율을 개선하거나, 열 설계 제약이 있는 애플리케이션에 사용할 수 있습니다. 성능 최적화를 위해 기존 설계에 한 단계 더 높거나 낮은 HiperPFS-4 부품을 사용하는 경우 일부 설계에서 인덕턴스 값 및 EMI 필터 부품을 약간 조정해야 할 수 있습니다.

모든 HiperPFS-4 제품군 부품에는 최적의 값을 제공하는 최적의 부하 레벨이 있습니다. 부하 레벨에 따라 부품의 작동 주파수가 변경됩니다. 주파수를 변경하면 사용되는 인덕턴스에서 피크 간 전류 리플이 변경됩니다. 전류 리플의 변화는 입력 PF 및 입력 전류의 총 고조파 왜곡에 영향을 미칩니다.

입력 퓨즈 및 보호 회로

입력 퓨즈는 입력 저전압으로 인해 PFC가 꺼질 때의 입력 전류 이상이 연속 전류로 흐를 수 있는 정격을 가져야 합니다. 이 전압을 브라운아웃 전압이라고 합니다.

스타트업 중 불필요한 실패를 피하려면 퓨즈에 충분한 I_{2t} 정격이 있어야 합니다. 스타트업 시 출력 커패시터가 적용된 전압의 피크까지 충전되므로 입력에서 큰 전류를 끌어옵니다. 충전 전류는 모든 돌입 제한 써미스터, EMI 필터 인덕터의 임피던스 및 입력 정류기 다이오드의 포워드 저항으로만 제한됩니다. MOV는 일반적으로 라인 서지에서 PFC를 보호하기 위해 필요합니다. MOV 정격은 PFC가 견뎌 내야 하는 에너지 레벨(EN1000-4-5 클래스 레벨)에 따라 다르게 선택합니다.

돌입 전류 제한을 제공하려면 입력측에서 적절한 NTC 써미스터를 사용해야 합니다. 이 써미스터 선택은 파워 서플라이의 돌입 전류 사양에 따라 달라져야 합니다. NTC 써미스터가 라인 과도 발생 시 부품에 대한 스트레스를 제한하지 못하고 예측 가능한 방식으로 돌입 전류를 제한하지 못한 경우 회로의 다른 모든 부분에 NTC 써미스터를 배치하지 못할 수 있습니다. 그림 13의 예는 PFC 스타트업 후 릴레이와 함께 바이패스되는 입력측에 돌입 제한 NTC 써미스터가 있는 회로 구성을 보여줍니다. 이러한 배열은 일정한 돌입 제한 성능을 회로를 통해 얻을 수 있음을 보장합니다.

입력 EMI 필터

HiperPFS-4의 가변 스위칭 주파수는 스위칭 주파수를 효율적으로 조정하고 기본 스위칭 주파수의 고조파와 관련된 전도성 EMI 피크를 줄입니다. 이는 특히 EMI 측정에 사용되는 평균 감지 모드에 효과적입니다.

PFC는 스위칭 컨버터로, 전도성 및 방사 EMI에 대한 대부분의 안전 기준의 요구 사항을 충족하기 위해 입력에 EMI 필터를 필요로 합니다. 일반적으로 X 커패시터가 라인 양단에 연결된 커먼 모드 필터는 입력 전류의 고조파 성분을 허용 가능한 수준으로 감쇠시킵니다. 커먼 모드 필터 인덕터의 누설 인덕턴스와 X 커패시터는 로우 패스 필터를 형성합니다. 일부 설계에서는 커먼 모드 초크의 디퍼렌셜 모드 인덕턴스를 보충하기 위해 디퍼렌셜 필터 인덕터를 추가로 사용해야 할 수 있습니다.

ESR이 낮고 리플 전류 용량이 높은 필터 커패시터는 입력 브리지 정류기의 출력에 연결해야 합니다. 이 커패시터는 입력 전류 리플의 스위칭 주파수 부품 생성을 줄이고 EMI 필터 설계를 간소화합니다. 일반적으로, 유니버설 입력 설계에는 100W당 0.33μF를 사용해야 하고 230VAC 전용 설계에는 100W당 0.15μF의 출력 전력을 사용해야 합니다.

일반적으로 브리지 정류기 다음에 더 높은 커패시턴스 값을 사용하여 EMI 필터 내 X 커패시턴스를 줄일 수 있습니다.

경부하에서 PF가 중요한 애플리케이션의 경우, 부스트 스테이지 전에 모든 커패시터가 PF에 대해 보정되지 않으므로 커패시터 값이 클수록 경부하에서 PF 성능을 저하시킬 수 있음을 유의하십시오.

규제 관련 요건에 따라 브리지 정류기의 AC측에서 입력 X 커패시턴스 양단에 연결되는 방전 저항을 사용해야 합니다. 이렇게 하면 커패시턴스가 0.1μF보다 높은 경우 입력 전압이 제거된 후 잔류 충전이 소모됩니다. 파워 인테그레이션스(Power Integrations)의 CAPZero-2 집적 회로를 사용하면 X 커패시터에 영구적으로 연결된 방전 저항을 사용할 때 발생하는 정상 상태 손실을 없앨 수 있습니다.

인덕터 설계

페라이트 인덕터의 경우 최적의 설계는 0.3~0.45 범위 내의 K_p 값을 가집니다. (K_p는 최소 AC 전압, 90° 위상각, 풀부하 시 피크 값에 따라 분배된 피크 간 전류 값으로 정의됩니다.) K_p가 0.3 이하이면(더욱 연속적) 인덕터 크기가 과도해질 수 있는 반면에 K_p가 더욱 커져 0.45를 초과하면 고주파수 AC 전류가 커져서 권선 AC 저항 손실이 과도해질 수 있습니다. 이는 특히, 대부분의 페라이트 인덕터 설계에 권선 레이어가 3개 이상 필요하기 때문입니다. 코어 포화를 방지하려면 최대 current limit에서 자속 밀도가 3900가우스 미만이어야 합니다.

전류가 낮을수록 더 높은 m 재질이 더 큰 인덕턴스를 일으키는 경향이 있으므로, 센더스트 코어 재질이 사용되는 경우 90m 또는 125m 재질을 사용하는 것이 좋습니다. 따라서 더 낮은 라인 위상각(<45°)에서 피크 간 인덕터 전류가 줄어들어 결국에는 경부하와 더 높은 입력 전압에서 손실이 감소하고 PF가 개선됩니다. 설계 목표는 피크 전류(로우 라인, 풀부하, 90° 라인 위상각)에서 H가 ~60A-t/cm가 되는 것입니다. H가 더 커지면 코어 손실이 과도해지고 이 값보다 낮아지면 AC 동판 손실이 늘어납니다.

고성능 설계의 경우 표피 효과 및 근접 효과로 인한 구리 손실을 줄이기 위해 리츠선(Litz wire)을 사용하는 것이 좋습니다. 토로이드 인덕터의 경우 레이어 수는 3개 미만이어야 하고 보빈 권선 인덕터의 경우 레이어 간 커패시턴스를 최소화하기 위해 레이어 간 절연을 사용해야 합니다.

HiperPFS-4 설계 스프레드시트는 이 프로세스를 간소화하고 페라이트 또는 센더스트에 대한 코어 크기 및 설계를 자동으로 추천합니다.

출력 다이오드

385V 공칭 PFC 출력 전압의 경우 600V 이상 PIV 정격의 다이오드를 사용하는 것이 좋습니다. 하드 스위칭이 포함된 CCM 동작에는 역회복 시간과 역회복 전하가 낮은 다이오드를 사용해야 합니다. HiperPFS-4의 가변 주파수 CCM 동작은 고정 주파수 솔루션과 쉽게 구할 수 있는 고주파 다이오드(예: 파워 인테그레이션스(Power Integrations)의 Qspeed 다이오드 제품군)를 사용하는 것에 비해 다이오드 스위칭 손실을 줄이며, EMI를 줄이는 소프트 리커버리 특성을 갖습니다. 80 PLUS Gold 파워 서플라이와 같은 매우 까다로운 애플리케이션에는 실리콘 카바이드 다이오드의 사용을 고려할 수 있습니다. 이러한 사용은 일반적으로 풍부한 효율을 더욱 향상시킵니다.

선택된 다이오드는 출력 전력 100W당 최소 1.2A~1.5A의 순방향 연속 전류 정격을 가져야 합니다.

출력 커패시터

385V 공칭 PFC 출력 전압의 경우 연속 정격이 450V 이상인 전해 커패시터를 사용하는 것이 좋습니다. 필요한 커패시터는 허용 가능한 출력 리플 레벨과 모든 홀드업 시간 요구 사항에 따라 달라집니다. 아래 공식은 홀드업 시간 요구 사항과 출력 리플 요구 사항을 충족하기 위해 필요한 커패시턴스를 결정하는 쉬운 방법을 제공합니다. 두 값 중에서 더 높은 값을 사용해야 합니다.

홀드업 시간 요구 사항을 충족하는 데 필요한 커패시턴스는 다음 공식을 사용하여 계산됩니다.

$$C_o = \frac{2 \times P_{OUT} \times t_{HOLDUP}}{V_{OUT}^2 - V_{OUT(MIN)}^2}$$

C_o	PFC 출력 커패시턴스(단위: 패럿)
P_o	PFC 출력 전력(단위: W)
t_{HOLDUP}	파워 서플라이에 대한 홀드업 시간 사양(단위: 초)
V_{OUT}	PFC의 가장 낮은 정격 출력 전압(단위: V)
$V_{OUT(MIN)}$	홀드업 시간 종료 시 PFC의 허용 가능한 최소 출력 전압(단위: V)

저주파수 리플 사양을 충족하는 데 필요한 커패시턴스는 다음 공식을 사용하여 계산됩니다.

$$C_o = \frac{I_{O(MAX)}}{2 \times \pi \times f_L \times \Delta V_o \times \eta_{PFC}}$$

f_L	입력 주파수(단위: Hz)
ΔV_o	피크간 출력 전압 리플(단위: V)
η_{PFC}	PFC 동작 효율
$I_{O(MAX)}$	최대 출력 전류(단위: amps)

위 방법을 사용하여 계산된 커패시턴스는 수명 및 오차를 고려하여 적절히 증가해야 합니다.

IC의 파워 서플라이

레귤레이션된 12V 공급이 HiperPFS-4에 사용되어야 합니다. VCC가 15V를 초과하면 HiperPFS-4가 손상될 수 있습니다. HiperPFS-4의 동작에는 대략적으로 $I_{CC(ON)}$ 최대값만 필요로 하기 때문에 대부분의 애플리케이션에서는 NPN 트랜지스터 및 제너 다이오드를 사용하여 만든 직렬 패스 리니어 레귤레이터가 적합합니다.

VCC 서플라이를 디커플링하는 데 1μF 이상의 낮은 ESR 세라믹 커패시터를 사용하는 것이 좋습니다. 이 커패시터는 회로 기판의 IC 핀에 직접 배치해야 합니다.

라인 센싱 네트워크

VOLTAGE MONITOR 핀에 연결된 라인 센싱 네트워크는 HiperPFS-4에 입력 전압 정보를 제공합니다. 이 설계 예제에서는 16MΩ의 값을 선택하여 해당 저항에서 소비 전력을 최소화합니다. 오차가 1% 미만인 저항만 사용하는 것이 좋습니다.

80ms의 시간 상수를 형성하는 470pF의 디커플링 커패시터를 하단 저항과 병렬 상태로, HiperPFS-4의 VOLTAGE MONITOR 핀에서 GROUND 핀으로 연결해야 합니다. 저항 분배기의 임피던스가 그림 13의 예제 회로도에 표시된 것과 다른 경우, 80μs 시간 상수를 유지할 수 있도록 디커플링 커패시터의 값도 변경해야 합니다. 이 커패시터는 회로 기판의 IC 핀에 직접 배치해야 합니다.

피드백 네트워크

최적의 성능을 구현하기 위해서는 정격 출력 전압일 때 FEEDBACK 핀에서 3.85V를 제공하는 저항 분배 네트워크를 사용해야 합니다. 적절한 레귤레이션과 전원 공급을 위해서는 VOLTAGE MONITOR 핀 저항 분배 네트워크에 정비례하여 배율을 조정해야 합니다. HiperPFS-4 컨트롤러는 385VDC의 출력 전압으로 작동하는 데 최적화되어 있습니다. 권장되는 100:1 이외의 FEEDBACK 핀 분배 비율을 필요로 하여 일반 파라미터 값을 벗어나는 전압이 필요한 애플리케이션은 특정 설계에 대한 주요 목표 파라미터에 대한 상충점이 고려되어야 합니다. 예: 역률을 최적화하려면 VOLTAGE MONITOR 핀 분배기 비율을 피드백 분배기와 동일하게 수정해야 합니다. 그러나 이렇게 하면 전력 제한과 브라운인/브라운아웃 기준점(Threshold) 등에 영향을 미칩니다. FEEDBACK 및 VOLTAGE MONITOR 핀 저항 분배기 비율을 정격의 2.5% 이내로 수정해도 성능이 크게 저하되지는 않지만 철저히 검증해야 합니다. 이러한 범위를 초과하여 변경하는 것은 좋지 않습니다. 이러한 유형의 항목화된 관계는 이 데이터 시트의 범위를 벗어납니다.

440V 출력 전압과 100~300VAC 입력 전압을 사용한 설계 예제로 DER-547을 참조하십시오. 277VAC와 같은 더 높은 입력 전압 설계를 다룰 때는 PFC의 출력 전압을 높여 성능을 최적화해야 합니다. **FEEDBACK** 핀 저항 분배기 비율이 더 높은 출력 전압으로 변경되는 경우, **FEEDBACK** 및 **VOLTAGE** 핀 저항 분배기 비율이 매칭되는지 확인해야 합니다. 또한 **VOLTAGE** 핀 저항 분배기 비율 변경의 결과로 브라운인/브라운아웃도 증

가한다는 점에 유의하십시오. 자세한 내용은 DER-547 보고서를 참조하십시오.

파워 MOSFET, 부스트 다이오드 및 모든 설계 선택에 대한 전압 디레이팅 요구 사항은 실험치로 확인되어야 합니다.

권장 회로는 그림 14a와 14b에 나와 있습니다.

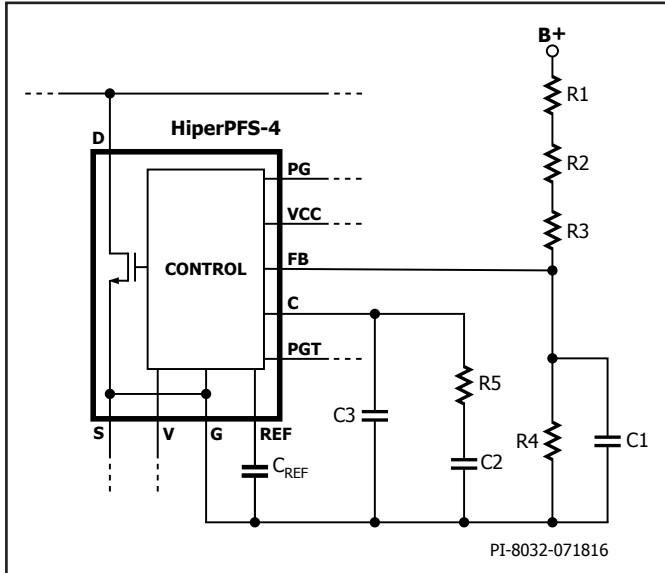


Figure 14a. Recommended Feedback Circuit.

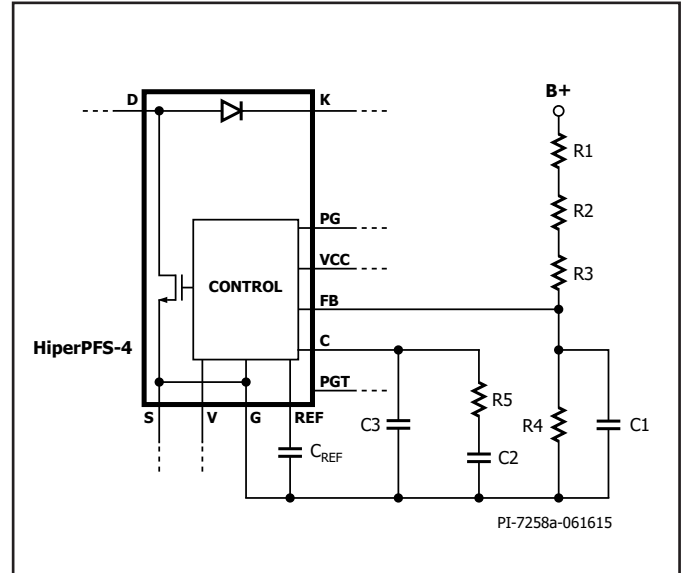


Figure 14b. Recommended Feedback Circuit with Integrated Diode.

저항 R1~R4는 메인 출력 전압 분배기 네트워크를 구성합니다. 저항 R1, R2, R3의 합은 상단 분배 저항이고, 하단 피드백 저항은 R4입니다. 커패시터 C1은 FEEDBACK 핀으로의 커플링으로 인한 모든 스위칭 노이즈를 필터링합니다. 저항 R5, 커패시터 C2, C3은 낮은 크로스오버 주파수와 충분한 위상 마진을 보장하기 위해 루프 응답을 조정하는 데 필요한 루프 보정 네트워크입니다. 권장되는 부품 값은 다음과 같습니다.

R1 = 3.74MΩ
R2 = 6.2MΩ
R3 = 6.2MΩ
R5 = 30.1kΩ
C1 = 470pF
C2 = 1μF
C3 = 100nF

위 부품 값을 사용하면 아래 공식을 사용하여 저항 R4의 값을 계산할 수 있습니다.

$$R_4 = \frac{(R_1 + R_2 + R_3)}{\left(\frac{V_o}{V_{FB(REF)}} - 1\right)}$$

V_o 출력 전압
V_{FB(REF)} FEEDBACK 핀 전압, 3.85V

일부 설계에서는 저항 R5의 값을 조정해야 합니다. 다음 계산에서 산출된 값을 참고할 수 있습니다.

$$R_5 = R_z = \frac{P_o}{0.3 \times V_o^2 \times C_o} (k\Omega)$$

P_o 최대 연속 출력 전력(단위: W)
V_o 정격 PFC 출력 전압(단위: V)
C_o PFC 출력 커패시턴스(단위: 패럿)

히트싱크 및 써멀 설계

그림 15, 16, 17에서는 HiperPFS-4에 권장되는 조립의 예를 보여줍니다. 이 조립에서는 절연 패드가 필요하지 않고, HiperPFS-4는 기계적 클립이나 열 점착제로 히트싱크에 바로 연결할 수 있습니다.

PCB에서, EMI를 줄이고 동작을 최적화하기 위해 히트싱크가 HiperPFS-4 소스 단자에 연결되어야 합니다.

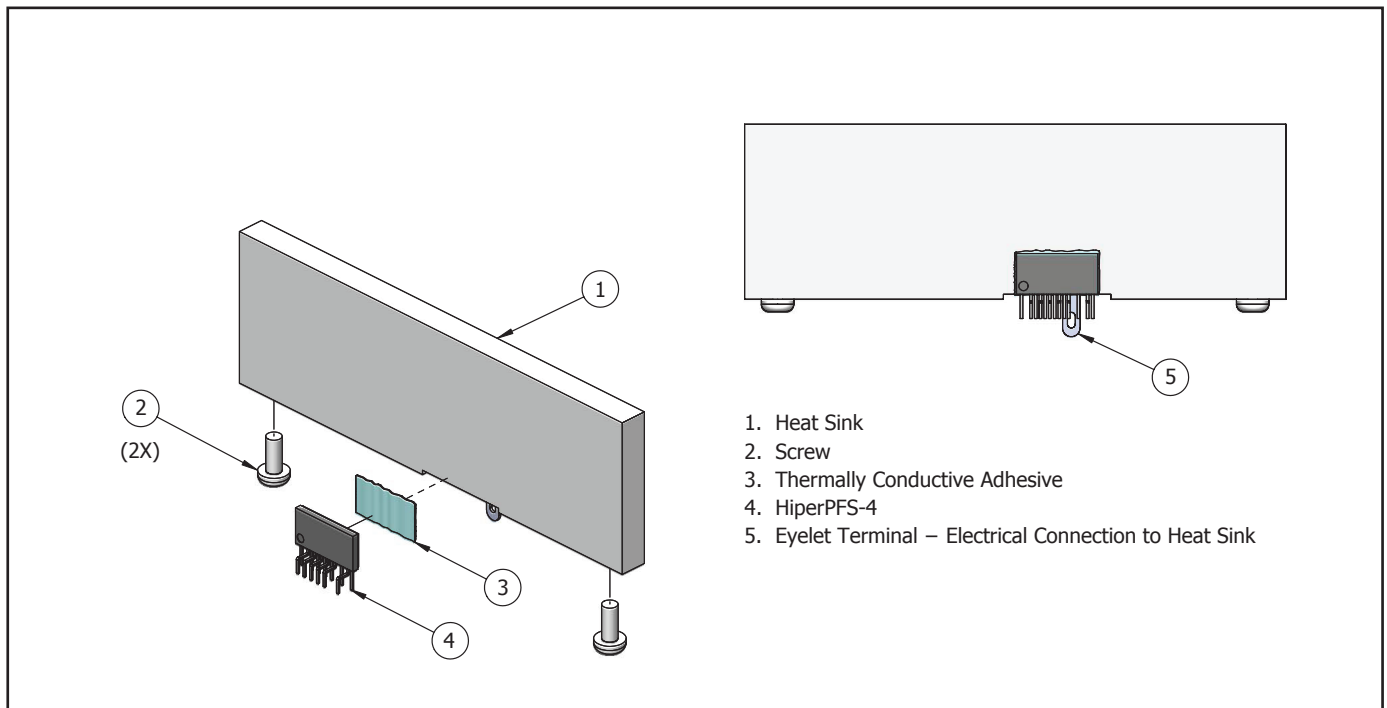


Figure 15. Heat Sink Assembly – using Thermally Conductive Adhesive.

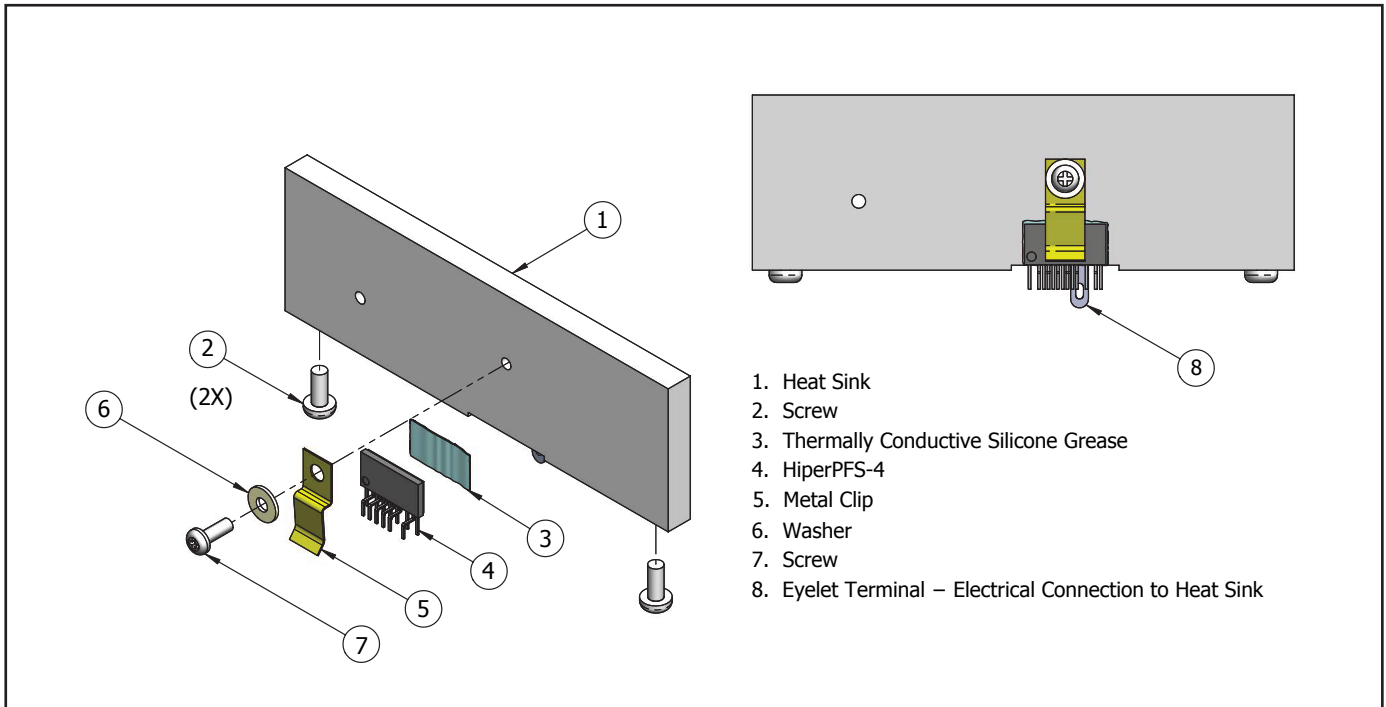


Figure 16. Heat Sink Assembly – with Metal Clip.

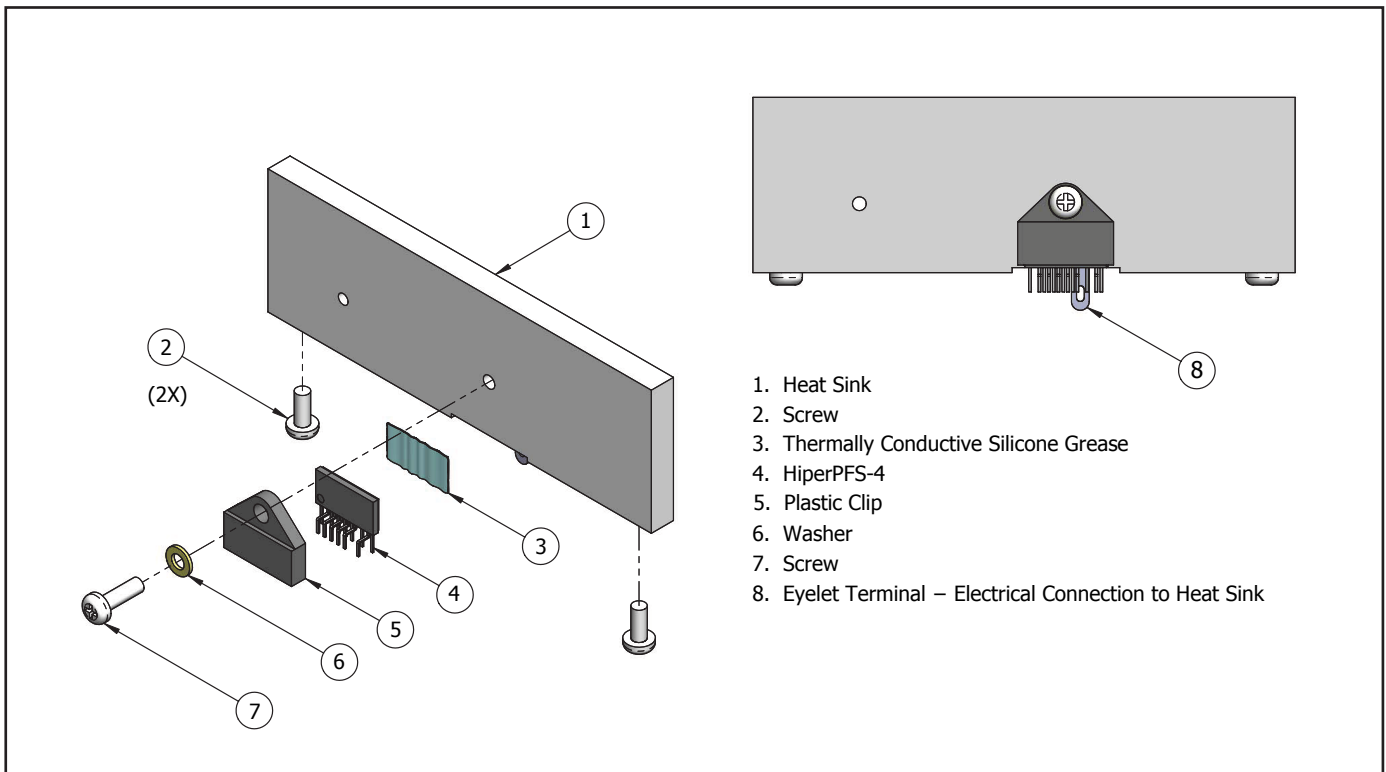


Figure 17. Heat Sink Assembly – with Plastic Clip.

H 패키지용 PCB 설계 지침 및 설계 예제

입력 센싱 네트워크와 피드백 회로에서는 피드백 네트워크와 라인 센싱 네트워크 내 전력 손실을 최소화하기 위해 큰 저항 값을 사용합니다. 간섭을 최소화하기 위해 피드백 회로와 라인 센싱 네트워크 부품을 고전압 및 고전류 노드에서 멀리 떨어진 곳에 배치해야 합니다. 피드백 네트워크 또는 라인 센싱 네트워크에 주입되는 노이즈는 일반적으로 역률을 저하시킵니다. 과도한 노이즈 주입은 파형 불안정성 또는 비대칭성을 초래할 수 있습니다.

EMI 부품은 필터 효과를 향상시키기 위해 함께 모여 있어야 합니다. 회로 기판에서 EMI 필터 부품을 배치할 때는 입력 회로가 PFC 인덕터의 드레인 노드에서 멀리 떨어진 곳에 위치해야 합니다.

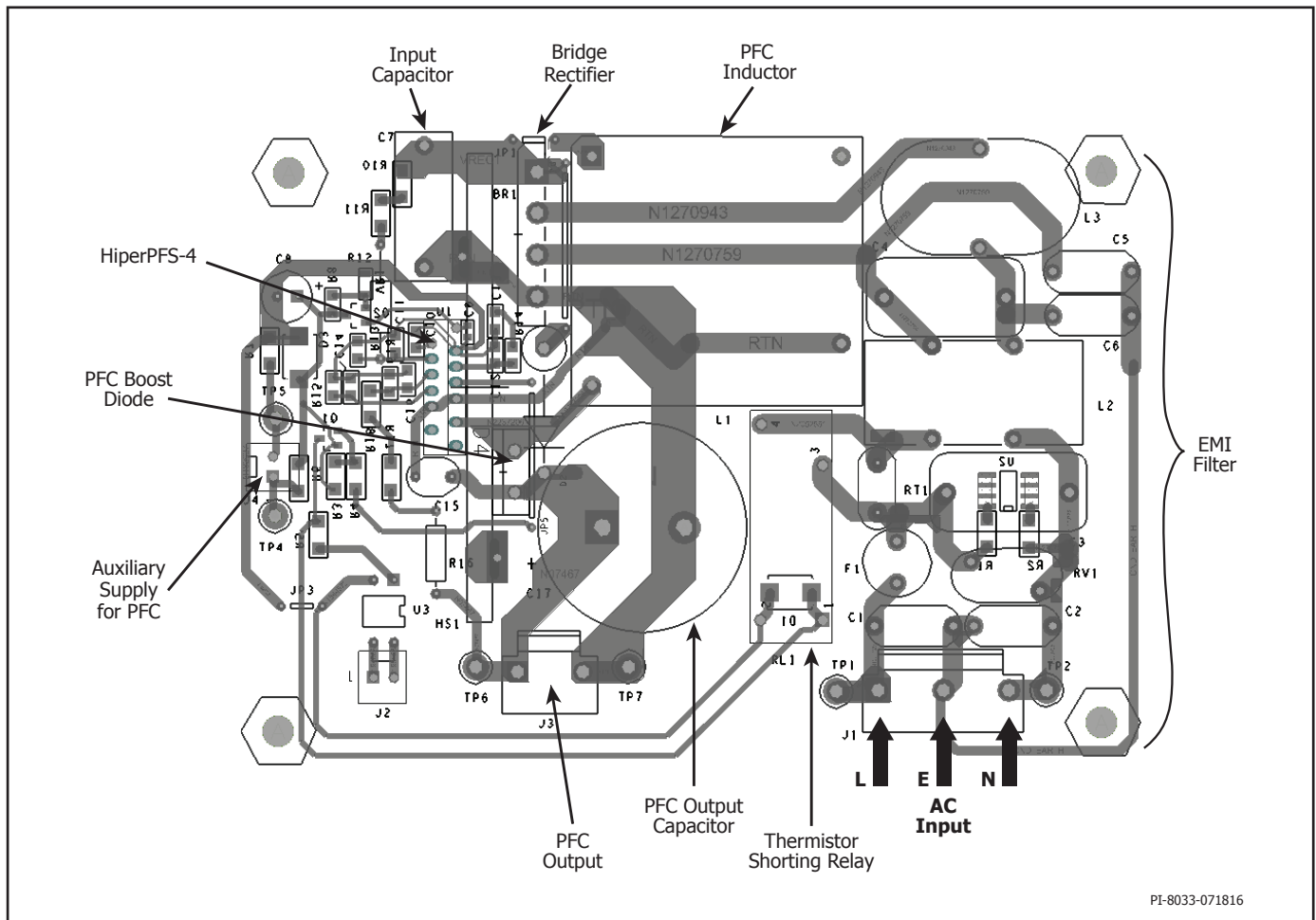
필터 또는 디커플링 커패시터는 브리지 정류 출력에 배치해야 합니다. 이 커패시터는 EMI 필터의 X 커패시터스, EMI 필터 섹션의 디퍼렌셜 인덕터스, 소스 임피던스와 함께 입력 전류의 스위칭 주파수 전류 리플을 감소시키는 필터 역할을 합니다. 또한 스위칭 주파수 전류 루프의 루프 영역을 최소화하여 EMI를 감소시키도록 돕습니다.

HiperPFS-4 드레인 노드, 출력 다이오드 드레인 단자 및 PFC 인덕터 간의 연결은 가능한 한 짧게 유지해야 합니다.

저손실 세라믹 유전체 커패시터는 PFC 출력 다이오드의 캐소드와 HiperPFS-4 IC의 소스 단자 사이에 연결되어야 합니다. 이렇게 하면 MOSFET의 전환 시 루프의 루프 영역에 고주파 전류가 흐르도록 하고, 루프를 통과해 흐르는 다이오드 전류의 고주파 맥동으로 인한 방사 EMI를 줄일 수 있습니다.

기판에 부품을 배치하는 동안에는 다른 부품을 배치하여 연결하기 전에 전압 모니터, 피드백, 레퍼런스 및 바이어스 전력 디커플링 커패시터를 핀에 가능한 가깝게 배치하는 것이 가장 좋습니다. REFERENCE 핀 디커플링 커패시터에는 GROUND 핀으로의 전용 복귀 경로가 있어야 합니다. 그렇지 않으면 서지 및 ESD 테스트 중 노이즈에 대한 내성이 줄어들 수 있습니다. GROUND 핀으로부터의 파워 서플라이 리턴 패턴을 GROUND 핀에 피드백 회로 부품을 연결하는 패턴과 분리해야 합니다.

레귤레이션에 영향을 주는 패턴 임피던스의 효과를 최소화하려면 출력 피드백을 출력 커패시터 플러스(+) 단자에 가깝게 연결해야 합니다. 라인 센싱 저항의 상단부는 브리지 정류기 출력에 연결된 고주파 필터 커패시터에 연결해야 합니다.



PI-8033-071816

Figure 18. PCB Layout Example.

빠른 설계 확인 목록

어떤 파워 서플라이를 설계하든지 **worst-case** 조건에서 부품 사양이 초과되지 않도록 보장하기 위해 모든 **HiperPFS-4** 제품군 설계를 실험을 통해 확인해야 합니다. 이를 위해 다음과 같은 최소한의 테스트는 반드시 수행되어야 합니다.

1. 최대 드레인 전압 – 피크 **VDS**가 최저 입력 전압 및 최대 과부하 출력 전력에서 **600V**를 초과하지 않는지 확인합니다. 출력이 최대 정격 부하 바로 위의 수준으로 과부하되거나 파워 서플라이 출력 전압이 레귤레이션을 벗어나기 직전에 최대 과부하 출력 전력이 발생합니다. 이 전압이 초과되면 추가 외부 스너버를 사용해야 합니다. 대부분의 설계에서는 **PFC** 출력 다이오드 양단에 **33pF~100pF**의 세라믹 커패시터를 추가하면 최대 드레인 소스 전압이 **BV_{DSS}** 정격 미만으로 줄어듭니다. **MOSFET**의 드레인 소스 전압을 측정할 때는 고전압 프로브를 사용해야 합니다. 프로브 팁을 제거하면 프로브 팁 주위에 은색 링을 볼 수 있습니다. 이 링은 그라운드 전위에 있으며 노이즈 없는 측정을 위한 최고의 그라운드 연결점입니다. 팽팽한 전선으로 그라운드 링을 감은 다음 전선 길이가 가능한 짧은 회로에 해당 그라운드 전선을 연결하고, 프로브 끝을 측정 대상 지점에 연결하면 어려 없이 측정할 수 있습니다. 프로브는 제조업체의 지침을 따라 보정하여 어려없는 측정을 하도록 합니다.
2. 최대 드레인 전류 – 드레인 전류는 인덕터 전류를 모니터링하여 간접적으로 측정할 수 있습니다. 전류 프로브는 브리지 정류기와 인덕터 연결 사이에 삽입해야 합니다. 최대 주변 온도, 최소 입력 전압, 최대 출력 부하에서 스타트업 시 드레인 전류 파형을 확인하여 인덕터 포화 징후가 있는지 확인합니다. 센더스트 인덕터를 사용하여 이 측정을 수행하는 경우, 투자율 강화로 인해 전류가 기하급수적으로 증가하는 인덕터 파형이 나타나는 것이 일반적입니다. 이를 과대 포화(**hard saturation**)와 혼동하면 안 됩니다.
3. 써멀 검사 – 최대 출력 전력, 최소 입력 전압, 최대 주위 온도에서 **HiperPFS-4**, **PFC** 인덕터, 출력 다이오드, 출력 커패시터의 온도가 사양을 초과하지 않는지 확인합니다. 데이터 시트에 규정되어 있듯이 **HiperPFS-4**의 **R_{DS(ON)}**이 제품마다 오차가 있기 때문에 온도 마진이 충분히 확보되어야 합니다. 이러한 변동에는 **100 °C**의 최대 패키지 온도가 적합합니다.
4. 입력 **PF**가 부하에 따라 개선되어야 합니다. 부하에 따라 성능이 점진적으로 저하되는 경우 이는 **VOLTAGE MONITOR** 핀 회로 또는 피드백 분배기 네트워크 및 보상 회로에 노이즈가 유입되었을 가능성이 있다는 신호입니다.

최대 정격 절대값^{1,2}

DRAIN 핀 피크 전류:	PFS7623/PFS7633H/L 7.5A	V _I , PGT, FB, C, REF 핀 전압 -0.3V~5.6V
	PFS7624/PFS7634H/L 9.0A	보관 온도 -65°C~150°C
	PFS7625/PFS7635H/L 11.3A	정선 온도 ⁴ -40°C~150°C
	PFS7626/PFS7636H/L 13.5A	리드 온도 ⁵ 260°C
	PFS7627H/L 15.8A	
	PFS7628H/L 18.0A	참고:
	PFS7629H/L 21.0A	1. 모든 전압은 SOURCE를 기준으로 합니다, T _A = 25°C
	PFS7623C 7.5 A	2. 지정된 최대 정격은 제품에 영구적인 손상을 초래하지 않는 한도 내에서 일회적으로 측정된 결과입니다. 지정된 시간보다 오랫동안 최대 정격 절대값 조건에 노출하면 제품 신뢰성에 영향을 미칠 수 있습니다.
	PFS7624C 9.0 A	3. VCC의 최대 정격 절대값은 17.5V입니다. 이 값은 초과해서는 안 되는 최대 절대값 조건입니다. 최대 동작 전압(15V)과 이 최대 정격 절대값 사이의 전압은 발생 빈도가 낮고, 지속 기간이 짧아야 합니다(예: 스타트업 또는 일시적인 고장 상태). 이러한 조건이 최대 정격 절대값까지 제품 신뢰성을 보장하는 것은 아니지만, 인가 전압이 이 수준을 넘으면 제품에 즉각 손상을 일으킬 가능성이 있음을 나타내는 지침으로 사용됩니다.
	PFS7626C 13.5 A	4. 일반적으로 내부 회로에 의해 제한됩니다. 컨트롤러 T _{J(C)} 및 MOSFET T _{J(M)} 에 적용됩니다.
	PFS7628C 18.0 A	5. 케이스에서 1/16인치 거리를 두고 5초 동안 측정합니다.
	PFS7723 7.5A	
	PFS7724 9.0 A	
	PFS7725 11.3A	
	PFS7726 13.5A	
	PFS7727 15.8A	
	PFS7728 18.0A	
	PFS7729 21.0A	
DRAIN 핀 전압	 -0.3V~600V	
VCC ³ 핀 전압	 -0.3V~17.5V	
PG	 -0.3V~17.5V	
PG 핀 전류	 10 mA	

Qspeed 다이오드

		PFS7723-7729
피크 반복 역 전압(VRRM)		600 V
평균 순방향 전류 IF(AV)	T _{J(D)} = 150°C	3 A
피크 비반복 서지 전류(IFSM)	60Hz, 1/2 사이클	23 A
피크 비반복 서지 전류(IFSM)	t의 1/2 사이클 = 28μs 사인파, T _C = 25°C	350 A

서열 저항

열 저항: H/L 패키지:

(θ _{JA}) ¹	103°C/W
(θ _{JC})	(그림 19 참조)
C 패키지:	
(θ _{JA}) ²	63°C/W
(θ _{JC})	(그림 20 참조)

참고:

1. 정체대기에서 히트싱크 없이 측정.
2. 1.0평방인치 PCB 히트싱크와 함께 측정.

Parameter	Symbol	Conditions SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)	Pin	Min	Typ	Max	Units
Currents							
Undervoltage Current Consumption After Power-Up of Core and Zeners	I _{CC(UVLO)}	V _{CC} < UVLO+(min) V = 1 V, C = 0 V, FB = 3.85 V 0 °C < T _{J(C)} < 100 °C	VCC		140		μA
Standby Current Consumption – No Switching Prior to Brown-In	I _{CC(STBY)}	V = 1 V, C = 0 V, FB = 3.85 V 0 °C < T _{J(C)} < 100 °C	VCC		320		μA
Current Consumption – in Burst Mode, No Switching	I _{CC(BURST)}	FB = 3.85 V, C < V _{ERR_MIN} V = 1.414 V 0 °C < T _{J(C)} < 100 °C	VCC		395	470	μA

Parameter	Symbol	Conditions SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)	Min	Typ	Max	Units	
Currents (cont.)							
Operating Current	I _{CC(ON)}	No-load on REF Switching at F _{MIN} (T _{OFF} = T _{OFF(MIN)} T _{ON} = T _{ON(MAX)}) 0 °C < T _{J(C)} < 100 °C	PFS7x23 / PFS7633	0.64	0.75	0.90	mA
			PFS7624 / PFS7634	0.69	0.82	0.97	
			PFS7625 / PFS7635	0.74	0.88	1.05	
			PFS7626 / PFS7636	0.79	0.93	1.12	
			PFS7627	0.85	1.00	1.20	
			PFS7628	0.91	1.07	1.28	
			PFS7629	0.98	1.15	1.38	
Leakage Current in UVLO State	I _{oz}	0 < Pin Voltage < REF 0 °C < T _{J(C)} < 100 °C	V, FB, C, PGT		±10		nA
		V _{PG} = 12 V	PG		±0.1		μA
Pull-Down Current on Feedback	I _{FB(PD)}	Not Active When VCC < UVLO+ 0 °C < T _{J(C)} < 100 °C	FB		100		nA
Pull-Down Current on Voltage	I _{V(PD)}	Not Active When VCC < UVLO+ 0 °C < T _{J(C)} < 100 °C	V		100		nA
On-Time Controller							
Maximum Operating “On”-Time	t _{ON(MAX)}	0 °C < T _{J(C)} < 100 °C	29	34	40	μs	
Off-Time Controller							
Maximum Operating “Off”-Time	t _{OFF(MAX)}	0 °C < T _{J(C)} < 100 °C	36	43	48	μs	
Off-Time Accuracy	t _{OFF(ACCURACY)}	0 °C < T _{J(C)} < 100 °C V = 1.414 V FB = 3.85 V C > = 4 V		±4.0		%	
Feedback							
Feedback Voltage Reference	V _{FB(REF)}	T _{J(C)} = 25 °C	3.82	3.85	3.88	V	
		0 °C < T _{J(C)} < 100 °C	3.75	3.85	3.95		
Feedback Error-Amplifier Transconductance Gain	G _M	3.75 V < V _{FB} < 3.95 V V _C = 4 V 0 °C < T _{J(C)} < 100 °C	75	90	105	μA/V	
Soft Shutdown Time	t _{SHUTDWN}	See Note A	0.86	1.00	1.16	ms	
FEEDBACK Pin Start-Up/Fault Threshold	V _{FB(OFF)}	0 °C < T _{J(C)} < 100 °C	0.57	0.64	0.71	V	
FEEDBACK Pin Undervoltage Assertion Threshold	V _{FB(UV)}	0 °C < T _{J(C)} < 100 °C	2.09	2.25	2.36	V	

Parameter	Symbol	Conditions SOURCE = 0 V; $V_{CC} = 12$ V, $-40\text{ }^{\circ}\text{C} < T_{J(C)} < 125\text{ }^{\circ}\text{C}$ (Note C) (Unless Otherwise Specified)	Min	Typ	Max	Units
Feedback (cont.)						
FEEDBACK Pin Overvoltage Assertion Threshold	$V_{FB(OV+)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	4.00	4.10	4.20	V
FEEDBACK Pin Overvoltage Assertion Relative Threshold	$V_{FB(OV+REL_FB)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	$V_{FB(REF)} + 0.19$	$V_{FB(REF)} + 0.245$	$V_{FB(REF)} + 0.30$	
FEEDBACK Pin Overvoltage Deassertion Threshold	$V_{FB(OV-)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	3.90	4.00	4.10	V
FEEDBACK Pin Overvoltage Deassertion Relative Threshold	$V_{FB(OV-REL_FB)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	$V_{FB(REF)} + 0.11$	$V_{FB(REF)} + 0.16$	$V_{FB(REF)} + 0.21$	
FEEDBACK Pin Overvoltage Hysteresis	$V_{FB(OVHYST)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	0.070	0.085	0.115	V
COMPENSATION Pin PF Enhancer Disable Threshold	$V_{LOW(LOAD+)}$	See Note A		1.1		V
COMPENSATION Pin PF Enhancer Enable Threshold	$V_{LOW(LOAD-)}$	See Note A		1.0		V
COMPENSATION Pin PF Enhancer Threshold Hysteresis	$V_{LOW(LOAD_HYST)}$	See Note A		0.1		V
COMPENSATION Pin Burst Disable Threshold	$V_{ERR(MIN+)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$		0.19		V
COMPENSATION pin Burst Enable Threshold	$V_{ERR(MIN-)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$		0.1		V
COMPENSATION Pin Burst Threshold Hysteresis	$V_{ERR(HYST)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$		0.09		V
Line-Sense/Peak Detector						
Line-Sense Input Voltage Range	$V_{V(RANGE)}$	See Note A	0		4	V
Brown-In Threshold Voltage	V_{BR+}	Universal Input Devices (PFS7x23-PFS7629) $0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	1.08	1.12	1.16	V
		High-Line Only Input Devices (PFS7633-PFS7636) $0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	2.30	2.35	2.42	

Parameter	Symbol	Conditions SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)	Min	Typ	Max	Units	
Line-Sense/Peak Detector (cont.)							
Brown-Out Threshold Voltage	V _{BR-}	Universal Input Devices (PFS7x23-PFS7629) 0 °C < T _{J(C)} < 100 °C	0.93	0.97	1.02	V	
		High-Line Only Input Devices (PFS7633-PFS7636) 0 °C < T _{J(C)} < 100 °C	2.15	2.21	2.27		
Brown-In/Out Hysteresis (After NTC Warm-Up Time)	V _{BR(HYS)}	0 °C < T _{J(C)} < 100 °C	0.13	0.145	0.160	V	
Brown-Out Threshold for High Duty Cycle Square Wave	V _{BR(SQ)}	Universal Input Devices (PFS7x23-PFS7629)		0.86		V	
		High-Line Only Input Devices (PFS7633-PFS7636) 0 °C < T _{J(C)} < 100 °C		1.93			
Start-Up Brown-Out Threshold Voltage (During NTC Warm-Up Time)	V _{BR(NTC)}	Universal Input Devices (PFS7x23-PFS7629)		0.74		V	
		High-Line Only Input Devices (PFS7633-PFS7636)		1.57			
Brown-Out NTC Debounce Timer	t _{BRWNOUT(NTC)}	See Note A	875	1000	1160	ms	
Brown-Out Debounce Timer	t _{BRWNOUT}	See Note A	43	54	66	ms	
Start-Up Timer for Using Lower Brown-Out Threshold (V _{BR-NTC})	t _{STARTUP}	See Note A	875	1000	1160	ms	
VOLTAGE Pin High-Line Assertion Threshold	V _{V(HIGH+)}	See Note A		2.42		V	
VOLTAGE Pin High-Line Deassertion Threshold	V _{V(HIGH-)}	See Note A		2.00		V	
VOLTAGE Pin Minimum Asserted Peak Value	V _{PK(MIN)}	See Note A		0.71		V	
Current Limit/Circuit Protection							
Over-Current Protection	I _{OCP}	PFS7623C di/dt = 250 mA/μs T _{J(C)} = 25 °C	V _v < 2 V	3.8	4.1	4.3	A
			V _v > 2.42 V	2.6	2.8	3.0	
		PFS7624C di/dt = 300 mA/μs T _{J(C)} = 25 °C	V _v < 2 V	4.5	4.8	5.1	
			V _v > 2.42 V	3.0	3.3	3.5	
		PFS7626C di/dt = 500 mA/μs T _{J(C)} = 25 °C	V _v < 2 V	6.8	7.2	7.5	
			V _v > 2.42 V	4.6	4.9	5.25	
		PFS7628C di/dt = 250 mA/μs T _{J(C)} = 25 °C		3.15	3.33	3.47	

Parameter	Symbol	Conditions SOURCE = 0 V; $V_{CC} = 12$ V, $-40\text{ }^{\circ}\text{C} < T_{J(C)} < 125\text{ }^{\circ}\text{C}$ (Note C) (Unless Otherwise Specified)	Min	Typ	Max	Units
Current Limit/Circuit Protection (cont.)						
Over-Current Protection	I_{OCP}	PFS7x23H/L $di/dt = 250\text{ mA}/\mu\text{s}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$	$V_V < 2\text{ V}$	3.8	4.1	4.3
			$V_V > 2.42\text{ V}$	2.6	2.8	3.0
		PFS7x24H/L $di/dt = 300\text{ mA}/\mu\text{s}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$	$V_V < 2\text{ V}$	4.5	4.8	5.1
			$V_V > 2.42\text{ V}$	3.0	3.3	3.5
		PFS7x25H/L $di/dt = 400\text{ mA}/\mu\text{s}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$	$V_V < 2\text{ V}$	5.5	5.9	6.2
			$V_V > 2.42\text{ V}$	3.6	4.0	4.4
		PFS7x26H $di/dt = 500\text{ mA}/\mu\text{s}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$	$V_V < 2\text{ V}$	6.8	7.2	7.5
			$V_V > 2.42\text{ V}$	4.6	4.9	5.25
		PFS7x27H $di/dt = 650\text{ mA}/\mu\text{s}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$	$V_V < 2\text{ V}$	8.0	8.4	8.8
			$V_V > 2.42\text{ V}$	5.35	5.8	6.2
		PFS7x28H $di/dt = 800\text{ mA}/\mu\text{s}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$	$V_V < 2\text{ V}$	9.0	9.5	9.9
			$V_V > 2.42\text{ V}$	6.0	6.5	7.1
		PFS7x29H $di/dt = 920\text{ mA}/\mu\text{s}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$	$V_V < 2\text{ V}$	10	10.5	11
			$V_V > 2.42\text{ V}$	6.7	7.2	7.7
		PFS7633H $di/dt = 250\text{ mA}/\mu\text{s}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$		3.8	4.1	4.3
		PFS7634H $di/dt = 300\text{ mA}/\mu\text{s}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$		4.5	4.8	5.1
Normalized Frequency at Power Limit	F_{LIM}	$C_{REF} = 1.0\text{ }\mu\text{F}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$		± 7		%
		$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$		± 10		
SOA Protection Fixed Off-Time	$t_{OFF(SOA)}$	$T_{J(C)} = 25\text{ }^{\circ}\text{C}$	200	250	300	μs
Leading Edge Blanking (LEB) Time Period	t_{LEB}	$T_{J(C)} = 25\text{ }^{\circ}\text{C}$ See Note A		220		ns
Minimum On-Time in IOCP	$t_{ON_OCP(MIN)}$	$T_{J(C)} = 25\text{ }^{\circ}\text{C}$		400		ns
VCC Auxiliary Power Supply						
VCC Operating Range	VCC		UVLO+	12	15	V
Start-Up VCC (Rising Edge)	$VCC_{UV(LO+)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	9.6	9.85	10.1	V

Parameter	Symbol	Conditions SOURCE = 0 V; $V_{CC} = 12$ V, $-40\text{ }^{\circ}\text{C} < T_{J(C)} < 125\text{ }^{\circ}\text{C}$ (Note C) (Unless Otherwise Specified)	Min	Typ	Max	Units
VCC Auxiliary Power Supply (cont.)						
Shutdown VCC (Falling Edge)	$V_{CC(UVLO-)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	9.05	9.3	9.55	V
VCC Hysteresis	$V_{CC(HYS)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	0.50	0.57	0.65	V
UVLO Shutdown Delay Timer	t_{UVLO-}	See Note A		500		ns
Time From VCC > VCC_{UVLO+} Until Device Commences Switching	t_{RESET}	$V > V_{BR+}$ See Note A		60	75	ms
Series Regulator						
REFERENCE Pin Voltage	V_{REF}	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	4.95	5.25	5.50	V
REFERENCE Pin Required Capacitance	C_{REF}	Full Power Mode	0.8	1.0		μF
		Efficiency Mode	0.08	0.1	0.2	
REFERENCE Pin UVLO Rising Edge	REF_{UV+}	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$ See Note A			5.0	V
REFERENCE Pin UVLO Falling Edge	REF_{UV-}	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$ See Note A	4.4			V
Power Good						
Power Good Deassertion Threshold Output Reference Current	$I_{PG(T)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$; $V_{PGT} = 3.0$ V	-10.65	-10	-9.35	μA
Power Good Delay Time (From FB > V_{PG+} to PG < 1 V)	t_{PG}	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$; PG = 20 k Ω Pull-Up to VCC, See Note A		<15		μs
Power Good Deglitch Time	$t_{PG(D)}$	See Note A	57	81	108	μs
Power Good Internal Assertion Threshold	$V_{PG(+)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	3.55	3.65	3.75	V
Power Good Relative Threshold	$V_{PG+REL(FB)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	V_{FBREF} -0.24	V_{FBREF} -0.20	V_{FBREF} -0.16	
Power Good Deassertion Threshold	$V_{PG(-)}$	$V(PGT) = 3$ V $0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	2.94	$V(PGT)$ ± 30 mV	3.06	V
POWER GOOD Pin Leakage Current in Off-State	$IOZH_{PG}$	$FB < V_{PG(-)}$ $0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$			500	nA
POWER GOOD Pin On-State Voltage	VOL_{PG}	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$ $I_{PG} = 2.0$ mA; FB = 3.85 V			2	V
Thermal Protection (OTP)4						
Controller Junction Temperature ($T_{J(C)}$) for Shutdown	T_{OTP+}	See Note A		117		$^{\circ}\text{C}$
Controller Junction Temperature ($T_{J(C)}$) for Restart	T_{OTP-}	See Note A		81		$^{\circ}\text{C}$
Over-Temperature Hysteresis	$T_{OTP(HYST)}$	$V > V_{BR+}$ See Note A		36		$^{\circ}\text{C}$

Parameter	Symbol	Conditions SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)			Min	Typ	Max	Units
VTS MOSFET								
On-State Resistance	R _{DS(ON)}	I _D = 0.5 × I _{OCP}	PFS7x23 PFS7633	T _{J(M)} = 25 °C		0.61	0.74	Ω
				T _{J(M)} =100 °C			1.06	
			PFS7x24 PFS7634	T _{J(M)} = 25 °C		0.51	0.61	
				T _{J(M)} = 100 °C			0.88	
			PFS7x25 PFS7635	T _{J(M)} = 25 °C		0.41	0.50	
				T _{J(M)} = 100 °C			0.75	
			PFS7x26 PFS7636	T _{J(M)} = 25 °C		0.34	0.40	
				T _{J(M)} = 100 °C			0.58	
			PFS7x27	T _{J(M)} = 25 °C		0.30	0.35	
				T _{J(M)} = 100 °C			0.53	
			PFS7x28	T _{J(M)} = 25 °C		0.26	0.31	
				T _{J(M)} = 100 °C			0.46	
			PFS7x29	T _{J(M)} = 25 °C		0.22	0.26	
				T _{J(M)} = 100 °C			0.38	
Effective Output Capacitance	C _{OSS}	T _{J(M)} = 25 °C V _{GS} = 0 V, V _{DS} = 0 to 80% BV _{DSS} See Note A	PFS7x23 / PFS7633				135	pF
			PFS7x24 / PFS7634				165	
			PFS7x25 / PFS7635				200	
			PFS7x26 / PFS7636				240	
			PFS7x27				280	
			PFS7x28				320	
			PFS7x29				370	
Breakdown Voltage	BV _{DSS}	T _{J(M)} = 25 °C, VCC = 12 V I _D = 250 μA, V _{FB} = V _V = 0 V			600			V
Breakdown Voltage Temperature Coefficient	BV _{DSS(TC)}	See Note A				0.072		%/°C

Parameter	Symbol	Conditions SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)			Min	Typ	Max	Units
VTS MOSFET (cont.)								
Off-State Drain Current Leakage	I _{DSS}	V _{DS} = 90% BV _{DSS} VCC = 12 V V _{FB} = V _V = V _C = 0	PFS7x23 PFS7633	T _{J(M)} =100 °C			80	μA
			PFS7x24 PFS7634	T _{J(M)} =100 °C			100	
			PFS7x25 PFS7635	T _{J(M)} =100 °C			120	
			PFS7x26 PFS7636	T _{J(M)} =100 °C			150	
			PFS7x27	T _{J(M)} =100 °C			170	
			PFS7x28	T _{J(M)} =100 °C			200	
			PFS7x29	T _{J(M)} =100 °C			235	
Turn-Off Voltage Rise Time	t _R	See Notes A, B, C				50		ns
Turn-On Voltage Fall Time	t _F	See Notes A, B, C				100		ns

Parameter	Symbol	Conditions	Min	Typ	Max	Units
Qspeed Diode (3A) PFS7723-7729						
DC Characteristics						
Reverse Current	I_R	$V_R = 600\text{ V}$	$T_{J(D)} = 25\text{ °C}$	-	500	μA
			$T_{J(D)} = 100\text{ °C}$	0.25	-	mA
Forward Voltage	V_F	$I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ °C}$	2.5	3.1	V
			$T_{J(D)} = 100\text{ °C}$	2.1	-	
Junction Capacitance	C_J	$V_R = 10\text{ V}$, 1 MHz See Note A		12	-	pF
Dynamic Characteristics (Note: See Figures 19, 20 for dynamic characteristic definition)						
Reverse Recovery Time	t_{RR}	$di/dt = 200\text{ A}/\mu\text{s}$, $V_R = 400\text{ V}$ $I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ °C}$	20	-	ns
			$T_{J(D)} = 100\text{ °C}$ See Note D	27	-	
Reverse Recovery Charge	Q_{RR}	$di/dt = 200\text{ A}/\mu\text{s}$, $V_R = 400\text{ V}$ $I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ °C}$	21	30	nC
			$T_{J(D)} = 100\text{ °C}$ See Note D	43	-	
Maximum Reverse Recovery Current	I_{RRM}	$di/dt = 200\text{ A}/\mu\text{s}$, $V_R = 400\text{ V}$ $I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ °C}$	1.65	23	A
			$T_{J(D)} = 100\text{ °C}$ See Note D	2.3	-	
Softness Factor = t_B/t_A	S	$di/dt = 200\text{ A}/\mu\text{s}$, $V_R = 400\text{ V}$ $I_F = 3\text{ A}$ See Note A	$T_{J(D)} = 25\text{ °C}$	0.9	-	
			$T_{J(D)} = 100\text{ °C}$	0.9	-	

NOTES:

- A. Not tested parameter. Guaranteed by design.
 B. Tested in typical Boost PFC application circuit.
 C. Normally limited by internal circuitry.
 D. Based on device characterization.

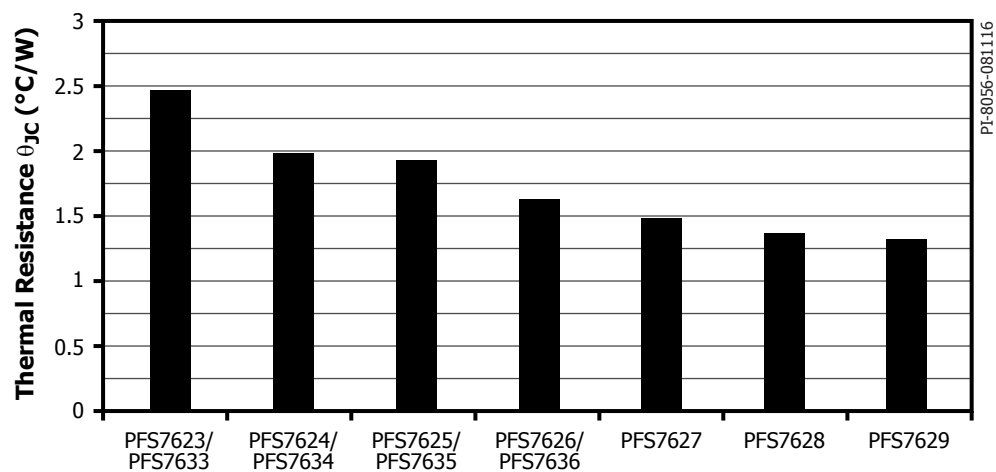


Figure 19. Thermal Resistance eSIP-16D / eSIP-16G Package (θ_{JC}) (H/L Package).

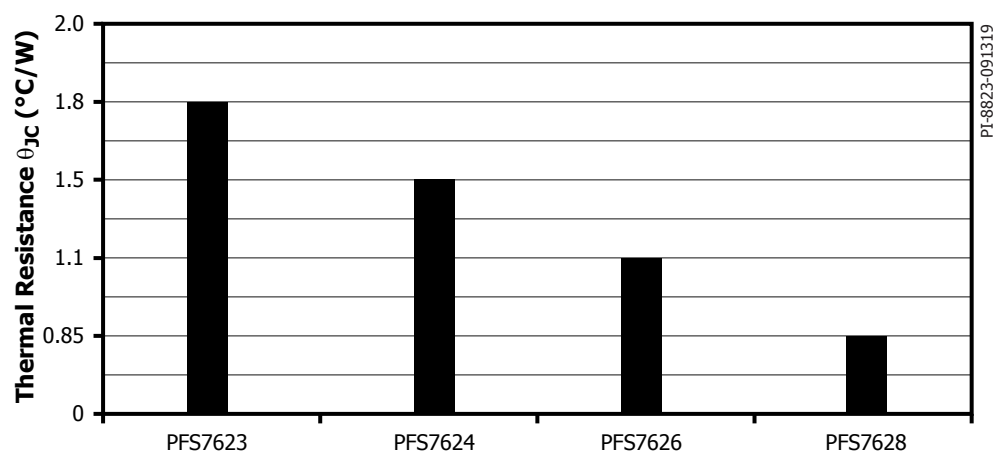


Figure 20. Thermal Resistance InSOP-24B (C Package).

Typical Performance Characteristics

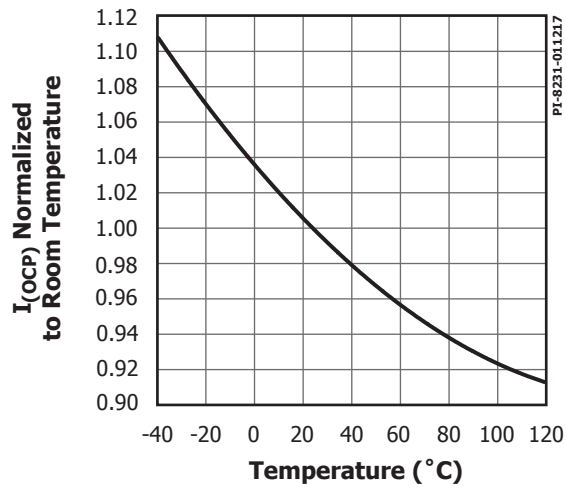


Figure 21. I_{OCP} vs. Temperature.

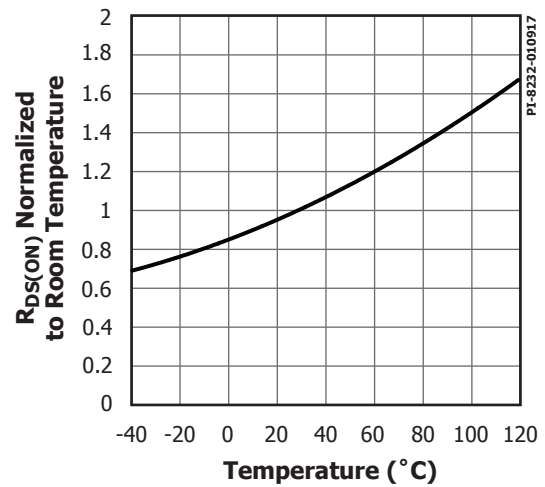


Figure 22. $R_{DS(ON)}$ vs. Temperature.

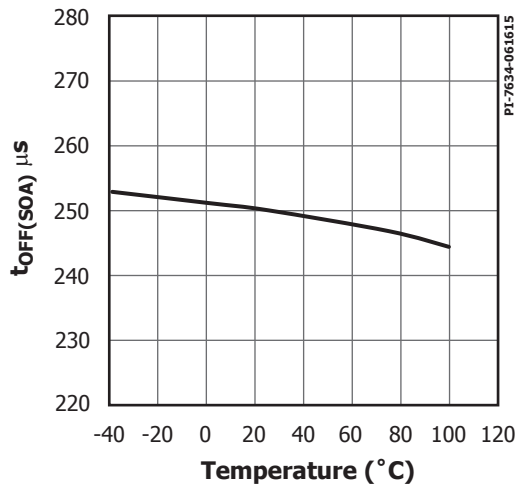


Figure 23. $t_{OFF(SOA)}$ vs. Temperature.

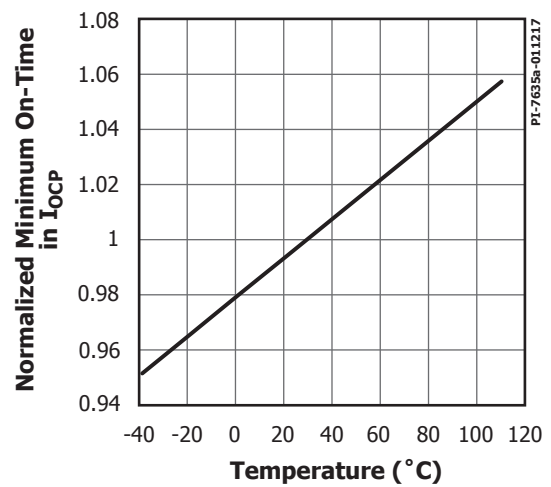


Figure 24. Normalized On-Time in IOCP vs. Temperature.

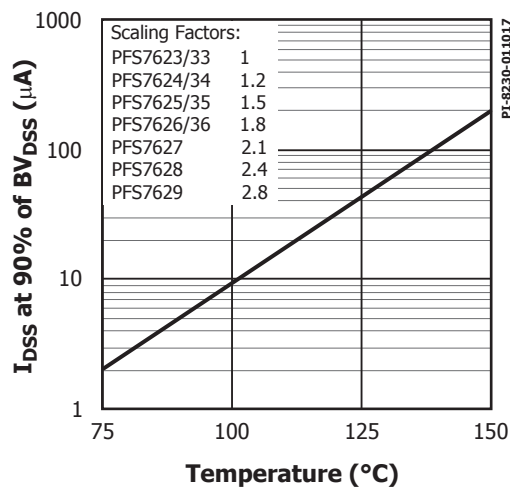


Figure 25. Typical Temperature Dependence of I_{DSS} at 90% of BV_{DS} .

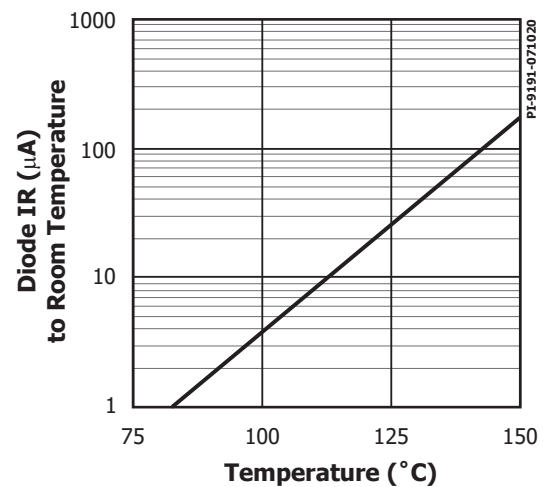
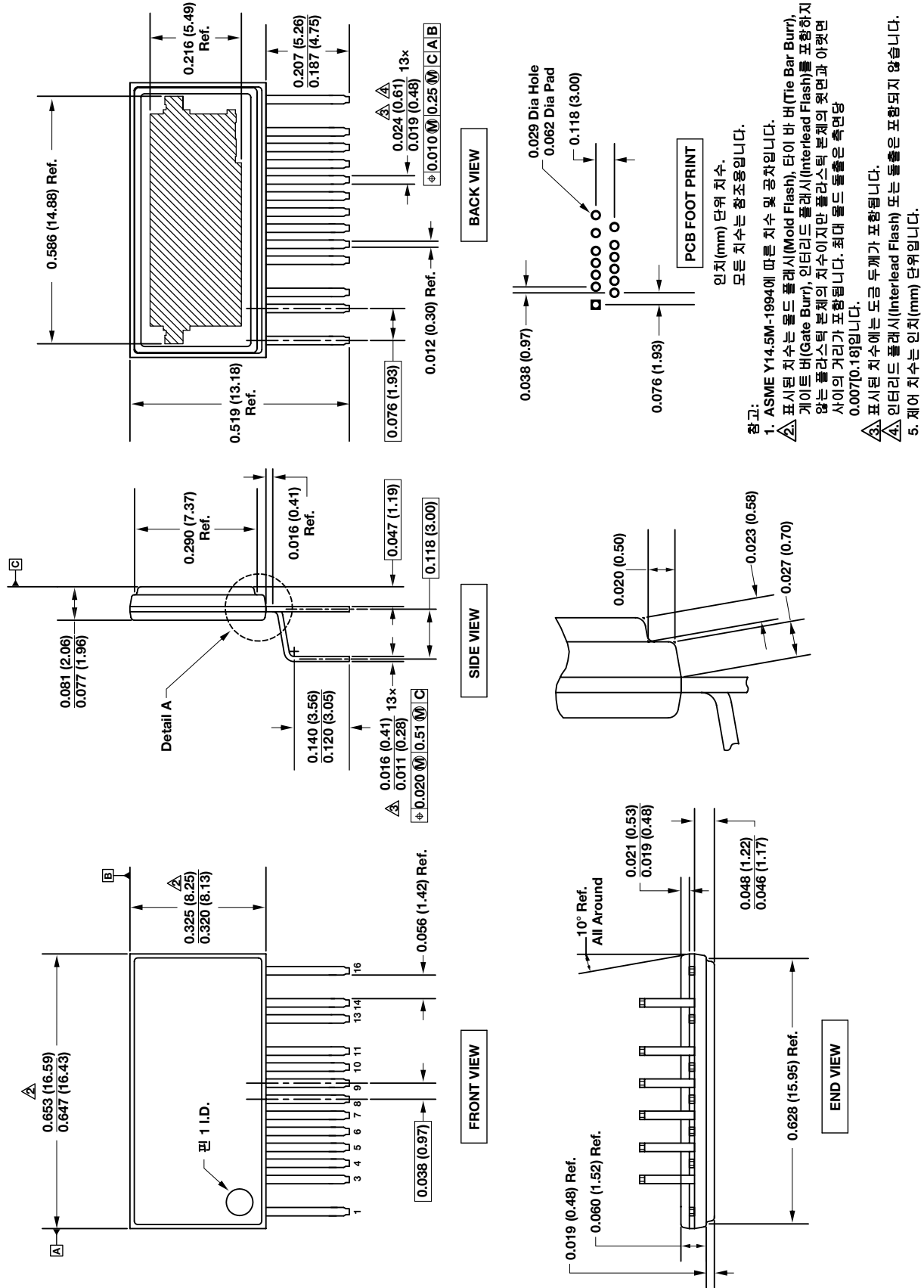


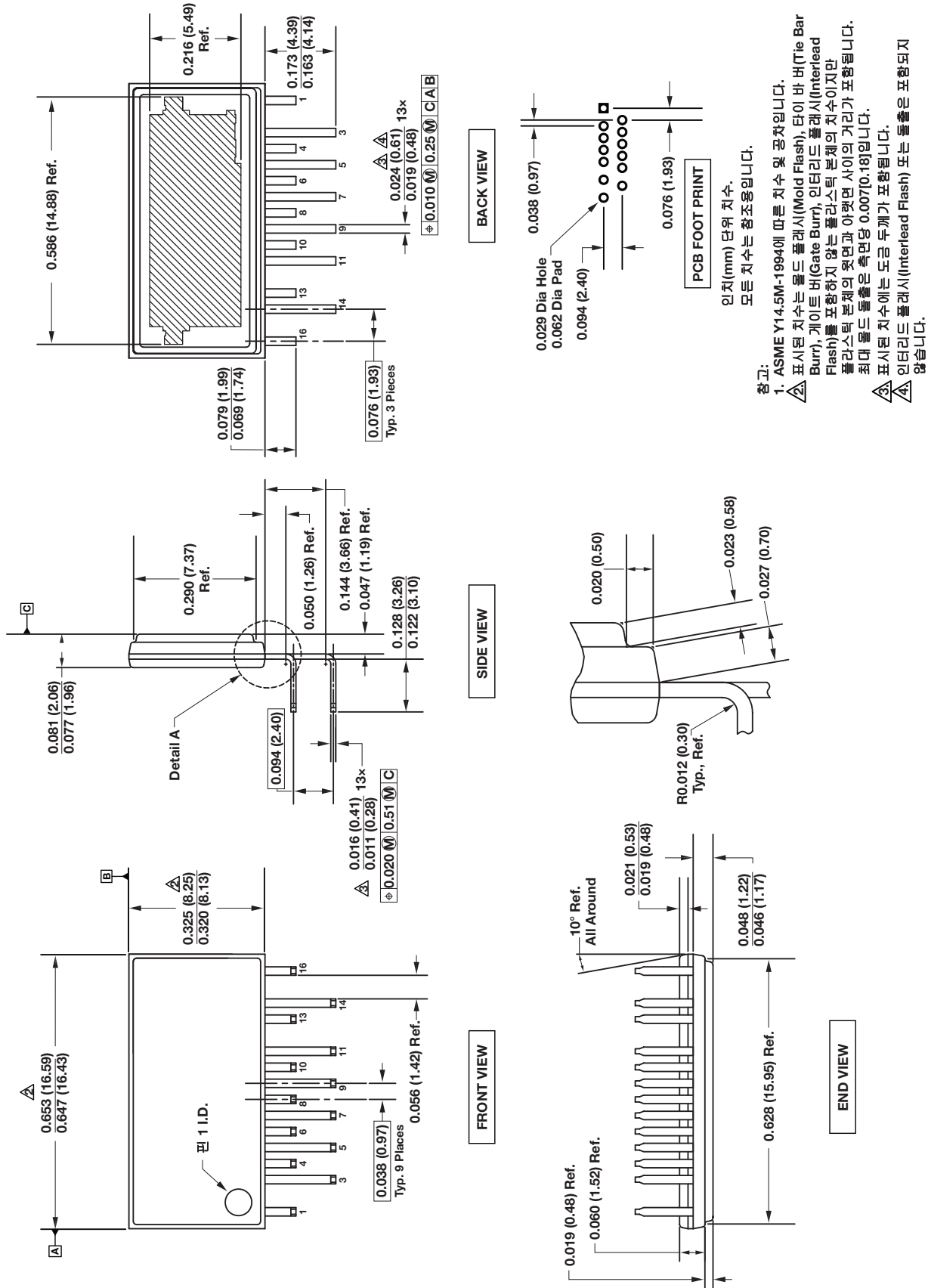
Figure 26. Temperature Dependence of 3 A Qspeed Reverse Current.

eSIP-16D(H 패키지)

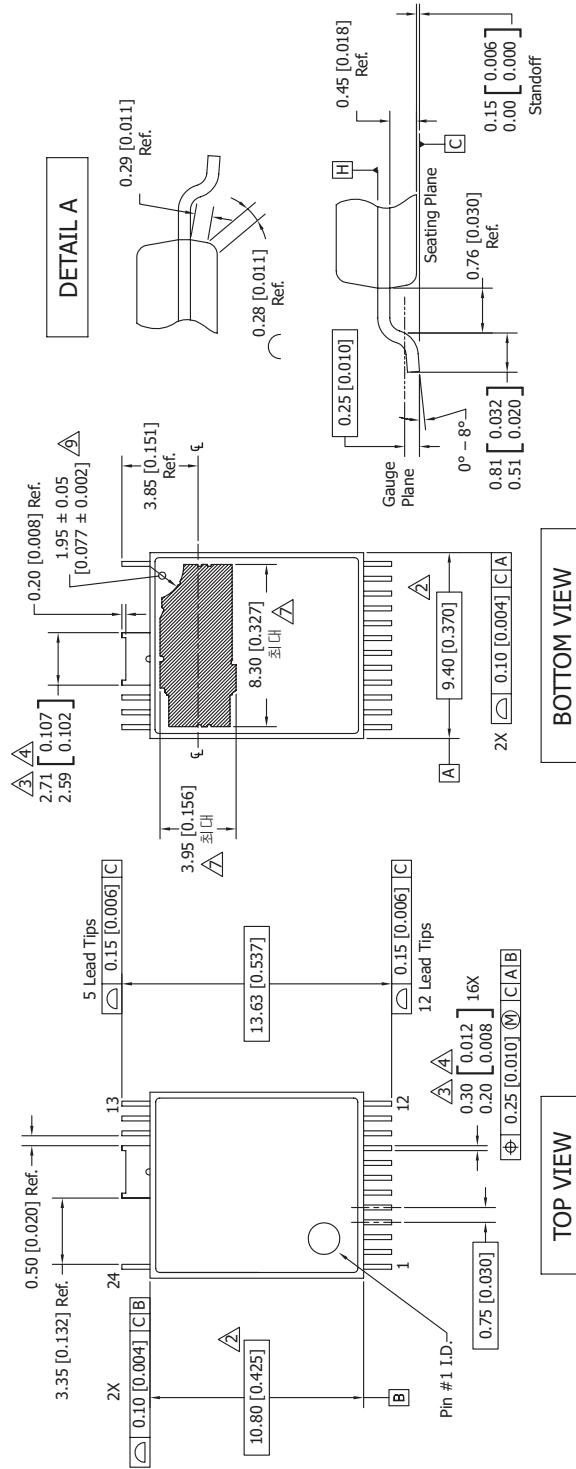


PI-7242-010614

eSIP-16G(L 패키지)



InSOP-24B(C 패키지)



참고:

1. ASME Y14.5M - 1994에 따른 치수 및 공차입니다.

2. 표시된 치수는 몰드 플래시(Mold Flash), 타이 바 버(Tie Bar Burr), 게이트 버(Gate Burr), 인터리드 플래시(Interlead Flash)를 포함하지 않는 플라스틱 본체의 치수이지만 플라스틱 본체의 컷면과 아랫면 사이의 거리가 포함됩니다. 최대 몰드 플래시 폭은 0.18[0.007]입니다.

3. 표시된 치수에는 도금 두께가 포함됩니다.

4. 인터리드 플래시(Interlead Flash) 또는 몰출은 포함되지 않습니다.

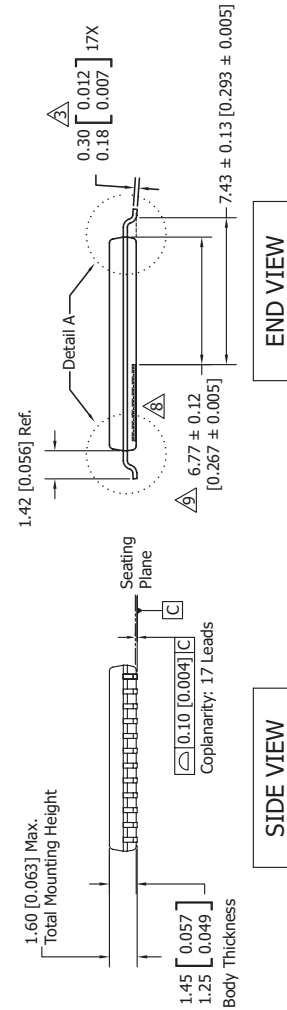
5. 제어 치수 단위는 mm[인치]입니다.

6. 기준점 A와 B는 기준점 H에서 결정됩니다.

7. 노출 패드 최소 및 최대 치수에는 크기와 위치 공차가 모두 포함됩니다.

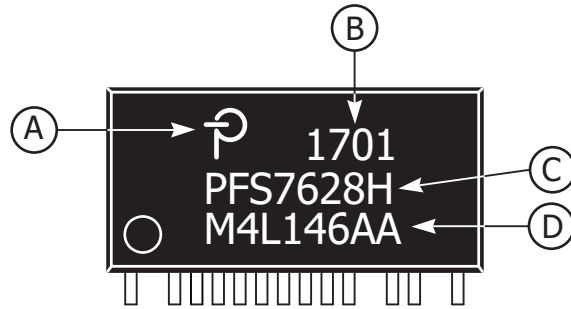
8. 노출 패드의 순거진 단면도가 연면거리 치수 측정을 위한 설명 목적으로 표시되어 있습니다.

9. 연면거리 치수에는 세부 A에 표시된 패키지 본체 측면 양쪽 치수가 포함됩니다.



패키지 마킹

eSIP-16D / eSIP-16G

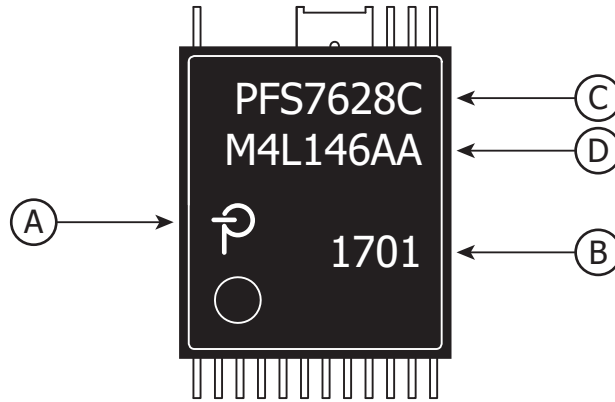


- A. 파워 인테그레이션스(Power Integrations) 등록 상표
- B. 조립 날짜 코드(앞 두 자리: 연도, 뒤 두 자리: 작업 주)
- C. 제품 ID(부품 번호/패키지 유형)
- D. Lot ID 코드

PI-8233-011217

패키지 마킹

InSOP-24B



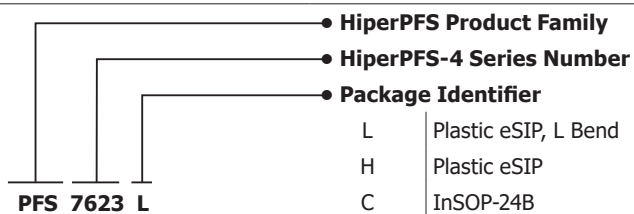
- A. 파워 인테그레이션스(Power Integrations) 등록 상표
- B. 조립 날짜 코드(앞 두 자리: 연도, 뒤 두 자리: 작업 주)
- C. 제품 ID(부품 번호/패키지 유형)
- D. Lot ID 코드

PI-8617-022718

Part Ordering Information

Part Number	Option	Quantity
PFS7x23C-TL	Reel	2000
PFS7624C-TL	Reel	2000
PFS7626C-TL	Reel	2000
PFS7628C-TL	Reel	2000
PFS7x23H/L	Tube	30
PFS7624H/L	Tube	30
PFS7625H/L	Tube	30
PFS7626H/L	Tube	30
PFS7627H/L	Tube	30
PFS7628H/L	Tube	30
PFS7629H/L	Tube	30
PFS7633H	Tube	30
PFS7634H	Tube	30
PFS7635H	Tube	30
PFS7636H	Tube	30
PFS7723L/H	Tube	30
PFS7724L/H	Tube	30
PFS7725L/H	Tube	30
PFS7726H	Tube	30
PFS7727H	Tube	30
PFS7728H	Tube	30
PFS7729H	Tube	30

Part Marking Information



개정	참고	날짜
A	코드 A.	01/17
B	PFS7626-7629에 L 패키지 부품 추가.	05/17
C	InSOP-24B 부품 PFS7623, PFS7624, PFS7626, PFS7628에 대해 코드 B와 코드 S 통합 릴리스.	10/18
D	11페이지의 그림 13 캡션 텍스트에 *참고 추가.	12/18
E	InSOP-24B 부품에 대한 코드 A.	02/19
F	HiperPFS-4 PFS77xx 코드 A 부품 추가.	08/20

최신 업데이트는 당사 웹사이트 www.power.com을 참고하십시오.

파워 인테그레이션스(Power Integrations)는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. 파워 인테그레이션스(Power Integrations)는 본 문서에서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. 파워 인테그레이션스(Power Integrations)는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하며 이에 국한되지 않음)을 명백하게 부인합니다.

특허 정보

본 문서에서 설명하는 제품 및 애플리케이션(제품의 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허 또는 파워 인테그레이션스(Power Integrations)에서 출원 중인 미국 및 해외 특허에 포함될 수 있습니다. 파워 인테그레이션스(Power Integrations)의 전체 특허 목록은 www.power.com에서 확인할 수 있습니다. 파워 인테그레이션스(Power Integrations)는 고객에게 www.power.com/ip.htm에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

파워 인테그레이션스(Power Integrations)의 제품은 파워 인테그레이션스(Power Integrations) 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 자세한 정의는 다음과 같습니다.

수명 유지 디바이스 또는 시스템이란 (i)신체에 대한 외과적 이식을 목적으로 하거나, (ii)수명 지원 또는 유지를 목적으로 사용되며, (iii)사용 지침에 따라 올바르게 사용하는 경우에도 동작의 실패가 사용자의 상당한 부상 또는 사망을 초래할 수 있는 디바이스 또는 시스템입니다.

핵심 부품이란 부품의 작동이 실패하여 수명 유지 디바이스 또는 시스템의 작동이 실패하거나, 해당 디바이스 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 디바이스 또는 시스템에 사용되는 모든 부품입니다.

파워 인테그레이션스(Power Integrations), 파워 인테그레이션스(Power Integrations) 로고, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, PowiGaN, SCALE, SCALE-1, SCALE-2, SCALE-3 및 SCALE-iDriver는 Power Integrations, Inc.의 상표이며, 기타 상표는 각 회사의 재산입니다. ©2019, Power Integrations, Inc.

파워 인테그레이션스(Power Integrations) 전 세계 판매 지원 지역

본사 5245 Hellyer Avenue San Jose, CA 95138, USA 본사 전화: +1-408-414-9200 고객 서비스: 전 세계: +1-65-635-64480 북미: +1-408-414-9621 이메일: usasales@power.com 중국(상하이) Rm 2410, Charity Plaza, No. 88 North Caoxi Road Shanghai, PRC 200030 전화: +86-21-6354-6323 이메일: chinasales@power.com 중국(선전) 17/F, Hivac Building, No. 2, Keji Nan 8th Road, Nanshan District, Shenzhen, China, 518057 전화: +86-755-8672-8689 이메일: chinasales@power.com	독일(AC-DC/LED 판매) Einsteinring 24 85609 Dornach/Aschheim Germany 전화: +49-89-5527-39100 이메일: eurosales@power.com 독일(게이트 드라이버 판매) HellwegForum 1 59469 Ense Germany 전화: +49-2938-64-39990 이메일: igbt-driver.sales@power.com 인도 #1, 14th Main Road Vasanthanagar Bangalore-560052 India 전화: +91-80-4113-8020 이메일: indiasales@power.com	이탈리아 Via Milanese 20, 3rd. Fl. 20099 Sesto San Giovanni (MI) Italy 전화: +39-024-550-8701 이메일: eurosales@power.com 일본 Yusen Shin-Yokohama 1-chome Bldg. 1-7-9, Shin-Yokohama, Kohoku-ku Yokohama-shi, Kanagawa 222-0033 Japan 전화: +81-45-471-1021 이메일: japansales@power.com 대한민국 RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea 전화: +82-2-2016-6610 이메일: koreasales@power.com	싱가포르 51 Newton Road #19-01/05 Goldhill Plaza Singapore, 308900 전화: +65-6358-2160 이메일: singaporesales@power.com 대만 5F, No. 318, Nei Hu Rd., Sec. 1 Nei Hu Dist. Taipei 11493, Taiwan R.O.C. 전화: +886-2-2659-4570 이메일: taiwansales@power.com 영국 Building 5, Suite 21 The Westbrook Centre Milton Road Cambridge CB4 1YG 전화: +44 (0) 7823-557484 이메일: eurosales@power.com
--	---	--	--