

PFS7523-7529/7533-7539 HiperPFS-3 제품군

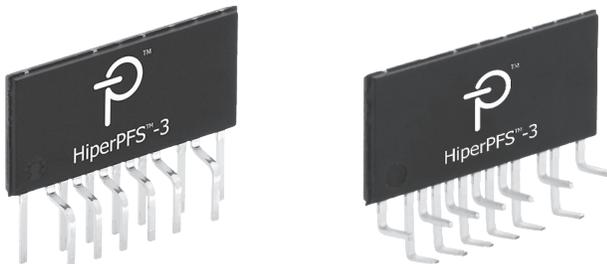
다양한 부하 범위에서 높은 PF와 효율을 위해 최적화된 Qspeed 다이오드 및 고전압 MOSFET이 집적된 PFC 컨트롤러

주요 이점

- 부하 범위 전체에 걸쳐 고효율 및 고역률
 - 10% 부하에서 풀부하까지 95% 넘는 효율
 - 230VAC에서 60mW 미만의 무부하 소비 전력
 - 20% 부하에서 0.92보다 큰 PF
 - EN61000-3-2 클래스 C 및 D 준수
- 초소형 부스트 PFC 폼 팩터를 위한 고집적 디바이스
 - 컨트롤러, MOSFET 및 매우 낮은 역 리커버리 손실 다이오드(Qspeed)
- 대량 생산 환경에 최적화된 패키지
 - 절연 패드/히트 스프레더 불필요
- 향상된 성능
 - 프로그래밍 가능한 PG(Power Good) 신호
 - 사용자가 선택할 수 있는 전력 제한: 최적의 디바이스 선택을 위해 서로 다른 HiperPFS-3 제품군 제품을 동일한 설계에서 테스트 가능
 - 고속 출력 OV 및 UV 보호와 과도 응답을 위한 비선형 증폭기 내장
 - UPS 또는 제너레이터에서 발생하는 입력 전압이 왜곡되는 경우에도 강력한 성능을 제공하는 디지털 라인 피크 감지
 - EMI 필터 및 브리지 왜곡을 보정하여 20% 부하에서 0.92보다 큰 하 이 라인 PF를 제공하는 디지털 역률 개선 장치
- 라인 전압과 각 라인 사이클을 통한 주파수 조정
 - 60kHz 이상의 범위 전체에 걸친 대역 확산으로 EMI 필터링 요구 사항 간소화
 - 낮은 부스트 인덕턴스
- 유니버설 애플리케이션에 최대 450W 피크 출력 전력을 제공하고, 하이 라인 전용 애플리케이션에는 최대 1kW 제공
- 보호 기능 내장: UVLO, UV, OV, OTP, 브라운인/브라운아웃, 사이클별 전류 제한, 과부하 보호를 위한 전력 제한
- 할로겐 프리 및 RoHS 준수

애플리케이션

- 전기자전거 및 전기이륜차 충전기
- 전동 공구 충전기
- PC
- 프린터
- LCD TV
- 비디오 게임 콘솔
- 80 Plus™ Platinum 설계
- 고전력 어댑터
- 고전력 LED 조명
- 산업 기기 및 가전 제품
- 일반 PFC 컨버터



eSIP-16D(H 패키지)

eSIP-16G(L 패키지)

Figure 2. Package Options.

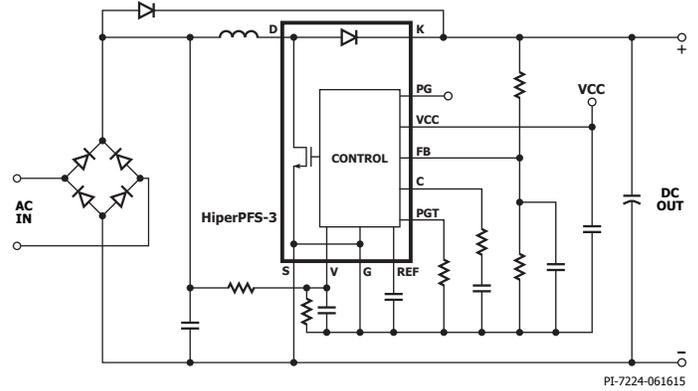


Figure 1. Typical Application Schematic.

Output Power Table

Universal Input Devices		
Product	Maximum Continuous Output Power Rating at 90 VAC (Full Power Mode)	Peak Output Power (Full Power Mode)
PFS7523L/H	110 W	120 W
PFS7524L/H	130 W	150 W
PFS7525L/H	185 W	205 W
PFS7526H	230 W	260 W
PFS7527H	290 W	320 W
PFS7528H	350 W	385 W
PFS7529H	405 W	450 W
High-Line Only Input Devices		
Product	Maximum Continuous Output Power Rating at 180 VAC (Full Power Mode)	Peak Output Power (Full Power Mode)
PFS7533H	255 W	280 W
PFS7534H	315 W	350 W
PFS7535H	435 W	480 W
PFS7536H	550 W	610 W
PFS7537H	675 W	750 W
PFS7538H	810 W	900 W
PFS7539L/H	900 W	1000 W

Table 1. Output Power Table (See Table 2 on page 11 for Maximum Continuous Output Power Ratings.)

설명

HiperPFS™-3 디바이스는 CCM(연속 전도 모드) 부스트 PFC 컨트롤러, 게이트 드라이버, 매우 낮은 역 리커버리(Qspeed™) 다이오드 및 고전압 파워 MOSFET을 단일 로우 프로파일(GROUND 핀이 연결됨) 전원 패키지에서 통합합니다. HiperPFS-3 디바이스는 PFC 컨버터에서 필요로 하는 외부 전류 센싱 저항 및 관련된 전력 손실을 없애주며 출력 부하, 입력 라인 전압 및 입력 라인 사이클에 대한 스위칭 주파수를 조정하는 혁신적인 제어 기법을 활용합니다.

이 제어 기술은 특히 경부하 시 컨버터의 전체 부하 범위에 걸쳐 효율을 극대화합니다. 또한 넓은 대역 확산 효과(wide-bandwidth spread spectrum effect)로 인해 EMI 필터링 요건을 크게 최소화합니다. HiperPFS-3에서는 라인 모니터링 기능, 라인 피드 포워드 스케일링, 역률 개선을 위해 고급 디지털 기술을 사용하며, 동시에 코어 컨트롤러에는 매우 낮은 무부하 소비 전력을 유지하기 위해 아날로그 기술을 사용합니다. HiperPFS-3는 부하 과도 응답 향상을 위한 내장된 비선형 에러 증폭기(Error Amplifier), 사용자가 프로그래밍 할 수 있는 Power Good(PG) 신호, 사용자가 선택할 수 있는 전력 제한 기능을 제공합니다. HiperPFS-3에는 UV, OV, 브라운 인/브라운 아웃 및 히스테리시스 써멀 섯다운과 같은 파워 인테그레이션(Power Integrations)의 포괄적인 보호 기능이 내장되어 있습니다. 또한 HiperPFS-3는 파워 MOSFET의 사이클별 전류 제한 및 SOA(안전 작동 영역) 보호, 과부하 보호를 위한 출력 전력 제한 그리고 디바이스의 핀투핀에 대한 단락 보호 기능을 제공합니다.

HiperPFS-3의 혁신적인 VF-CCM(가변 주파수 CCM(Continuous Conduction Mode))은 평균 스위칭 주파수를 낮게 유지하여 스위칭 손실을 최소화하고 동시에 CCM(Continuous Conduction Mode) 솔루션의 전통적인 문제인 EMI를 억제하기 위해 스위칭 주파수를 변조합니다. HiperPFS-3를 사용하는 시스템은 일반적으로 컨버터의 총 X 및 Y 커패시턴스 요구 사항은 물론이고 부스트 초크와 EMI 노이즈 억제 초크의 인덕턴스를 감소시켜 전반적인 시스템 크기와 비용을 줄입니다. 또한 HiperPFS-3 디바이스는 개별 MOSFET 및 컨트롤러를 사용한 설계와 비교하여 부품 수와 보드 풋프린트를 크게 줄이고 동시에 시스템 설계를 간소화하며 신뢰성을 높입니다. 혁신적인 가변 주파수, CCM(연속 전도 모드) 컨트롤러 덕분에 HiperPFS-3는 CCM 동작의 모든 이점을 실현하는 동시에 저렴하고 간단한 소형 EMI 필터를 활용할 수 있습니다.

많은 지역에서는 고전력 요구 사항이 있는 다수의 전자 제품에 대해 높은 역률을 의무화하고 있습니다. 이러한 규정은 전체 부하 범위(풀부하~10% 부하)에 걸쳐 높은 파워 서플라이 효율을 요구하는 수많은 애플리케이션 별 표준과 결합되어 적용됩니다. 경부하 시 높은 효율성은 경부하인 경우에도 고정된 MOSFET 스위칭 주파수가 각 사이클에 대해 고정된 스위칭 손실을 일으키는 전통적인 PFC 솔루션이 갖고 있는 문제입니다. 부하 범위 전체에서 상대적으로 균일한 효율을 제공한다는 이점 외에도 HiperPFS-3는 20%의 부하에서도 0.92를 초과하는 높은 역률을 제공할 수 있습니다. HiperPFS-3를 사용하면 PC, LCD TV, 노트북, 가전 제품, 펌프, 모터, 팬, 프린터, LED 조명 등 광범위한 애플리케이션 시장에 새롭게 등장하는 에너지 효율 표준을 손쉽게 준수할 수 있습니다.

HiperPFS-3의 고급 파워 패키징 기술 및 높은 효율성은 IC 마운팅과 열 관리의 복잡성을 간소화하고 동시에 단일 소형 패키지에서 매우 높은 전력 용량을 제공합니다. 이 디바이스는 75W~900W의 PFC 애플리케이션에 적합합니다.

제품의 주요 특징

보호 기능이 있는 역률 보정 솔루션

- 고전압 파워 MOSFET, 매우 낮은 역 리커버리 손실 Qspeed 다이오드, 컨트롤러 및 게이트 드라이버 통합
- EN61000-3-2 클래스 C 및 클래스 D 준수
- 내장된 보호 기능으로 외부 부품 수 감소
 - 정확한 내장 브라운인/브라운아웃 보호 기능
 - 정확한 내장 저전압(UV) 보호 기능
 - 정확한 내장 과전압(OV) 보호 기능
 - 히스테리시스(Hysteresis) 써멀 섯다운(OTP)
 - 과부하 보호를 위한 내부 전력 제한 기능
 - 사이클 단위 전력 스위치 Current Limit
 - 부하 과도 응답 향상을 위한 리니어 에러 증폭기
- 외부 전류 센싱 저항 불필요
 - sense-FET를 통해 '무손실' 내부 센싱 제공
 - 부품 수 및 시스템 손실 감소
 - 고전류 게이트 드라이브 루프 영역 최소화
 - 스타트업 시 출력 오버슈트 및 스트레스 최소화
 - 집적된 전력 제한
- 동적 응답 향상
 - 전체 입력 전압 범위에서 루프 게인 균일화를 위한 디지털 방식으로 제어되는 입력 라인 피드 포워드 게인 조정
- 신뢰성 향상과 비용 절감을 위해 최대 40개 개별 부품 제거

높은 효율, 낮은 EMI, 높은 PF를 위한 솔루션

- CCM(연속 전도 모드) PFC에서 일정한 Amp-sec[은 타임] Volt-sec[오프 타임] 컨트롤 엔진 사용
 - 부하 전체에서 높은 효율
 - 부하 전체에서 높은 역률
 - 저렴한 EMI 필터
- 경부하 효율 향상을 위한 주파수 슬라이딩 기술
- 공칭 입력 전압에서 10% 부하부터 풀부하까지 95% 넘는 효율
- 가변 스위칭 주파수로 EMI 필터 설계 단순화
 - 효율을 극대화하고 EMI 필터 요구 사항을 최소화하기 위해 라인 입력 전압에 따라 변함
 - 대역 확산 효과를 극대화하기 위해 입력 라인 사이클 전압에 따라 60kHz보다 크게 변함

고전력 애플리케이션을 위한 진보한 패키지

- 초소형 패키지에 최대 450W[유니버설], 1kW[하이 라인 전용] 피크 출력 전력 용량
- 접착제 또는 클립을 사용하여 히트싱크에 간단히 장착
- 절연 패드가 필요 없으며 히트싱크에 직접 연결 가능
- 단순 보드 트레이스 라우팅 및 고전압 연면거리 요건에 적합한 지그재그형 핀 배열
- PFC 컨버터용 단일 패키지 솔루션으로 조립 비용 절감 및 레이아웃 크기 축소

핀 기능 설명

BIAS POWER(VCC) 핀:

IC에 전원을 공급하는 데 사용되는 10.2~15VDC[작동 중, 일반적으로 12V] 바이어스 서플라이입니다. 장기적인 안정성을 위해 BIAS POWER 핀이 15VDC를 초과하지 않도록 바이어스 전압이 내부적으로 클램핑되어야 합니다.

REFERENCE(REF) 핀:

이 핀은 외부 바이패스 커패시터에 연결되어 있고 FULL 또는 EFFICIENCY 전류 모드에 필요한 IC를 프로그래밍하는 데 사용됩니다. 외부 커패시터는 REFERENCE 및 SIGNAL GROUND[G] 핀 사이에 연결되어 있습니다. 참고: 서지 발생 시 리턴 전류가 클 수 있는 다른 복귀 트레이스와 G로 복귀 트레이스를 공유하면 안 됩니다. REFERENCE 핀에는 유효한 커패시터 값이 두 개 있어 '최대'(1.0 μ F \pm 20%) 및 '효율' (0.1 μ F \pm 20%) 전류 모드를 선택할 수 있습니다.

SIGNAL GROUND(G) 핀:

피드백 회로에 사용되는 개별 부품(루프 보정과 BIAS POWER(VCC), REFERENCE(REF), VOLTAGE MONITOR(V)에 대한 디커플링 커패시터 등)은 SIGNAL GROUND(G) 핀이 기준점이 되어야 합니다. SIGNAL GROUND 핀 역시 디바이스의 탭에 연결됩니다. SIGNAL GROUND 핀은 IC 외부에 있는 SOURCE 핀에 직접 연결하면 안 됩니다.

VOLTAGE MONITOR(V) 핀:

VOLTAGE MONITOR 핀은 100:1, 1% 높은 임피던스 저항 분배기를 통해 정류된 고전압 DC 레일에 연결되어 전력 손실 및 스탠바이 전력 사용량을 최소화합니다. 권장되는 저항 값은 8M Ω ~16M Ω 입니다. 이 분배기 비율을 수정하면 피크 출력 제한, 브라운인/브라운아웃 기준값에 영향을 미쳐 입력 전류 품질을 떨어뜨립니다(역률 감소 및 THD 증가). 정류된 DC 버스에 있는 모든 스위칭 노이즈를 바이패스하려면 VOLTAGE MONITOR 핀에서 SIGNAL GROUND 핀까지 80 μ s의 공칭 시정수를 생성하는 소형 세라믹 커패시터가 필요합니다.

이 핀은 또한 브라운인/브라운아웃 감지 기준값이 특징이고 개회로 상태인 경우 풀다운으로 작동하도록 하기 위해 약한 전류 소스를 IC로 통합합니다.

COMPENSATION(C) 핀:

이 핀은 COMPENSATION 핀과 SIGNAL GROUND 핀 사이의 커패시터와 저항 네트워크 연결을 통해 OTA 에러 증폭기의 루프 극점/영점 보상에 사용 됩니다. COMPENSATION 핀은 OTA 에러 증폭기의 출력과 온 타임 및 오프 타임 컨트롤러에 대한 입력에 내부적으로 연결되어 있습니다.

FEEDBACK(FB) 핀:

이 핀은 메인 전압 레귤레이션 피드백 저항 분배기 네트워크에 연결되어 있고 고속 과전압 및 저전압 보호에도 사용됩니다. 또한 이 핀은 스타트업 시 그리고 작동 중에 피드백 전압 분배기 네트워크의 존재를 감지합니다. 적절하고, 최적화된 전력 제한 및 역률을 위해 분배기 비율은 VOLTAGE MONITOR 핀과 동일해야 합니다. 큰 상단 저항이 8M Ω ~16M Ω \pm 1%인 것이 좋습니다. FEEDBACK 및 SIGNAL GROUND 사이에는 하단 저항과 함께 공칭 80 μ s 시정수를 형성하는 소형 세라믹 커패시터가 있어야 합니다.

POWER GOOD(PG) 핀:

PG 기능 사용은 선택 사항입니다. POWER GOOD 핀은 출력 전압이 레귤레이션 상태인 경우 전류를 싱크하는 액티브 로우 오픈 드레인 연결입니다. 스타트업 시 FEEDBACK 핀 전압이 내부 레퍼런스 전압의 ~95%까지 상승하면 POWER GOOD 핀은 low로 떨어집니다.

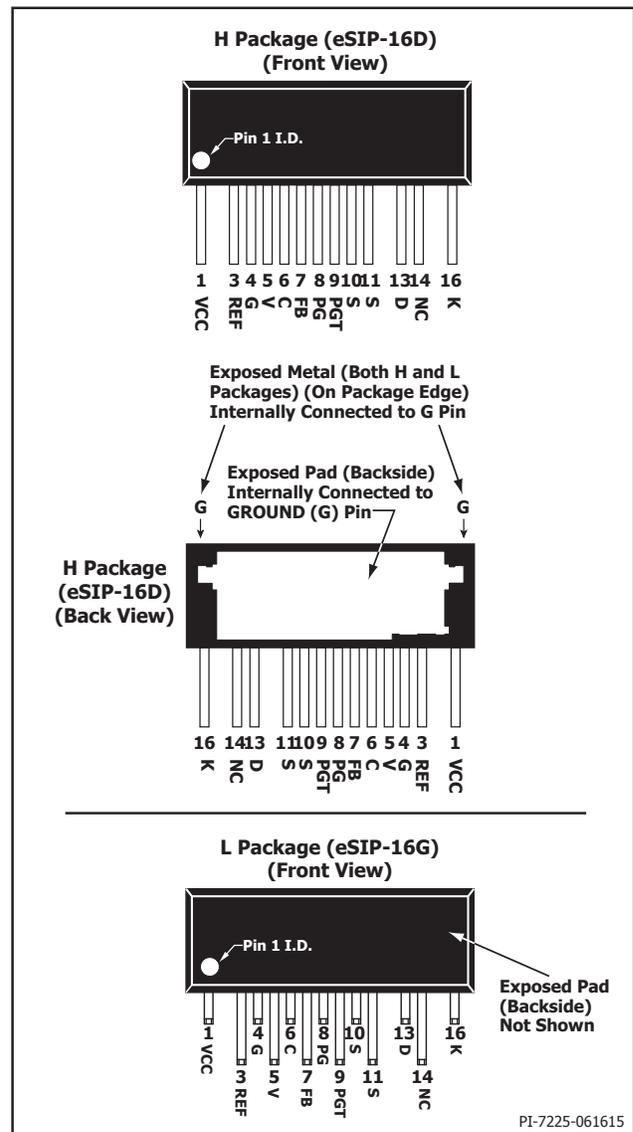
스타트업 후 PG 신호가 높은 임피던스가 되는 출력 전압 기준값은 POWER GOOD THRESHOLD 핀 저항으로 프로그래밍된 기준값에 따라 달라집니다. 사용하지 않는 경우 POWER GOOD 핀은 연결되지 않은 상태로 남아 있습니다.

POWER GOOD THRESHOLD(PGT) 핀:

이 핀은 PG 신호가 PFC 단이 레귤레이션 상태를 벗어났음을 나타내며 하 이 임피던스가 되는 출력 전압 기준점(Threshold)을 프로그래밍하는 데 사용됩니다. PG 신호에 대한 낮은 기준점(Threshold)은 POWER GOOD THRESHOLD 핀과 SIGNAL GROUND 핀 사이의 저항으로 프로그래밍됩니다. POWER GOOD THRESHOLD를 REFERENCE 핀에 연결하면 PG (POWER GOOD) 기능이 비활성화됩니다(즉, POWER GOOD 핀이 높은 임 피던스 상태로 남아 있음).

SOURCE(S) 핀:

이 핀은 파워 스위치의 소스와 연결되며 벌크 커패시터 마이너스 단자와 도 연결됩니다.



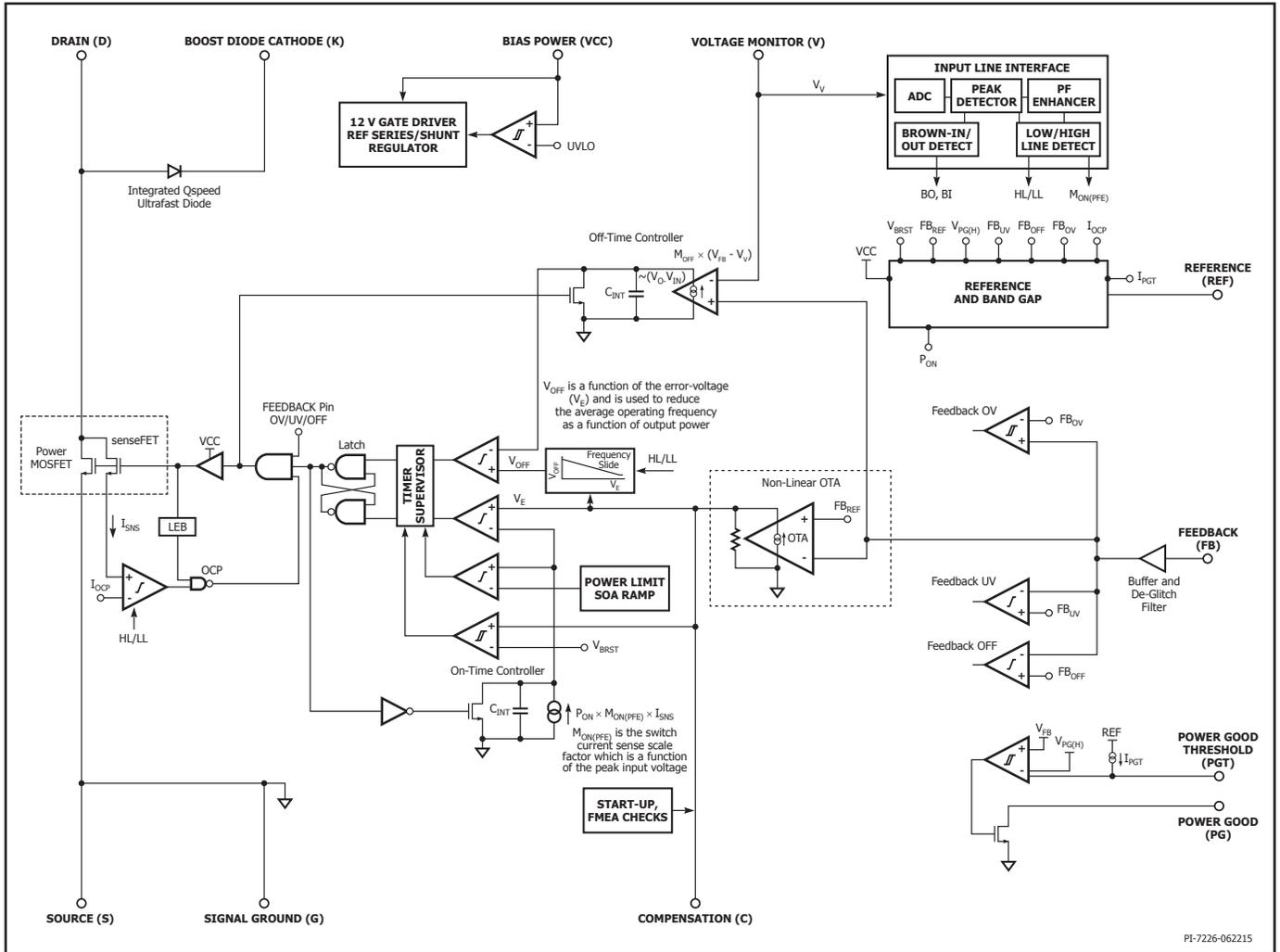


Figure 4. Functional Block Diagram.

DRAIN(D) 핀:

내부 파워 스위치의 드레인 연결입니다.

BOOST DIODE CATHODE(K) 핀:

내부 Qspeed 다이오드의 캐소드 연결입니다.

기능 설명

HiperPFS-3는 가변 스위칭 주파수 부스트 PFC 솔루션입니다. 좀 더 구체적으로 설명하면 HiperPFS-3는 일정한 Amp-sec 온타임 및 일정한 volt-sec 오프 타임 제어 알고리즘을 채택합니다. 이 알고리즘은 고조파 전류 제한 규제를 준수하기 위해(고역률) 출력 전압을 레귤레이션하고 입력 전류를 형성하는 데 사용됩니다. 스위치 전류를 적분하고 스위치 온 타임 동안 Amp-sec이 일정하도록 제어하면 평균 입력 전류가 입력 전압을 따른도록 할 수 있습니다. 출력 전압과 입력 전압 사이의 차이를 적분하면 부스트 인덕터의 전자기 특성에 따라 좌우되는 Volt-sec 균형이 일정하게 유지되므로 출력 전압과 전력을 레귤레이션할 수 있습니다.

특히, 이 컨트롤 기술은 오프 타임(t_{OFF})에 대한 일정한 Volt-sec 를 설정합니다. 오프 타임은 다음과 같이 컨트롤됩니다.

$$(V_O - V_{IN}) \times I_{OFF} = K_1 \tag{1}$$

온 타임 시 volt-sec 오프 타임 시 volt-sec 같아야 하므로 PFC 초크에서 자속 평형을 유지하기 위해 온 타임(t_{ON})은 다음과 같이 컨트롤됩니다.

$$V_{IN} \times t_{ON} = K_1 \tag{2}$$

또한 컨트롤러는 파워 MOSFET의 각 온 사이클(On-cycle) 중일정한 측정값을 설정합니다. 사이클당 전하는 부하 변경에 따라 많은 스위칭 사이클을 거치면서 점진적으로 바뀌므로 하프 라인 사이클 동안 일정하게 유지되는 것으로 간주할 수 있습니다. 따라서 이 일정 전하(또는 Amp-sec) 제어를 사용하면 다음 관계도 성립합니다.

$$I_{IN} \times t_{ON} = K_2 \tag{3}$$

t_{ON} 을 (2)에서 (3)으로 치환하면:

$$I_{IN} = V_{IN} \times \frac{K_2}{K_1} \tag{4}$$

(4)의 관계는 일정한 Amp-sec 온 타임과 일정한 Volt-sec 오프 타임을 컨트롤하면 입력 전류 I_{IN} 가 입력 전압 V_{IN} 에 비례하므로 PFC의 기본 요구 조건을 충족한다는 것을 보여줍니다.

이 컨트롤러는 연속 모드 파워 스위치 전류 파형을 생성합니다. 이 때, 입력 전압에 비례하여 입력 전류를 생성하기 위해 하프 사이클 동안 주파수와 피크 전류 값이 둘 다 변경됩니다.

컨트롤 엔진

컨트롤러에는 비반전 단자가 3.85V의 내부 전압 레퍼런스에 연결된 대역폭이 낮고 게인이 높은 OTA 에러 증폭기가 있습니다. 에러 증폭기의 반전 단자는 외부 FEEDBACK 핀에서 사용할 수 있으며, 이 핀은 분배기 비율이 1:100인 출력 전압 분배 네트워크에 연결되어 출력 전압을 정격 385V로 레귤레이션합니다. FEEDBACK 핀은 빠른 과도 부하 응답을 위해 분배기 네트워크에 직접 연결됩니다.

내부적으로 센싱된 FET 스위치 전류는 입력 전압 피크 감지기 전류 센싱 게인(M_{ON})에 따라 조정된 후 통합되고 에러 증폭기 신호(V_e)와 비교하여 사이클 온 타임을 결정합니다. 입력 전압과 출력 전압의 차이를 내부적으로 얻어 그 결과가 조정, 통합된 후 전압 레퍼런스(V_{OFF})와 비교되어 사이클 오프 타임을 결정합니다. 내부 조정 계수를 주의 깊게 선택하면 왜곡이 매우 적고 역률이 높은 입력 전류 파형이 생성됩니다.

라인 피드 포워드 조정 계수(M_{ON}) 및 PF 개선 장치

VOLTAGE MONITOR(V) 핀 전압이 샘플링되어 ΔΣ ADC에 의해 양자화된 디지털 값으로 변환됩니다. 동적 시정수, 멀티 사이클 필터링 기능이 있는 디지털 라인 사이클 피크 감지기는 입력 라인 전압의 피크를 도출하여 평활화합니다. 이 피크는 M_{ON} 변수를 통해 전류 센싱 신호의 게인을 내부적으로 조정합니다. 이는 컨트롤러를 피드백 신호의 동적 범위를 줄이고 작동 입력 라인 범위에 걸쳐 루프 게인을 평활화하는 데 필요합니다. 라인 센싱 피드 포워드 게인 조정은 피크 정류된 AC 라인 전압의 제곱에 비례하며, VOLTAGE MONITOR 핀 전압에 따라 조정됩니다.

EMI 필터 및 전체 브리지 네트워크를 통해 라인 전류 왜곡을 보정하기 위해 하이 라인 및 경부하 시 피드 포워드 M_{ON} 변수가 라인 사이클 전체에서 동적으로 조정됩니다.

또한 라인 센싱 피드 포워드 게인은 입력 라인 범위 전체에서 스위치 출력 제한을 제공하는 데 중요합니다.

이 특성은 90~230VAC의 입력 라인에서 풀부하 시 비교적 일정한 내부 여러 전압 레벨을 유지하기 위해 최적화됩니다.

디바이스에 지정된 피크 정격 출력이 초과된 경우 내부 출력 제한 기능은 출력 과부하에 따라 설정된 레귤레이션 기준값 아래로 출력 전압을 레귤레이션하여 일정한 출력 전력을 유지합니다. 그림 6은 부하에 따른 일반적인 레귤레이션 특성을 보여줍니다.

브라운인 기준값(V_{BR+}) 미만인 경우 디바이스가 그림 7에 표시된 것처럼 '최대' 전력 모드에서 작동하면 전력 제한이 줄어듭니다. 입력 라인 전압이 브라운아웃 기준값(V_{BR-})을 향해 떨어지고 부하가 전력 제한 정격 감소를 초과한 경우 부스트 출력 전압이 그림 6처럼 레귤레이션을 벗어나 하강합니다.

디바이스가 '효율' 모드에서 동작하는 경우 표 1에 표시된 정격 피크 전력이 브라운인 기준점(Threshold) 아래인 전압에 대해 정격 감소되지 않습니다.

핀투핀 단락 보호 기능을 가진 스타트업

스타트업 시 엔진은 스위칭을 시작하기 전에 그림 8에 표시된 것처럼 일련의 작동 확인과 핀 단락/오픈 평가를 수행합니다. 입력 전압 피크가 브라운인을 초과하면 엔진이 스위칭을 활성화합니다.

OTA 에러 증폭기는 FEEDBACK 핀에 대해 센싱된 출력 전압이 레귤레이션 범위를 벗어난 경우 NLA(비선형 증폭기) 메커니즘을 제공하여 본질적으로 느린 피드백 루프 응답을 극복합니다. 따라서 에러 증폭기 기능이 과도 부하 중 최대 오버슈트 및 언더슈트를 제한할 수 있습니다.

스타트업 시 스위치 및 출력 다이오드 전류 스트레스를 줄이기 위해 HiperPFS-3은 스타트업 중 출력 전압(V_{OUT})을 기반으로 오프 타임을 계산하여 스타트업이 상대적으로 부드럽게 제어되도록 합니다.

적용된 VCC가 VCC_{UVLO+} 기준값을 초과하고 온칩 V_{REF} 레귤레이터의 출력이 REF_{UV+}를 초과하면 REFERENCE 커패시터의 값이 감지되어 최대 또는 효율 전력 모드가 래칭됩니다. 핀 오픈/단락 테스트가 수행됩니다. 그리고 FEEDBACK 핀 전압이 유효하면 과열 OTP가 False인지 검사됩니다. 이전 검사가 충족되면 입력 전압이 V_{BR+} 기준값을 초과할 때까지[그러나 피크 감지기는 포함되지 않음] VOLTAGE MONITOR 핀을 통해 모니터링됩니다. 그리고 이 때, 스위칭이 활성화됩니다.

타이밍 감시기 및 동작 주파수 범위

컨트롤러는 라인 주파수 하프 사이클(CCM에서 작동하는 경우 일반적으로 22~123kHz의 범위) 동안 가변 스위칭 주파수를 사용하여 작동해야 하기 때문에 컨트롤러에는 최대 스위치 온 타임 및 오프 타임을 모니터링하여 제한하고 최소 사이클 온 타임을 보장하는 타이밍 감시기가 있습니다. 그림 9(a)는 피크 부하 상태 시 입력 전압에 따른 디바이스 스위칭 주파수의 일반적인 하프 라인 주파수 프로파일을 보여줍니다. 그림 9(b)는 115VAC의 라인 전압 상태일 때 부하에 따른 스위칭 주파수에 대한 EcoSmart™의 효과를 보여줍니다. 스위칭 주파수는 CCM(연속 전도 모드) 작동 시 부스트 초크 인덕턴스의 작동으로 발생하는 것이 아닙니다.

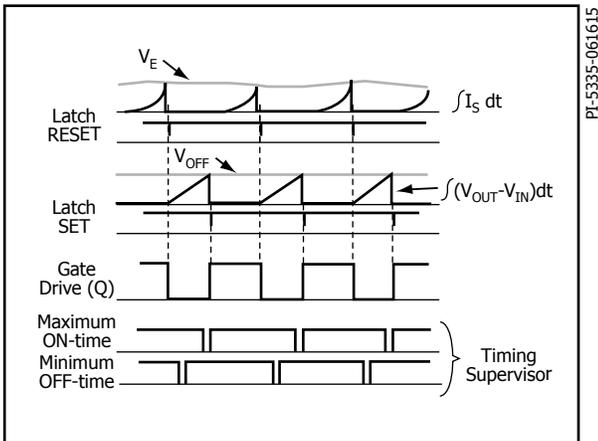


Figure 5. Idealized Converter Waveforms.

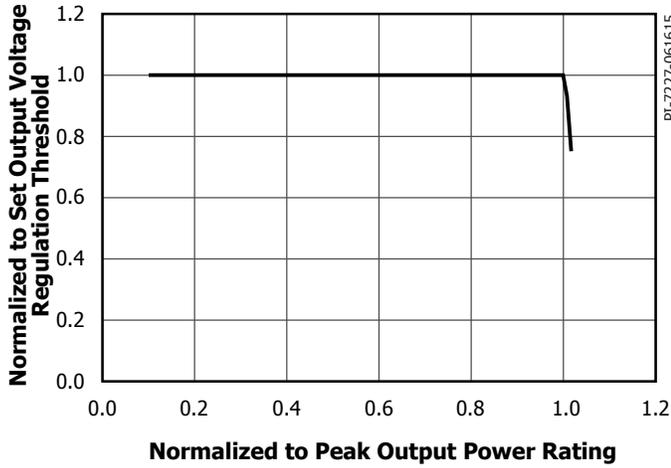


Figure 6. Typical Normalized Output Voltage Characteristics as Function of Normalized Peak Load Rating.

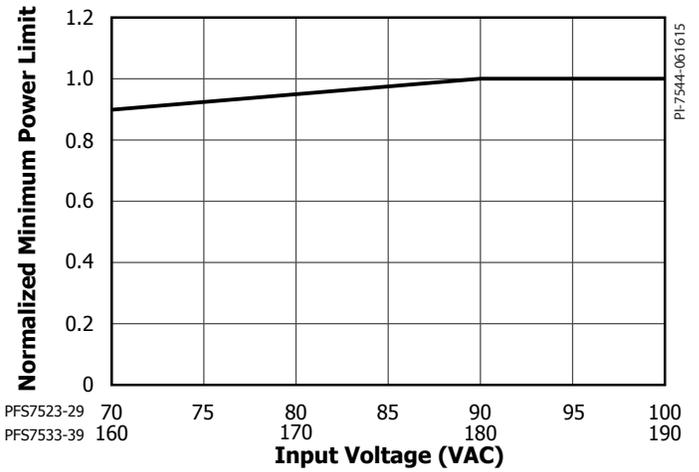


Figure 7. Normalized Minimum Power Limit as Function of Input Voltage.

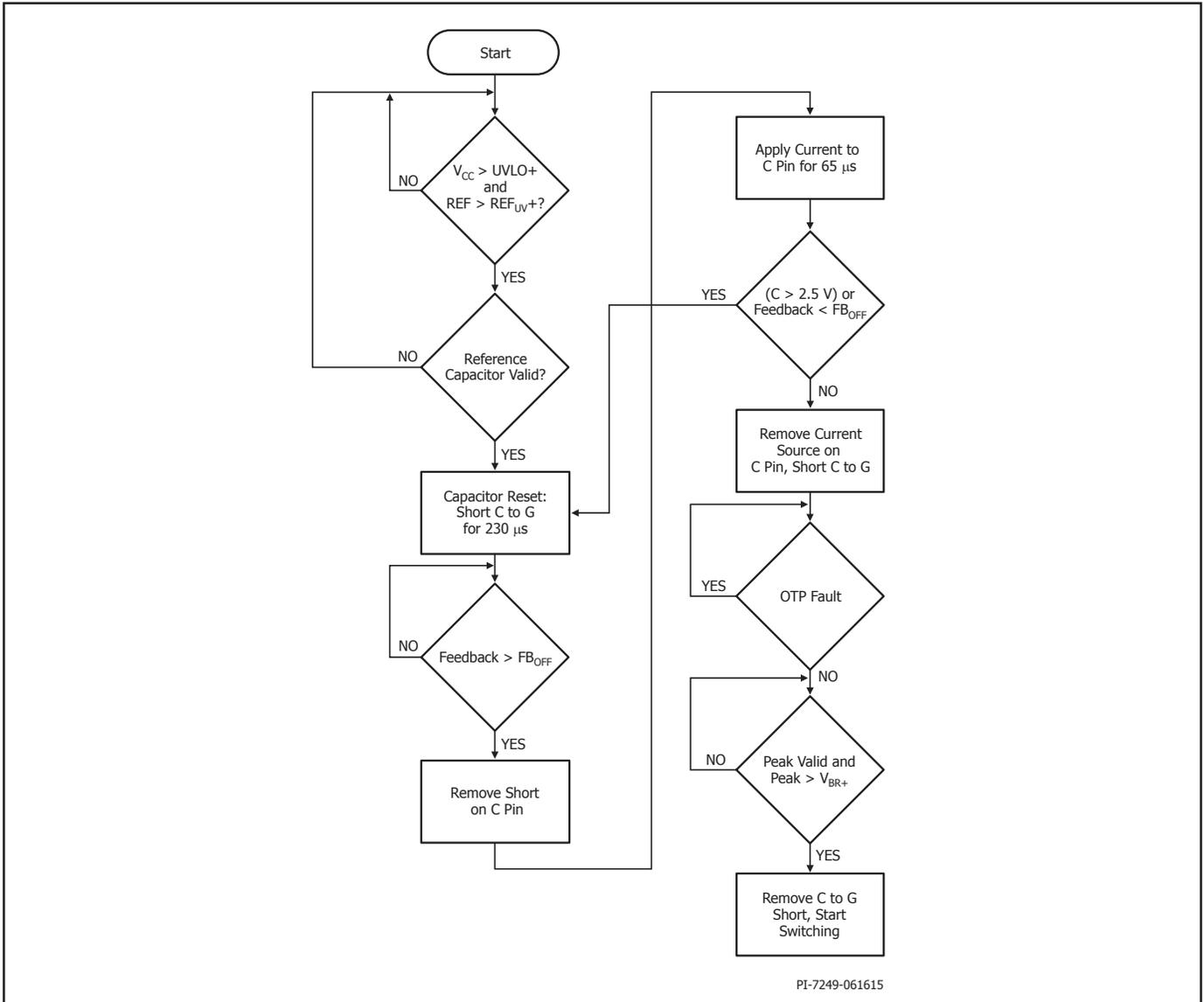


Figure 8. Start-Up Flow Chart.

EcoSmart

HiperPFS-3에는 내부 에러 신호(V_E)를 사용하여 컨버터 출력 전력을 감지하는 EcoSmart 기능이 포함되어 있습니다. 내부 오류 신호는 출력 전력과 관련되어 있기 때문에 이 신호 레벨이 출력 전력에 따라 평균 스위칭 주파수를 설정하는 데 사용됩니다.

그림 10에서처럼 오프 타임 통합 컨트를 레퍼런스(V_{OFF})는 내부 에러 전압 레벨(출력 전력)에 따라 제어되므로 변환기가 출력 전압 레귤레이션을 유지하고 변환 효율을 정격 부하 20%~100%에서 상대적으로 평활화할 수 있습니다. 이는 여러 효율 지점을 충족하는 데 필수입니다. 주파수 슬라이드의 정도 역시 입력 라인 전압에 따라 제어됩니다. 입력 전압에 따라 V_{OFF} 슬로프가 낮아지면 높은 입력 라인 동작을 위한 평균 주파수 최고값이 줄어듭니다.

무부하 소비 전력 감소를 위한 버스트 모드

HiperPFS-3 엔진은 무부하 상태에서 고정된 에러 전압 레벨 간에 전원 스위치 온 및 오프를 작동하는 버스트 모드로 전환되도록 설계되어 있습니다. 따라서 누설 전류가 부하의 대부분을 차지하는 조건에서 레귤레이션을

유지하기 위해 버스트로 전환하여 낮은 소비 전력을 보장합니다. 경부하시 높은 출력 전압 리플은 효율적인 버스트 모드 작동의 결과입니다.

Power Good(PG) 신호

HiperPFS-3는 FEEDBACK 핀에서 센싱된 출력 전압이 설정된 출력 전압 기준값의 ~95%(V_{PG+})까지 상승하는 경우 스타트업 중 오픈 드레인 스위치를 켜는 내부 비교기를 구성하는 'PG(Power Good)' 회로가 특징입니다. 스타트업 중 출력 전압이 V_{PG+} 에 도달하기 전에 PG 신호는 높은 임피던스 상태가 됩니다(내부 스위치는 'OFF'상태임).

FEEDBACK 핀에서 센싱된 출력 전압이 POWER GOOD THRESHOLD (PGT) 핀의 저항에 따라 프로그래밍된 사용자 선택 기준점(Threshold)으로 떨어지면 PG(Power Good) 신호가 'ON'에서 'OFF' 상태로 전환됩니다. POWER GOOD THRESHOLD 핀은 고정 전류 I_{PGT} 를 공급합니다. PFC 출력이 레귤레이션 범위를 벗어나 PG(Power Good) 신호가 'ON' 상태에서 임피던스가 높은 'OFF' 상태로 변환되면 PG(Power Good) 기준값 저장과 결합된 이 전류가 기준값을 설정합니다.

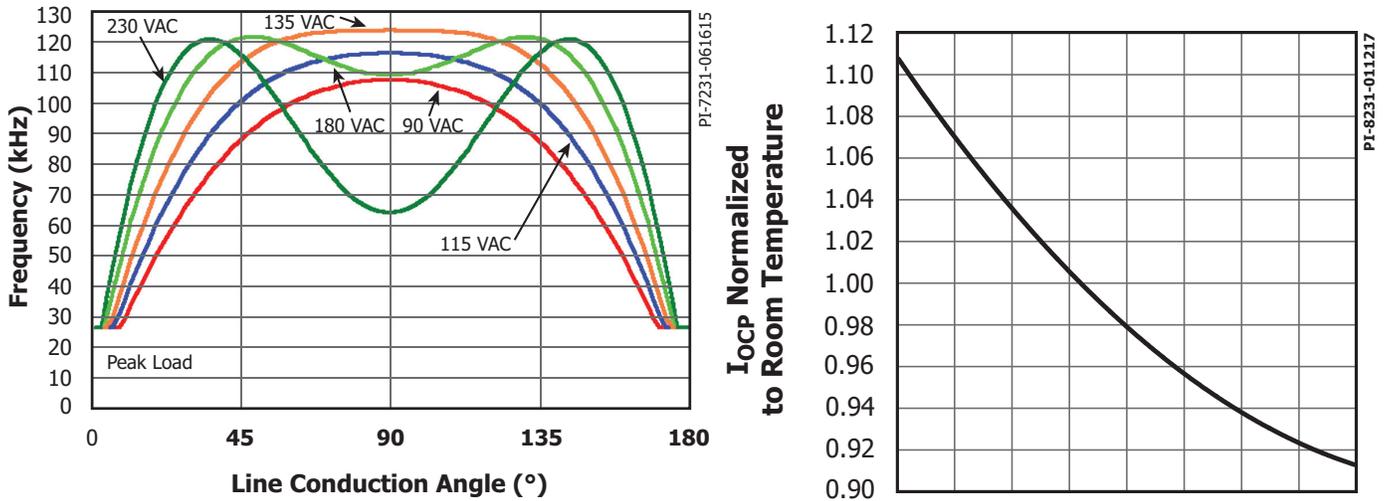


Figure 9. (a) Frequency Variation over Line Half-Cycle as a Function of Input Voltage (b) Frequency Variation over Line Half-Cycle as a Function of Load. Note: Frequency Profiles Shown were Analytically Derived and Reflect CCM Operation Across the Entire Line Cycle.

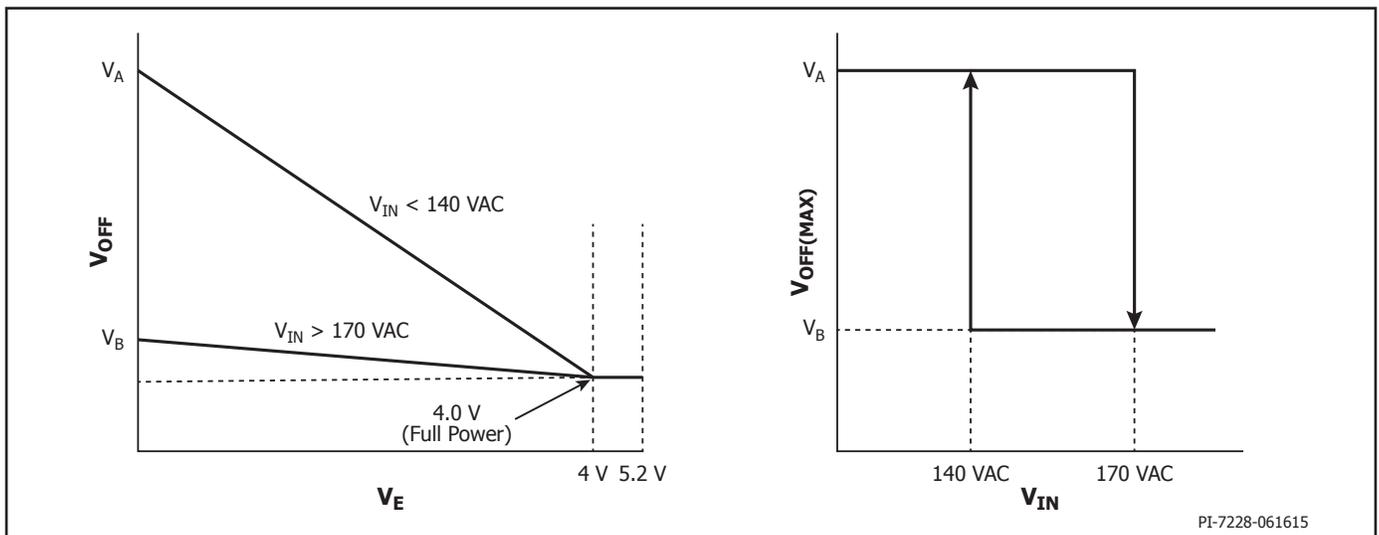


Figure 10. EcoSmart Frequency Slide V_{OFF} vs. V_E and $V_{OFF(MAX)}$ vs. Input Voltage.

PG(Power Good) 비교기에는 내부 81μs 디글리치 필터(t_{PGD})가 있어 노이즈 이벤트가 프로그래밍된 V_{PG} 기준점(Threshold)을 잘못 트리거하지 않도록 방지합니다.

부하로 인한 고장 때문에 부스트가 레귤레이션(설정된 출력 전압 기준점(Threshold)의 ~95% 이상)을 달성하지 못하는 경우 PG 기능은 하이 임피던스 상태로 남아 있고 출력 전압이 사용자가 프로그래밍한 V_{PG} 기준점(Threshold) 아래로 떨어진 경우를 나타내지 않습니다. V_{PG+} 기준값에 도달하면 사용자가 프로그래밍한 V_{PG} 기준값이 활성화됩니다.

POWER GOOD THRESHOLD 프로그래밍 핀이 REFERENCE 핀에 연결되어 있으면, PG(Power Good) 기능이 비활성화되고 PG는 하이 임피던스('OFF') 상태로 남아 있습니다. 이는 PG가 사용 중이지 않은 경우 기본 구성입니다. POWER GOOD THRESHOLD 핀이 SIGNAL GROUND 핀으로 단락되면 PG 신호가 V_{PG+}에서 'ON' 상태로 전환되고 PFC 출력 전압이 t_{FB,UV} 초 이상 V_{FB,UV} 기준점(Threshold) 아래로 떨어질 때까지 낮은('ON') 상태로 남아 있습니다.

위에서 설명한 조건을 비활성화하는 것과 마찬가지로 PGT 저항의 값이 V_{PG} 기준값이 V_{PG+} 기준값보다 크도록 하는 값인 경우 PG 신호는 래칭 OFF되고 임피던스가 높은 OFF 상태로 남아 있습니다.

PG(Power Good) 기능은 다음과 같은 조건에서는 작동하지 않습니다.

- A. VCC 또는 VREF이 유효한 동작 범위에 없는 경우. VCC가 UVLO- 보다 낮거나 또는 VREF가 REF_{UV} 보다 낮은 경우 하이 임피던스 상태의 POWER GOOD 핀에서는 PG(Power Good) 기능이 유효하지 않습니다.
- B. 과열 고장으로 인해 소프트 셋다운이 시작되면 PG(Power Good)는 하이 임피던스 상태가 되어 OT 고장에 대한 조기 알람을 2차측 회로에 제공합니다.
- C. PGT가 225V~360V의 유효한 프로그래밍 범위를 벗어난 경우. PGT 플로우팅을 포함하여 이 범위를 초과하는 PGT 전압은 PG가 액티브 풀다운으로 전환되지 않도록 방지합니다. 이 범위 미만인 PGT 전압은 출력 저전압(V_{FB,UV}) 기준값에서 PG를 비활성화시킵니다.
- D. 스타트업 순서 검사에 통과하여 컨버터가 스타트업 상태가 되면 PGT가 열리며 PG 신호는 컨트롤러가 리셋될 때까지 하이 임피던스에서 래치된 상태로 남아 있습니다.

선택 가능한 출력 제한

REFERENCE 핀의 커패시터를 사용하면 각 디바이스에 대해 사용자가 '최대' 및 '효율' 전력 제한 중에 선택할 수 있습니다. '효율' 전력 모드에서는 사용자가 증가된 변환 효율에 대한 출력 전력 요건을 충족하기 위해 더 큰 디바이스를 선택할 수 있습니다.

'최대' 전력 모드에서 REFERENCE 핀 커패시터는 1.0 μF ±20%이고 '효율' 전력 제한 모드는 0.1 μF ±20% 커패시터 값을 사용합니다.

REFERENCE 핀이 실수로 그라운드로 단락되면 IC는 스위칭을 비활성화하고 스타트업 순서의 모든 조건이 충족될 때까지 비활성 상태로 남아 있습니다.

REFERENCE 핀이 오픈 회로인 경우 바이패스 커패시터가 없으면 스타트업이 방지됩니다. 동작 중 오픈 회로로 인해 REFERENCE 핀 노이즈가 발생하여 VREF REF_{UV} 셋다운이 일어날 수 있습니다.

보호 모드

브라운인 보호(V_{BR})

VOLTAGE MONITOR 핀에는 입력 라인 저전압 감지 기능이 있어 최소 스타트업 전압을 제한합니다. 이러한 감지 기준값은 디바이스가 브라운인보다 작은 입력 AC 전압과 입력 피크 전압인 400V_{PK}에서 시작되지 않도록 억제합니다.

브라운아웃 보호(V_{BR})

VOLTAGE MONITOR 핀에는 브라운아웃 보호 모드가 있습니다. t_{BRWN_OUT} (브라운아웃 디바운스 기간)을 초과하는 기간 동안 VOLTAGE MONITOR 핀 전압이 라인 저전압 기준값(BR) 미만인 경우 HiperPFS-3은 이 모드에서 꺼집니다. 단일 하프 라인 사이클이 누락되어 있는 경우(정상적으로 작동하는 라인 주파수: 47Hz~63Hz) 브라운아웃 감지가 시작되지 않습니다. 브라운아웃이 트리거되면 HiperPFS-3 소프트 셋다운이 1ms의 기간 동안 점차적으로 내부 오류 전압을 OV로 줄여 파워 MOSFET 온 타임을 0으로 만듭니다. 이 소프트 셋다운 개시는 다음 라인 사이클 제로 크로싱에 맞춰 조정되어 리액티브 부품 di/dt 과도를 최소화하고 부스트 초크 내에 저장된 에너지에 대한 시간과 입력 EMI 필터를 소산시킬 수 있습니다. 따라서 브리지 정류기 다음에 있는 전압 과도를 최소화하여 잘못된 리스타트를 방지할 수 있습니다. 이 디바이스에서는 V_{BR+}를 초과하는 VOLTAGE MONITOR 핀을 통해 브라운인 전압을 초과하는 라인 전압이 있는지 확인하기 전에 FMEA 핀 고장 검사 및 기타 스타트업 인증을 비롯하여 오토-리스타트를 수행합니다.

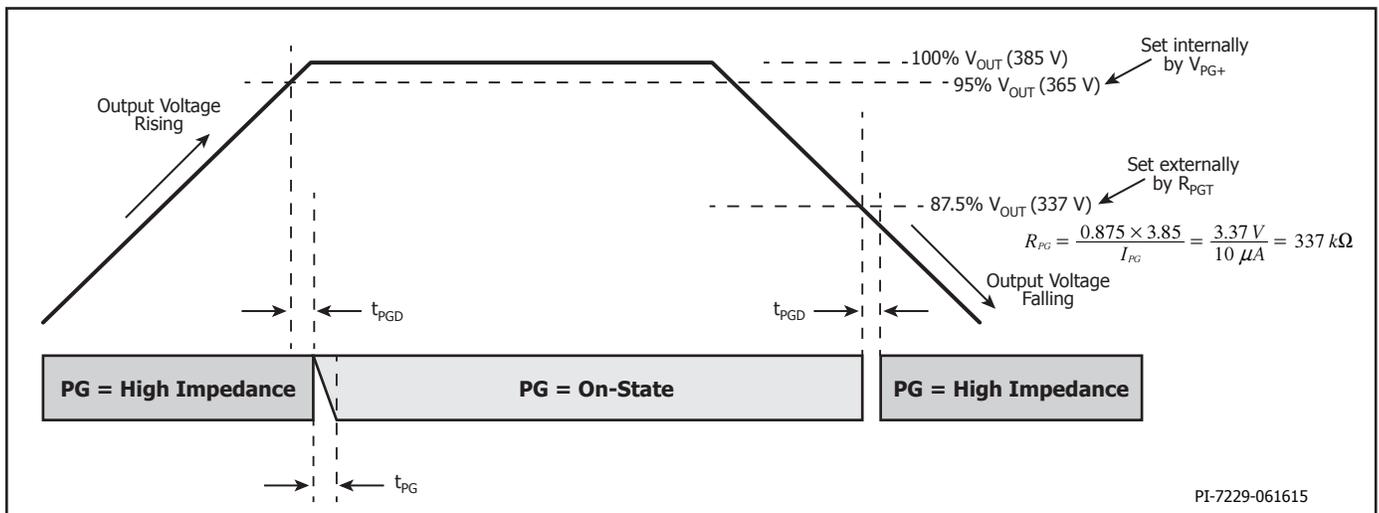


Figure 11. Power Good Function Description.

브라운인 이벤트 후 $t_{STARTUP}$ 타이머가 만료될 때까지 라인 전압 브라운아웃 기준점(Threshold)은 V_{BR-NTC} 로 줄어들고 브라운아웃 타이머는 $t_{BRWN_OUT_NTC}$ 로 확장되어 입력 라인과 직렬로 연결된 돌입 제한 NTC(마이너스 온도 계수) 써미스터로 인해 감지된 라인 전압 강하를 허용합니다.

센싱 라인 전압이 V_{BR-NTC} 기준값 미만으로 떨어져 $t_{BRWN_OUT_NTC}$ 디바운스 타이머가 실행되었으나 $t_{BRWN_OUT_NTC}$ 만료 전에 해당 라인 전압이 V_{BR-NTC} 기준값보다 높게 복구되면 $t_{STARTUP}$ 타이머가 리스타트됩니다. $t_{BRWN_OUT_NTC}$ 만료 전 라인이 V_{BR-NTC} 기준값보다 높게 복구되지 않으면 셋다운이 발생합니다.

$t_{STARTUP}$ 타이머가 만료된 후 VOLTAGE MONITOR 핀 전압이 V_{BR-NTC} 이상이 되면 브라운아웃 디바운스 타이머가 정상 기간(t_{BRWN_OUT})으로 전환되고 브라운아웃 기준값이 V_{BR} 로 전환됩니다. 이후에 이어지는 t_{BRWN_OUT} 타이머가 만료된 후 VOLTAGE MONITOR 핀 전압이 V_{BR} 이상인 것으로 인증되지 않으면 브라운아웃 셋다운이 발생합니다.

HiperPFS-3는 입력 파형 구분 방법을 통합하여 라인 신호 피크 대 평균 비율이 사인파 또는 높은 듀티 사이클 구형파를 더욱 잘 나타냅니다. 높은 듀티 사이클(UPS) 구형파가 감지되면 브라운아웃 기준점(Threshold)이 V_{BR_SQ} 로 줄어듭니다.

VCC 저전압 보호(UVLO)

BIAS POWER(VCC) 핀에는 적용된 VCC 전압이 VCC_{UVLO+} 기준값을 초과하면 IC가 시작되지 않도록 억제하는 저전압 록아웃 보호 기능이 들어 있습니다. BIAS POWER 핀 전압이 VCC_{UVLO+} 기준점(Threshold)을 초과하면 IC가 스타트업을 개시합니다. 스타트업 후 IC는 BIAS POWER 핀 전압이 VCC_{UVLO} 레벨 아래로 떨어질 때까지 계속해서 작동합니다. BIAS POWER 핀의 절대 최대 전압은 17.5V로, IC에 대한 장기간에 걸친 손상을 방지하려면 외부에서 제한되어야 합니다.

과전류 보호(OCP) 제한에 따른 라인

디바이스에는 고장 시 디바이스를 보호하는 사이클별 과전류 보호 메커니즘이 포함되어 있습니다. 이 디바이스에서 OCP 보호의 의도는 내부 파워 MOSFET을 보호하는 것으로, 컨버터가 출력 단락 또는 과부하에 의해 고장 상태가 되지 않도록 보호하는 것은 아닙니다.

유니버설 라인 입력 부품의 경우 OCP 제한은 입력 라인 전압에 따라 설정되는데, 하나는 로우 라인 전압에 대한 설정이고 다른 하나는 하이 라인 전압에 대한 설정입니다. 따라서 전류 제한을 단락 시에 구속할 수 있을 뿐만 아니라 보다 높은 입력 라인 상태에서 전류 부하로 인해 스위치에서 발생한 스트레스를 최소화할 수 있습니다. 그림 12에서는 VOLTAGE MONITOR 핀 라인 센싱에 따른 OCP 레벨에 대한 히스테리시스(Hysteresis) 조절을 보여줍니다. 이는 입력 라인 전압의 피크가 연속 3회 하프 사이클 동안 140VAC 아래로 떨어진 경우에는 로우 라인 OCP(두 설정 중 큰 설정)를 선택하고 입력 라인 전압이 1회 하프 사이클 동안 170VAC 위로 상승하는 경우에는 하이 라인 OCP 레벨(두 설정 중 작은 설정)을 선택하는 것과 같습니다(다음 섹션에서 설명하는 팔로우 모드는 예외).

HiperPFS-3에서는 VOLTAGE MONITOR 핀이 하이 라인 기준값인 V_{HIGH+} 를 초과했음을 감지한 후 높은 입력 라인 OCP를 활용합니다. 로우 라인 기준값 V_{HIGH} 미만인 하프 라인 사이클 피크 값이 연속 3회 나타난 후에만 컨트롤러가 로우 라인 OCP(및 로우 라인 주파수 슬라이드)로 되돌아 갑니다. 라인 강하 시 강하가 37ms(공칭)를 초과하면 컨트롤러가 하이 라인에서 로우 라인 파라미터로 되돌아 갈 수 있습니다. 하이 라인 전용 입력 부품을 고정된 단일 OCP 기준점(Threshold)을 사용합니다.

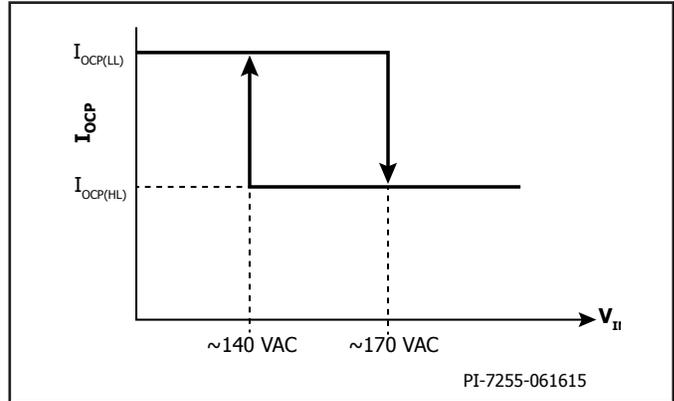


Figure 12. Line Dependent OCP.

팔로우 모드 기능은 입력 전압이 V_{HIGH+} 를 초과하면 컨트롤러를 하이 라인 상태로 바로 업데이트합니다. 이 기능에는 피크 감지기가 낮은 입력 라인 상태를 처음에 감지할 수 있는 긴 AC 라인 강하 후 하이 라인 하드 스타트 상태를 위한 특별한 이점이 있습니다.

리딩 엣지 블랭킹 회로는 파워 MOSFET이 켜진 후 Current Limit 비교기를 짧은 시간(t_{LEB}) 동안 억제합니다. 드레인 캐패시턴스와 정류기 역 리커버리 시간으로 인해 발생한 스위치 전류 스파이크가 MOSFET 전도 기간을 초기에 중단시키지 않도록 이 리딩 엣지 블랭킹 시간이 설정되었습니다.

안전 작동 영역(SOA) 모드

위에서 설명한 사이클별 OCP 메커니즘은 '계단식' 인덕터 전류의 발생 가능성을 방지하지 않기 때문에 SOA 모드 역시 갖추고 있습니다. 인덕터 포화 시 또는 너무 짧은 인덕터 리셋 시간과 결합하여 입력 및 출력 전압 차이가 작은 경우 스위치 전류가 급격히 증가할 수 있습니다.

스위치 전류가 Current Limit(I_{OCP})에 도달하고 온 타임이 t_{SOA} 미만일 때마다 SOA 모드가 실행됩니다. SOA 모드는 스위치가 SOA 내에서 유지되도록 오프 타임을 $t_{OFF(SOA)}$ 와 동일하게 강제로 설정하고 내부 에러 전압(V_E)을 최대값의 1/2까지 끌어내립니다.

고속 출력 전압 과전압 보호(FB_{ov})

HiperPFS-3에는 FEEDBACK 핀에 전압 피드백 기준값 비교기가 있습니다. 이 비교기는 출력 전압 과전압 상태를 감지하여 COMPENSATION 핀 응답에 상관 없이 위험한 전압 상태가 발생하지 않도록 방지합니다. 과전압 보호는 히스테리시스(Hysteresis)입니다. 즉, FEEDBACK 핀의 전압은 스위칭이 리스타트되기 전 0.1V씩(10V의 출력 전압 강하와 동일) 강하되어야 합니다.

FEEDBACK-COMPENSATION 핀 단락 감지 보호

PFC 컨트롤러는 계속해서 FEEDBACK 및 COMPENSATION 핀을 모니터링하여 인접한 FEEDBACK 및 COMPENSATION 핀 사이에 잠재적인 단락 상태가 없는지 확인합니다. 따라서 감지되지 않은 경우 출력 과전압 상태로 이어질 수 있습니다. 잠재적인 단락이 감지되는 경우 신속한 단락 검사가 수행되어 의심되는 단락이 확인된 경우 셋다운이 실행됩니다.

오픈 FEEDBACK 핀 보호

FEEDBACK 핀은 계속해서 $I_{FBPD} [VCC > VCC_{UVLO+}]$ 의 정적 전류를 싱크하여 오픈 FEEDBACK 핀 또는 불완전한 피드백 분배기 네트워크와 관련된 장애로부터 보호합니다. 내부 전류 싱크는 출력 레귤레이션에 작은 정적 오프셋을 적용하는데, 이는 출력 피드백 레귤레이션 부품(FEEDBACK 핀 분배기)을 선택하는데 고려할 수 있습니다.

히스테리시스(Hysteresis) 씨멀 셋다운

씨멀 셋다운 회로는 노출된 접지 패드를 통해 히트싱크에 잘 커플링되는 컨트롤러 칩 온도를 센싱합니다. 기준값은 117°C로 설정되며 일반적으로 36°C 히스테리시스(Hysteresis)를 갖습니다. 컨트롤러 칩 온도가 이 기준값(OTP)을 초과하여 상승하면 컨트롤러는 소프트 셋다운을 시작하고 컨트롤러 칩 온도가 ~36°C까지 떨어질 때까지 비활성화된 상태로 남아 있으며, 이 시점에 디바이스가 스타트업 순서를 다시 시작합니다.

OTP 이벤트 감지 후 발생하는 소프트 셋다운의 최대 지연 시간은 다음 제로 크로싱을 초과하는 t_{OTP} 입니다.

HiperPFS-3의 추가 기능 및 변경 사항

Note: 기능 변경 및 최적화로 인해 HiperPFS-3은 HiperPFS-2의 핀투핀 호환 대체가 되지 않습니다.

- 향상된 작동 공급 전압 최대값: 15V
- 외부 부품 수 감소.
- 넓은 온도 범위에 대한 주요 파라미터의 오차가 개선되었습니다.
- 아키텍처를 수정하여 노이즈에 대한 내성 및 작동 정확성이 개선되었습니다.
- 피드백 네트워크 전압이 루프 보정 부품에서 디커플링되었습니다.
- HiperPFS-3 제품군에 하이 라인 전용 부품이 추가되었습니다.
- 피크 감지기는 스타트업 시 NTC 돌입 전류 제한을 위한 디글리치 방법을 지원합니다.
- 디지털 역률 개선 장치 알고리즘으로 하이 라인 경부하 역률을 개선했습니다.
- OTA 에러 증폭기가 HiperPFS-2의 에러 증폭기를 대체합니다.

- 빠른 과도 응답을 위해 고정된 전류 소스를 통해 구현된 NLA는 HiperPFS-2에서의 스위칭된 전압 계인을 대체합니다.
- 오프 타임 컨트롤러가 실제 피드백 전압을 센싱하여 인덕터 포화를 막기 위한 오프 타임을 계산합니다.
- VOLTAGE MONITOR 핀이 HiperPFS-2의 전류 모드 센싱 대신 전압 모드 센싱을 사용하여 저항 분배기의 크기를 유연하게 선택할 수 있습니다.
- 최소 라인 피드 포워드 게인이 줄어 라인 수축 시 더 높은 전력 제공을 지원합니다.
- 부분 선형 근사법과 달리 실제 제공 함수를 사용하여 라인 피드 포워드 게인이 구현되었습니다.
- 라인 전압 기능(피크 감지, 피드 포워드, 브라운인/브라운아웃, PF 향상)이 디지털 도메인에서 수행됩니다.
- 사이클 간 변형을 매끄럽게 하기 위해 피크 감지에서 필터링을 통합했습니다.
- 좀 더 좁은 오차로 브라운인/브라운아웃 기준값을 최적화했습니다.
- 대부분의 타이머가 내부 고속 클럭에서 파생되어 정확한 타이밍을 제공합니다.
- 최적의 작동 및 내부 접지를 위해 eSIP-16 패키지 핀 아웃이 수정되었습니다.
- 다시 엔지니어링된 버스트 모드 작동으로 인해 무부하/경부하 전력 사용량이 최적화되었습니다.
- 컨트롤 엔진 전력 사용량 감소: 대기 전류가 ~4~5x HiperPFS-2 공칭만큼 줄었습니다.
- HiperPFS-3 REFERENCE 핀이 HiperPFS-2 REFERENCE 핀을 대체하고 외부 바이패스 커패시터가 외부 1% 저항을 대체합니다.
- HiperPFS-2에서 공칭 6.0V인 $V_{FB(REF)}$ 를 공칭 3.85V로 줄였습니다.
- 파형이 왜곡되고 라인 드롭이 생긴 상태에서 작동하는 경우에도 피크 감지기가 최대 동작 영역에서 작동하도록 최적화되었습니다.
- UPS 작동 향상을 위해 구형파 감지기 기능이 추가되었습니다.
- OTP 이벤트를 제외한 작동 중 PG(Power Good) 기능은 엔진과 상관 없습니다.
- FB_{OFF} 고장 검사가 작동 중 항상 활성화되어 있습니다.
- 최대 CCM 피크 스위칭 주파수가 ~100kHz에서 123kHz로 상승했습니다.

Output Power Table

eSIP Package						
Product	Efficiency Power Mode $C_{REF} = 0.1 \mu F$			Full Power Mode $C_{REF} = 1.0 \mu F$		
	Maximum Continuous Output Power Rating at 90 VAC ²		Peak Output Power Rating at 90 VAC ⁴	Maximum Continuous Output Power Rating at 90 VAC ²		Peak Output Power Rating at 90 VAC ⁴
	Minimum ³	Maximum		Minimum ³	Maximum	
PFS7523L/H	65 W	90 W	100 W	85 W	110 W	120 W
PFS7524L/H	80 W	110 W	125 W	100 W	130 W	150 W
PFS7525L/H	110 W	150 W	170 W	140 W	185 W	205 W
PFS7526H	140 W	190 W	215 W	180 W	230 W	260 W
PFS7527H	175 W	235 W	265 W	220 W	290 W	320 W
PFS7528H	210 W	285 W	320 W	270 W	350 W	385 W
PFS7529H	245 W	335 W	375 W	300 W	405 W	450 W

Product	Efficiency Power Mode $C_{REF} = 0.1 \mu F$			Full Power Mode $C_{REF} = 1.0 \mu F$		
	Maximum Continuous Output Power Rating at 180 VAC ²		Peak Output Power Rating at 180 VAC ⁴	Maximum Continuous Output Power Rating at 180 VAC ²		Peak Output Power Rating at 180 VAC ⁴
	Minimum ³	Maximum		Minimum ³	Maximum	
PFS7533H	155 W	205 W	230 W	195 W	255 W	280 W
PFS7534H	200 W	260 W	290 W	240 W	315 W	350 W
PFS7535H	275 W	360 W	400 W	335 W	435 W	480 W
PFS7536H	350 W	460 W	510 W	415 W	550 W	610 W
PFS7537H	430 W	560 W	625 W	520 W	675 W	750 W
PFS7538H	520 W	675 W	750 W	625 W	810 W	900 W
PFS7539L/H	575 W	745 W	830 W	690 W	900 W	1000 W

Table 2. Output Power Table.

Notes:

1. See Key Application considerations.
2. Maximum practical continuous power at 90 VAC in an open-frame design with adequate heat sinking, measured at 50 °C ambient.
3. Recommended lower range of maximum continuous power for **best light load efficiency**; HiperPFS-3 will operate and perform below this level.
4. Internal output power limit.

애플리케이션 예제

고효율, 275W, 385VDC 유니버설 입력 PFC

그림 13에 표시된 회로는 PFC 컨트롤러가 내장된 HiperPFS-3 제품군에 속한 디바이스를 사용하여 설계되었습니다. 이 설계는 275W의 연속 출력 전력에 적합하며, 경부하부터 풀 부하까지 높은 입력 역률 및 전체 효율을 유지하는 385VDC의 레귤레이션된 공칭 출력 전압을 제공합니다.

퓨즈 F1은 회로에 보호 기능을 제공하고 고장 발생 시 AC 공급을 차단합니다. 다이오드 브리지 BR1은 AC 입력 전압을 정류합니다. 커패시터 C1~C7은 인덕터 L2 및 L3과 함께 커먼 모드 및 디퍼렌셜 모드의 노이즈를 줄이는 EMI 필터를 형성합니다. 저항 R1, R2 및 CAPZero, IC U2는 회로의 연결이 끊긴 경우 EMI 필터 커패시터를 방전해야 합니다. CAPZero는 AC가 제거된 경우에만 입력 양단간의 이 부품들을 연결함으로써 R1 및 R2의 정적 손실을 방지합니다.

MOV(금속 산화물 배리스터) RV1은 라인 서지가 발생할 때 파워 서플라이에서 나타나는 입력 전압을 효과적으로 클램핑하여 회로를 보호합니다.

부스트 컨버터단은 인덕터 L1 및 HiperPFS-3 IC U1로 구성됩니다. 이 단은 부스트 컨버터로 작동하며 파워 서플라이의 입력 전류를 컨트롤하는 동시에 출력 DC 전압을 레귤레이션합니다. 다이오드 D2는 인덕터 L1을 바이패스하는 동시에 출력 커패시터 C17를 충전하여 스타트업 시 출력 전압의 공진 빌드업을 방지합니다.

써미스터 RT1은 스타트업 시 회로의 돌입 입력 전류를 제한하고 L1의 포화를 방지합니다. 대부분의 고성능 설계에서는 파워 서플라이 효율을 향상시키기 위해 릴레이를 사용하여 스타트업 후 써미스터를 바이패스합니다. 써미스터 RT1은 출력 전압이 레귤레이션되고 U1의 PG(Power Good) 신호가 낮게 동작 중지된 후 전기기계 릴레이 RL1에 의해 바이패스됩니다. 저항 R3, R4 및 Q1이 릴레이 RL1 및 옴토커플러 U3를 구동합니다. 다이오드 D1은 비활성화 전환 중 릴레이 코일 역 전압을 클램핑합니다. 저항 R5는 옴토커플러 내 다이오드로의 전류를 제한합니다. IC U3는 필요한 경우

PG(Power Good) 출력 신호에 커넥터 J2를 통한 옴토커플러 절연을 제공합니다.

커패시터 C15는 출력 회로의 루프 길이 및 영역을 줄여 각 스위칭 단에서 U1 내 MOSFET의 소스 및 드레인에서 발생하는 EMI와 전압의 오버슈트를 감소시킵니다.

PFS7527H IC는 작동하는 데에는 12V의 레귤레이션된 공급이 필요하며 15V를 초과해서는 안 됩니다. 저항 R6, R7, R8, 제너 다이오드 VR1 및 트랜지스터 Q2는 IC U1의 공급 전압이 15V를 초과하는 것을 방지하는 직렬 패스 레귤레이터를 구성합니다. 커패시터 C8 및 C9는 공급 전압을 필터링하고 IC U1의 안정적인 작동을 유지하기 위해 바이패싱과 디커플링을 제공합니다. 다이오드 D3은 역극성 보호 기능을 제공합니다.

저항 R15는 PGT(POWER GOOD THRESHOLD) 핀을 통해 출력 전압 레벨을 PG(POWER GOOD) 핀이 높은 임피던스 상태에 진입하는 레벨보다 낮게 프로그래밍합니다. 커패시터 C14는 POWER GOOD THRESHOLD 핀에서 노이즈에 대한 내성을 제공합니다.

IC U1은 REFERENCE 핀에 연결된 커패시터 C10에 따라 최대 전력 모드로 구성됩니다.

파워 서플라이의 정류된 AC 입력 전압은 저항 R10~R13을 사용하는 IC U1에서 센싱됩니다. 전력 사용량을 최소화하기 위해 이러한 저항 값은 큼니다. 하단 저항 R13과 병렬로 연결된 커패시터 C11은 VOLTAGE MONITOR 핀으로 커플링된 노이즈를 필터링합니다.

저항 R16~R19로 구성된 출력 전압 분배기 네트워크는 출력 전압을 조정하고 피드백을 IC에 제공하는 데 사용됩니다. 저항 R19과 병렬로 연결된 커패시터 C16은 높은 주파수 노이즈를 줄입니다.

피드백 네트워크의 루프 응답을 형성하는 데 R14, C12 및 C13이 필요합니다.

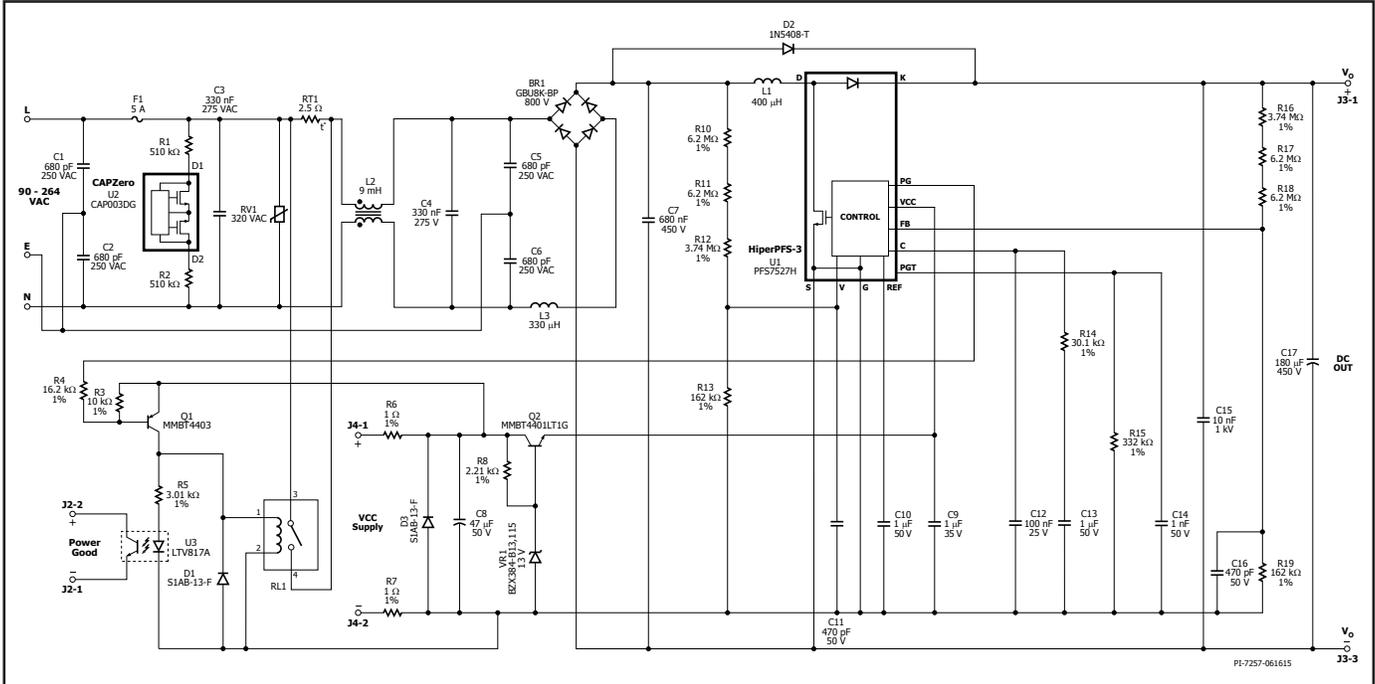


Figure 13. 275 W PFC using PFS7527H.

설계, 조립 및 레이아웃 고려 사항

전력표

데이터 시트의 전력표(표 2)는 다음과 같은 조건에서 얻을 수 있는 최대 실제 연속 출력 전력을 나타냅니다.

유니버설 입력 디바이스(PFS7523L/H – PFS7529H)의 경우:

1. 입력 전압 범위는 90VAC~264VAC입니다.
2. 가장 낮은 동작 전압에서 전반적인 효율은 최소 93%입니다.
3. 공칭 출력은 385W입니다.
4. 충분한 히트싱크로 디바이스 온도를 100°C 이하로 유지합니다.

위에서 언급한 제한을 초과한 작동에는 정격 감소가 필요합니다. 고온에서의 동작은 MTBF가 감소하고 성능이 저하될 수 있어 권장되지 않습니다. 성능 저하의 예로는 효율 저하, 전력 제한 및 PF 감소, 히스테리시스(Hysteresis) 브라운아웃 오동작 등이 있습니다. HiperPFS-3 기반 설계에는 395V보다 높은 공칭 출력 전압을 사용하지 않는 것이 좋습니다. 395V보다 높은 전압에서 작동하면 라인 및 부하 과도 중 드레인-소스 전압이 기대한 것보다 높을 수 있습니다.

HiperPFS-3 선택

필요한 최대 출력 전력, PFC 효율 및 전반적인 시스템 효율(세컨드 스테이지 DC-DC 컨버터와 사용되는 경우), 히트싱크 제약 조건, 시스템 요구 사항 및 비용에 따라 최적의 HiperPFS-3 부품을 선택할 수 있습니다. HiperPFS-3는 성능을 최적화하거나, 효율을 개선하거나, 써멀 설계 제약이 있는 애플리케이션에 맞추기 위해 한 단계 더 높거나 낮은 부품으로 설계를 해야 하는 경우 쉽게 교체할 수 있습니다. 성능 최적화를 위해 기존 설계에 한 단계 더 높거나 낮은 HiperPFS-3 부품을 사용하는 경우 일부 설계에서 인덕턴스 값 및 EMI 필터 부품을 약간 조정해야 할 수 있습니다.

모든 HiperPFS-3 제품군 부품에는 최적의 값을 제공하는 최적의 부하 레벨이 있습니다. 부하 레벨에 따라 부품의 작동 주파수가 변경됩니다. 주파수를 변경하면 사용되는 인덕턴스에서 피크 간 전류 리플이 변경됩니다. 전류 리플의 변화는 입력 PF 및 입력 전류의 총 고조파 왜곡에 영향을 미칩니다.

입력 퓨즈 및 보호 회로

입력 퓨즈는 입력 저전압으로 인해 PFC가 꺼질 때의 입력 전류보다 높은 연속 전류로 흐를 수 있는 정격을 가져야 합니다. 이 전압을 브라운아웃 전압이라고 합니다.

스타트업 중 불필요한 실패를 피하려면 퓨즈에 충분한 정격 I_{t^2} 이 있어야 합니다. 스타트업 시 출력 커패시터가 적용된 전압의 피크까지 충전되므로 입력에서 큰 전류를 끌어옵니다. 충전 전류는 모든 돌입 제한 써미스터, EMI 필터 인덕터의 임피던스, 입력 정류기 다이오드의 포워드 저항으로만 제한됩니다. MOV는 일반적으로 라인 서지에서 PFC를 보호하기 위해 필요합니다. MOV 정격은 PFC가 견뎌야 하는 에너지 레벨(EN1000-4-5 클래스 레벨)에 따라 다르게 선택합니다.

돌입 전류 제한을 제공하려면 입력측에서 적절한 NTC 써미스터를 사용해야 합니다. 이 써미스터 선택은 파워 서플라이의 돌입 전류 사양에 따라 달라져야 합니다. NTC 써미스터가 라인 과도 발생 시 부품에 대한 스트레스를 제한하지 못하고 예측 가능한 방식으로 돌입 전류를 제한하지 못한 경우 회로의 다른 모든 부분에 NTC 써미스터를 배치하지 못할 수 있습니다. 그림 13의 예는 PFC 스타트업 후 릴레이와 함께 바이패스되는 입력측에 돌입 제한 NTC 써미스터가 있는 회로 구성을 보여줍니다. 이러한 배열은 일정한 돌입 제한 성능을 회로를 통해 얻을 수 있음을 보장합니다.

입력 EMI 필터

HiperPFS-3의 가변 스위칭 주파수는 스위칭 주파수를 효율적으로 조정하고 기본 스위칭 주파수의 고조파와 관련된 전도성 EMI 피크를 줄입니다. 이는 특히 EMI 측정에서 사용되는 평균 감지 모드에 효과적입니다.

PFC는 스위칭 컨버터로, 전도성 및 방사 EMI에 대한 대부분의 안전 기준 표준의 요구 사항을 충족하기 위해 입력에 EMI 필터를 필요로 합니다. 일반적으로 라인 양단에 연결된 X 커패시터와 함께 커먼 모드 필터는 입력 전류의 고주파 성분을 허용 가능한 수준으로 감소시킵니다. 커먼 모드 필터 인덕터의 누설 인덕턴스와 X 커패시터는 로우 패스 필터를 형성합니다. 일부 설계에서는 커먼 모드 초크의 디퍼렌셜 모드 인덕턴스를 보충하기 위해 디퍼렌셜 필터 인덕터를 추가로 사용해야 할 수 있습니다.

ESR이 낮고 리플 전류 용량이 높은 필터 커패시터는 입력 브리지 정류기의 출력에 연결해야 합니다. 이 커패시터는 입력 전류 리플의 스위칭 주파수 성분 생성을 줄이고 EMI 필터 설계를 간소화합니다. 일반적으로, 유니버설 입력 설계에는 100W당 0.33 μ F를 사용해야 하고 230VAC 전용 설계에는 100W당 0.15 μ F의 출력 전력을 사용해야 합니다.

일반적으로 브리지 정류기 다음에 더 높은 커패시턴스 값을 사용하여 EMI 필터 내 X 커패시턴스를 줄일 수 있습니다.

규제 관련 요건에 따라 브리지 정류기의 AC측에서 입력 X 커패시턴스 양단에 연결되는 방전 저항을 사용해야 합니다. 이렇게 하면 커패시턴스가 0.1 μ F보다 높은 경우 입력 전압이 제거된 후 잔류 충전이 소모됩니다. 파워 인테그레이션스(Power Integrations)의 CAPZero 집적 회로를 사용하면 X 커패시터에 영구적으로 연결된 방전 저항 사용과 관련하여 발생하는 정상 상태 손실을 없앨 수 있습니다.

인덕터 설계

페라이트 인덕터의 경우 최적의 설계는 0.3~0.45 범위 내의 K_p 값을 가집니다. K_p 는 최소 AC 전압, 90° 위상각, 풀부하 시 피크 값에 따라 분배된 피크 간 전류 값으로 정의됩니다. K_p 가 0.3 이하이면(더욱 연속적) 인덕터 크기가 과도해질 수 있는 반면에 K_p 가 더욱 커져 0.45를 초과하면 고주파수 AC 전류가 커져서 권선 AC 저항 손실이 과도해질 수 있습니다. 이는 특히, 대부분의 페라이트 인덕터 설계에 권선 레이어가 3개 이상 필요하기 때 문입니다. 코어 포화를 방지하려면 최대 Current Limit에서 플럭스 밀도가 3900가우스 미만이어야 합니다.

전류가 낮으면 더 높은 μ 성분이 더 큰 인덕턴스를 일으키는 경향이 있으므로 샌더스트 코어 재료가 사용되는 경우 90 μ 또는 125 μ 재료를 사용하는 것이 좋습니다. 따라서 더 낮은 라인 위상각(<45°)에서 피크 간 인덕터 전류가 줄어들어 경부하와 더 높은 입력 전압에서도 손실이 감소하고 PF가 개선됩니다. 설계 목표는 피크 전류(로우 라인, 풀부하, 90° 라인 위상각)에서 H가 ~60A-t/cm이 되게 하는 것입니다. H가 더 커지면 코어 손실이 과도해지고 이 값보다 낮아지면 AC 동판 손실이 늘어납니다.

HiperPFS-3 설계 스프레드시트는 이 프로세스를 간소화하고 페라이트 또는 샌더스트에 대한 코어 크기 및 설계를 자동으로 추천합니다.

고성능 설계의 경우 표피 효과 및 근접 효과로 인한 구리 손실을 줄이기 위해 리츠선(Litz wire)을 사용하는 것이 좋습니다. 토로이드 인덕터의 경우 레이어 수는 3개 미만이어야 하고 보빈 권선 인덕터의 경우 레이어 간 커패시턴스를 최소화하기 위해 레이어 간 절연을 사용해야 합니다.

출력 커패시터

385V 공칭 PFC의 경우 연속 정격이 450V 이상인 전해 커패시터를 사용하는 것이 좋습니다. 필요한 커패시터는 허용 가능한 출력 리플 레벨과 홀드업 시간 요구 사항에 따라 달라집니다. 아래 공식은 홀드업 시간 요구 사항과 출력 리플 요구 사항을 충족하기 위해 필요한 커패시터를 결정하는 쉬운 방법을 제공합니다. 두 값 중에서 더 높은 값을 사용해야 합니다.

다음 공식을 사용해 계산합니다.

$$C_o = \frac{2 \times P_{OUT} \times t_{HOLDUP}}{V_{OUT}^2 - V_{OUT(MIN)}^2}$$

- C_o PFC 출력 커패시터스(단위: F)
- P_o PFC 출력 전력(단위: W)
- t_{HOLDUP} 파워 서플라이에 대한 홀드업 시간 사양(단위: 초)
- V_{OUT} PFC의 가장 낮은 정격 출력 전압(단위: V)
- $V_{OUT(MIN)}$ 홀드업 시간 종료 시 PFC의 허용 가능한 최소 출력 전압(단위: V)

저주파수 리플 사양을 충족하는 데 필요한 커패시터는 다음 공식을 사용하여 계산됩니다.

$$C_o = \frac{I_{O(MAX)}}{2 \times \pi \times f_L \times \Delta V_o \times \eta_{PFC}}$$

- f_L 입력 주파수(단위: Hz)
- ΔV_o 피크간 출력 전압 리플(단위: V)
- η_{PFC} PFC 동작 효율
- $I_{O(MAX)}$ 최대 출력 전류(단위: amps)

위 방법을 사용하여 계산된 커패시터는 적절하게 증가하여 에이징 및 오차를 고려해야 합니다.

IC의 파워 서플라이

레귤레이션된 12V 공급이 HiperPFS-3에 사용되어야 합니다. VCC가 15V를 초과하면 HiperPFS-3가 손상될 수 있습니다. HiperPFS-3의 동작에는 대략적으로 $I_{CC(ON)}$ 최대값만 필요로 하기 때문에 대부분의 애플리케이션에서는 NPN 트랜지스터 및 제너 다이오드를 사용하여 만든 직렬 패스 리니어 레귤레이터가 적절합니다.

VCC 서플라이를 디커플링하는 데 1 μ F 이상의 낮은 ESR 세라믹 커패시터를 사용하는 것이 좋습니다. 이 커패시터는 회로 기판의 IC 핀에 직접 배치해야 합니다.

라인 센싱 네트워크

VOLTAGE MONITOR 핀에 연결된 라인 센싱 네트워크는 HiperPFS-3에 입력 전압 정보를 제공합니다. 이 설계 예제에서는 16M Ω 의 값을 선택하여 해당 저항에서 소비 전력을 최소화합니다. 허용 오차가 1%인 저항을 사용하는 것이 좋습니다.

470pF의 디커플링 커패시터를 하단 저항과 병렬 상태로, HiperPFS-3의 VOLTAGE MONITOR 핀에서 GROUND 핀으로 연결해야 합니다. 이 커패시터는 회로 기판의 IC 핀에 직접 배치해야 합니다.

피드백 네트워크

최적의 성능을 구현하기 위해서는 정격 출력 전압일 때 FEEDBACK 핀에서 3.85V를 제공하는 저항 분배기 네트워크를 사용해야 합니다. 적절한 레귤레이션과 전원 공급을 위해서는 VOLTAGE MONITOR 핀 저항 분배 네트워크에 정비례하여 배율을 조정해야 합니다. HiperPFS-3 컨트롤러는 385VDC의 출력 전압으로 작동하는 데 최적화되어 있습니다. 권장되는 100:1 이외의 FEEDBACK 핀 분배 비율을 필요로 하여 일반 파라미터 값

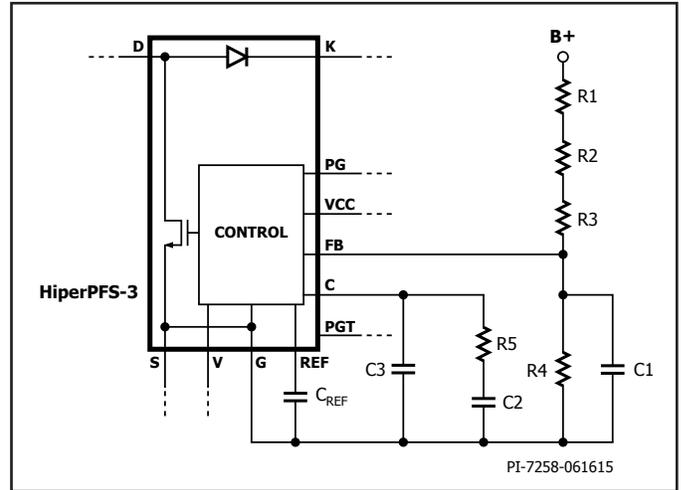


Figure 14. Recommended Feedback Circuit.

을 벗어나는 전압이 필요한 애플리케이션은 특정 설계에 대한 주요 목표 파라미터에 대한 상충점이 고려되어야 합니다. 예: 역률을 최적화하기 위해 VOLTAGE MONITOR 핀 분배 비율을 피드백 분배와 동일하게 수정할 수 있습니다. 그러나 이렇게 하면 전력 제한과 브라운인/브라운아웃 기준 값 등에 영향을 미칩니다. $\pm 10V$ 내에서 수정하더라도 성능이 크게 저하되면 안 되므로 철저히 확인해야 합니다. 이러한 범위를 초과하여 변경하는 것은 좋지 않습니다. 이러한 유형의 항목화된 관계는 이 데이터 시트의 범위를 벗어납니다.

권장되는 회로 및 연관 부품 값이 그림 14에 표시되어 있습니다.

저항 R1~R4는 메인 출력 전압 분배기 네트워크로 구성됩니다. 저항 R1, R2, R3의 합은 상단 분배기 저항이고, 하단 피드백 저항은 R4입니다. 커패시터 C1은 FEEDBACK 핀으로의 커플링으로 인한 모든 스위칭 노이즈를 필터링합니다. 저항 R5, 커패시터 C2와 C3은 낮은 크로스오버 주파수 및 충분한 위상 마진을 보장하기 위해 루프 응답을 조정하는 데 필요한 루프 보정 네트워크입니다. 권장되는 부품 값은 다음과 같습니다.

- R1 = 3.74M Ω
- R2 = 6.2M Ω
- R3 = 6.2M Ω
- R5 = 30.1k Ω
- C1 = 470pF
- C2 = 1 μ F
- C3 = 100nF

위 부품 값을 사용하면 아래 공식을 사용하여 저항 R4의 값을 계산할 수 있습니다.

$$R_4 = \frac{(R_1 + R_2 + R_3)}{\left(\frac{V_o}{V_{FB(REF)}} - 1\right)}$$

- V_o 출력 전압
- $V_{FB(REF)}$ FEEDBACK 핀 전압, 3.85V

일부 설계에서는 저항 R5의 값을 조정해야 합니다. 다음 계산에서 산출된 값을 참고할 수 있습니다.

$$R_5 = R_Z = \frac{P_o}{0.3 \times V_o^2 \times C_o} (k\Omega)$$

P_o 최대 연속 출력 전력(단위: W)
 V_o 정격 PFC 출력 전압(단위: V)
 C_o PFC 출력 커패시턴스(단위: 패럿)

히트싱크 및 써멀 설계

그림 15, 16, 17에서는 HiperPFS-3에 권장되는 조립의 예를 보여줍니다. 이 조립에서는 절연 패드가 필요하지 않고, HiperPFS-3는 기계적 클립 또는 열 접착제로 히트싱크에 바로 연결할 수 있습니다.

EMI를 줄이기 위해 HiperPFS-3의 뒤편 금속면이 히트싱크에 전기적으로 연결되어 있으며 히트 싱크를 HiperPFS-3 소스 단자에 연결해야 합니다.

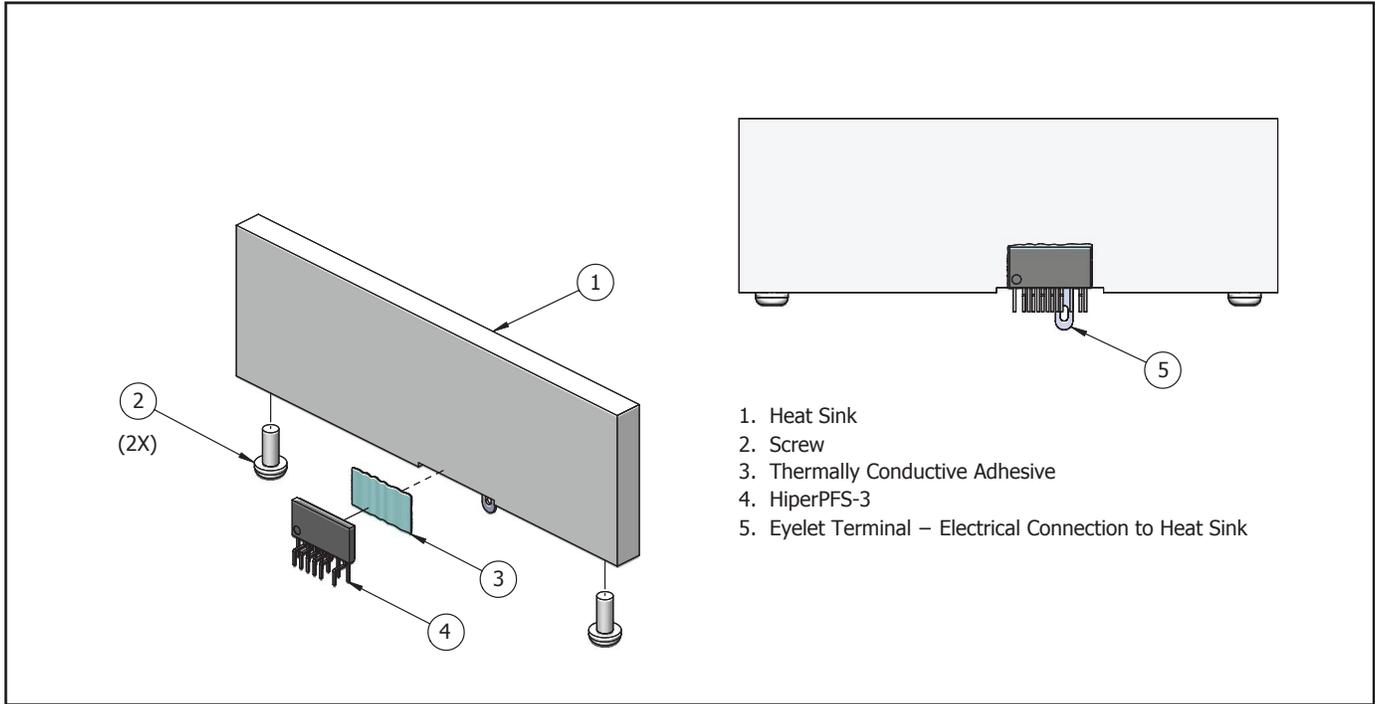


Figure 15. Heat Sink Assembly – using Thermally Conductive Adhesive.

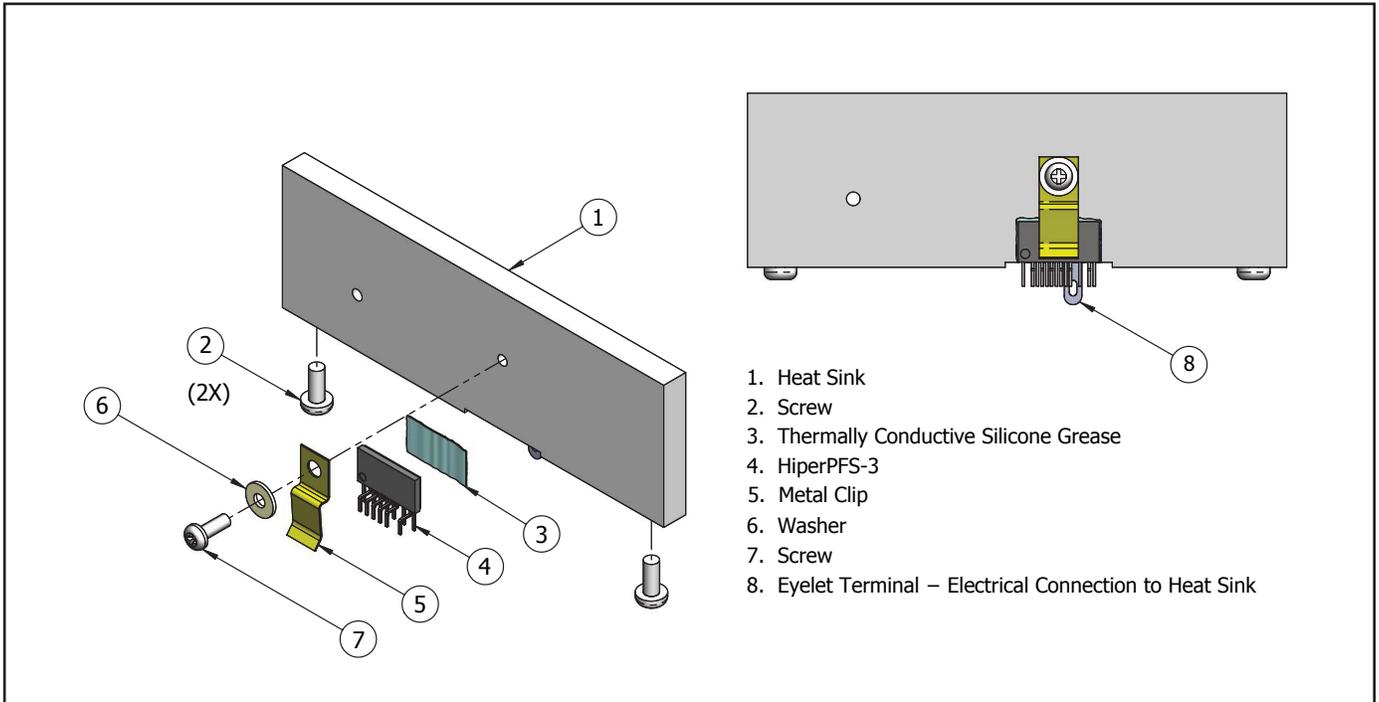


Figure 16. Heat Sink Assembly – with Metal Clip.

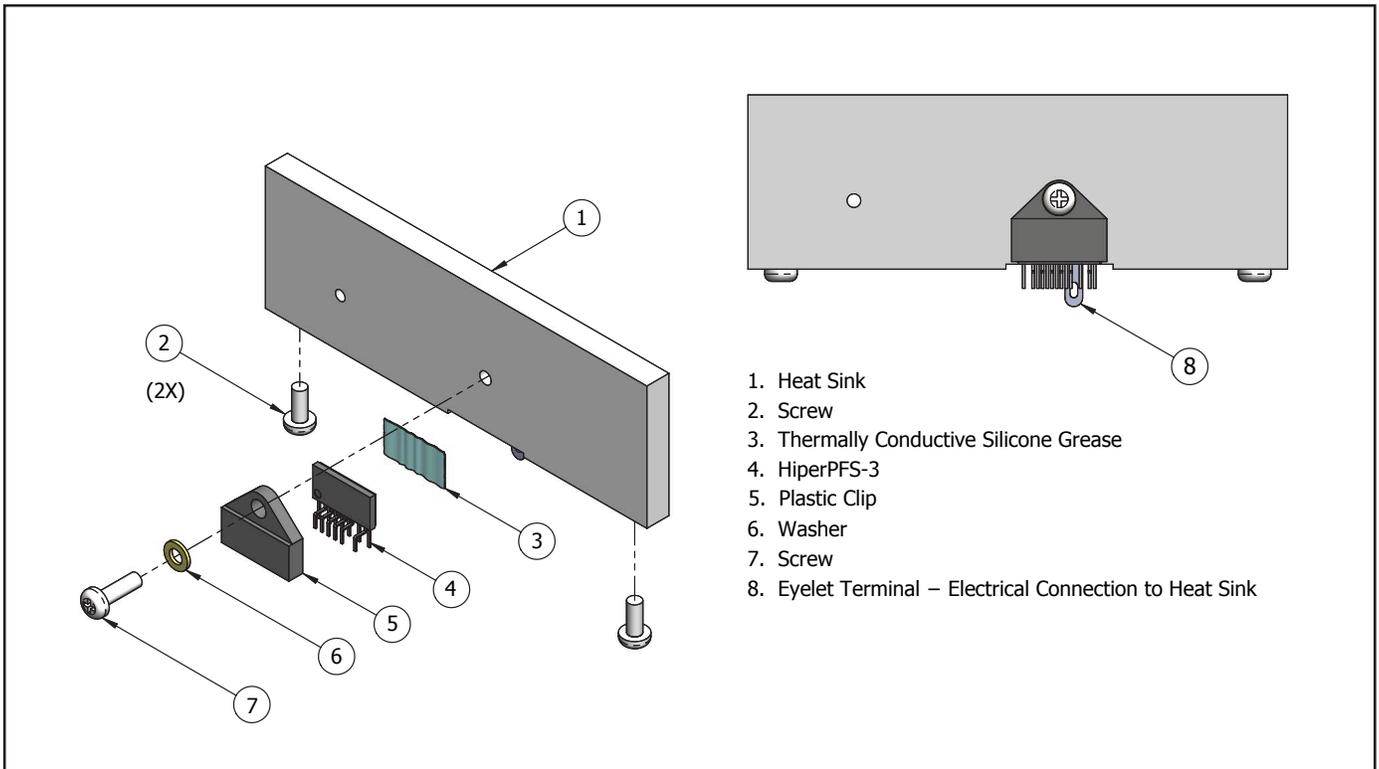


Figure 17. Heat Sink Assembly – with Plastic Clip.

PCB 설계 지침 및 설계 예제

입력 센싱 네트워크와 피드백 회로에서는 피드백 네트워크와 라인 센싱 네트워크 내 전력 손실을 최소화하기 위해 큰 저항 값을 사용합니다. 간섭을 최소화하기 위해 피드백 회로와 라인 센싱 네트워크 부품을 고전압 및 고전류 노드에서 멀리 떨어진 곳에 배치해야 합니다. 피드백 네트워크 또는 라인 센싱 네트워크에 주입되는 노이즈는 일반적으로 역률을 저하시킵니다. 과도한 노이즈 주입은 파형 불안정성 또는 불균형을 초래할 수 있습니다.

EMI 부품은 필터 효과를 향상시키기 위해 함께 모여 있어야 합니다. 입력 회로와 마찬가지로 회로 기판의 EMI 필터 부품을 PFC 인덕터의 드레인 노드로부터 멀리 떨어져 배치해야 합니다.

필터 또는 디커플링 커패시터는 브리지 정류 출력에 배치해야 합니다. 이 커패시터는 EMI 필터의 X 커패시터스, EMI 필터 섹션의 디퍼렌셜 인덕터스, 소스 임피던스와 함께 입력 전류의 스위칭 주파수 전류 리플을 감소시키는 필터 역할을 합니다. 또한 스위칭 주파수 전류 루프의 루프 영역을 최소화하여 EMI를 감소시키도록 돕습니다.

HiperPFS-3 드레인 노드, 출력 다이오드 드레인 단자, PFC 인덕터 간의 연결은 가능한 한 짧게 유지해야 합니다.

저손실 세라믹 유전체 커패시터는 PFC 출력 다이오드의 캐소드와 HiperPFS-3의 소스 단자 사이에 연결해야 합니다. 이렇게 하면 MOSFET의 스위칭 시 루프 영역에 고주파 전류가 흐르도록 하고, 루프를 통과해 흐르는 다이오드 전류의 고주파수 맥동으로 인한 방사 EMI를 줄일 수 있습니다.

기판에 부품을 배치하는 동안에는 다른 부품을 배치하여 연결하기 전에 전압 모니터, 피드백, 레퍼런스, 바이어스 전력 디커플링 커패시터를 핀에 가능한 가깝게 배치하는 것이 가장 좋습니다. REFERENCE 핀 디커플링 커패시터에는 GROUND 핀으로의 전용 리턴 경로가 있어야 합니다. 그렇지 않으면 서지 및 ESD 테스트 중 노이즈에 대한 내성이 줄어들 수 있습니다. GROUND 핀으로부터의 파워 서플라이 리턴 패턴을 GROUND 핀에 피드백 회로 부품을 연결하는 패턴과 분리해야 합니다.

레귤레이션에 영향을 주는 패턴 임피던스의 효과를 최소화하려면 출력 피드백을 출력 커패시터 플러스(+) 단자에 가깝게 연결해야 합니다. 라인 센싱 저항의 상단부는 브리지 정류기 출력에 연결된 고주파 필터 커패시터에 연결해야 합니다.

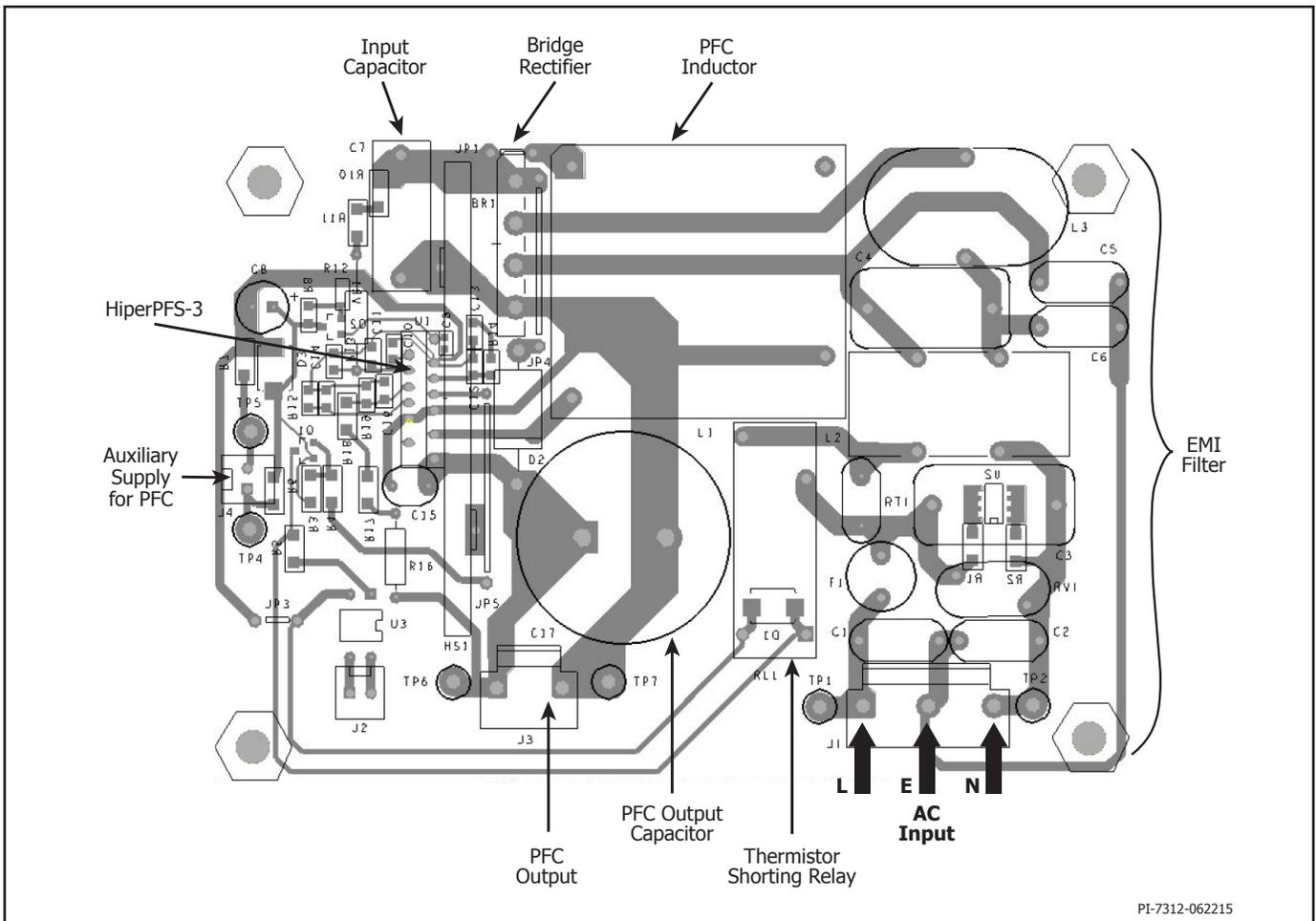


Figure 18. PCB Layout Example.

빠른 설계 확인 목록

어떤 파워 서플라이를 설계하든지 가장 나쁜 조건시 부품의 정격을 초과하지 않는지를 확인하기 위해 모든 HiperPFS-3 설계를 검증해야 합니다. 이를 위해 다음과 같은 최소한의 테스트는 반드시 수행되어야 합니다.

1. 최대 드레인 전압 - 피크 VDS가 최저 입력 전압 및 최대 과부하 출력 전력에서 530V를 초과하지 않는지 확인합니다. 출력이 최대 정격 부하 바로 위의 수준으로 과부하되거나 파워 서플라이 출력 전압이 레귤레이션을 벗어나기 직전에 최대 과부하 출력 전력이 발생합니다. 이 전압이 초과되면 추가 외부 스너버를 사용해야 합니다. 대부분의 설계에서는 PFC 출력 다이오드 양단에 33pF~100pF의 세라믹 커패시터를 추가하면 최대 드레인 소스 전압이 BV_{DSS} 정격 미만으로 줄어 듭니다. MOSFET의 드레인 소스 전압을 측정할 때는 고전압 프로브를 사용해야 합니다. 프로브 팁을 제거하면 프로브 팁 주위에 은색 링을 볼 수 있습니다. 이 링은 그라운드 전위에 있으며 노이즈 없는 측정을 위한 최고의 그라운드 연결점입니다. 평평한 전선으로 그라운드 링을 감은 다음 그 그라운드 전선을 전선 길이가 가능한 가장 짧은 회로에 연결하고, 프로브 팁을 측정 지점에 연결하면 에러 없이 측정할 수 있습니다. 프로브는 제조업체의 지침을 따라 보정하여 에러 없이 측정하도록 합니다.

2. 최대 드레인 전류 - 드레인 전류는 인덕터 전류를 모니터링하여 간접적으로 측정할 수 있습니다. 전류 프로브는 브리지 정류기와 인덕터 연결 사이에 삽입해야 합니다. 최대 주변 온도, 최소 입력 전압 및 최대 출력 부하 상태에서 스타트업 시 인덕터 포화의 모든 징후에 대한 드레인 전류 파형을 확인합니다. 센더스트 인덕터를 사용하여 이 측정을 수행하는 경우, 투자율 강하로 인해 기하급수적인 전류 증가를 보이는 인덕터 파형이 나타나는 것이 일반적입니다. 이를 과대 포화 (hard saturation)와 혼동하면 안 됩니다.
3. 온도 확인 - 최대 출력 전력, 최소 입력 전압과 최대 주위 온도 상태에서 HiperPFS-3, PFC 인덕터, 출력 다이오드 및 출력 커패시터의 온도가 사양을 초과하지 않는지 확인합니다. 데이터 시트에 규정되어 있듯이 HiperPFS-3의 $R_{DS(ON)}$ 이 제품마다 오차가 있기 때문에 온도 마진이 충분히 확보되어야 합니다. 이러한 변동에는 100 °C의 최대 패키지 온도가 적합합니다.
4. 입력 PF가 부하에 따라 개선되어야 합니다. 부하에 따라 성능이 점진적으로 저하되는 경우 이는 VOLTAGE MONITOR 핀 회로 또는 피드백 분배기 네트워크 및 보상 회로에 노이즈가 수집되었을 가능성이 있다는 신호입니다.

최대 정격 절대값^(1,2)

DRAIN 핀 피크 전류:	PFS7523/PFS75337.5A
	PFS7524/PFS7534 9.0 A
	PFS7525/PFS753511.3 A
	PFS7526/PFS753613.5 A
	PFS7527/PFS753715.8 A
	PFS7528/PFS753818.0 A
	PFS7529/PFS753921.0 A
DRAIN 핀 전압	-0.3V~530V / 540V ⁽⁶⁾
VCC ⁽³⁾ 핀 전압	-0.3V~17.5V
PG	-0.3V~17.5V
PG 핀 전류.....	10 mA
V, PGT, FB, C, REF 핀 전압	-0.3V~5.6V
보관 온도	-65°C~150°C
정션 온도 ⁽⁴⁾	-40°C~150°C
리드 온도 ⁽⁵⁾	260°C

참고:

- 모든 전압은 SOURCE를 기준으로 합니다, T_A = 25°C
- 지정된 최대 정격은 제품에 영구적인 손상을 초래하지 않는 한도 내에서 일회적으로 측정된 결과입니다. 지정된 시간보다 오랫동안 최대 정격 절대값 조건에 노출하면 제품 신뢰성에 영향을 미칠 수 있습니다.
- VCC의 최대 정격 절대값은 17.5V입니다. 이 값은 초과하면 안 되는 최대 절대값 조건입니다. 최대 작동 전압(15V)과 이 정격 ABS MAX 간의 전압은 기간(예: 스타트업 또는 일시적인 고장 상태) 중 발생 빈도가 드물고 짧아야 합니다. 이러한 조건이 최대 정격 절대값까지 제품 신뢰성을 보장하는 것은 아니지만 인가 전압이 이 수준을 넘으면 제품에 즉각 손상을 일으킬 가능성이 있음을 나타내는 지침으로 사용됩니다.
- 일반적으로 내부 회로에 의해 제한됩니다. 컨트롤러 T_{J(C)}, MOSFET T_{J(M)} 및 다이오드 정션 온도 T_{J(D)}에 적용됩니다.
- 케이스에서 1/16인치 거리를 두고 5초 동안 측정합니다.
- 기간은 15ns보다 짧고 I_{DS} ≤ I_{OCP(TYP)}입니다.
- T_{C(D)} 다이오드 케이스 온도입니다.

Qspeed 다이오드

		PFS7523-7529 PFS7533-7535	PFS7536-7539
피크 반복 역 전압(VRRM)		530 V	530 V
평균 순방향 전류 IF(AV)	T _{J(D)} = 150°C	3 A	6 A
피크 비반복 서지 전류(IFSM)	60Hz, ½ 사이클, T _{C(D)} ⁽⁷⁾ = 25°C	50 A	100 A
피크 비반복 서지 전류(IFSM)	t = 500µs, T _{C(D)} ⁽⁷⁾ = 25°C	130 A	260 A

열 저항

열 저항: H/L 패키지:

(θ _{JA}) ⁽¹⁾	103°C/W
(θ _{JC})	(그림 21 참조)

참고:

- 컨트롤러 정션 온도(T_{J(C)})가 MOSFET 정션 온도(T_{J(M)})와 다이오드 정션 온도(T_{J(D)})보다 낮을 수 있습니다.

Parameter	Symbol	Conditions	Pin	Min	Typ	Max	Units
		SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)					
Currents							
Undervoltage Current Consumption After Power-Up of Core and Zeners	I _{CC(UVLO)}	V _{CC} < UVLO+(min) V = 1 V, C = 0 V, FB = 3.85 V 0 °C < T _{J(C)} < 100 °C	VCC		140		µA
Standby Current Consumption – No Switching Prior to Brown-In	I _{CC(STBY)}	V = 1 V, C = 0 V, FB = 3.85 V 0 °C < T _{J(C)} < 100 °C	VCC		320		µA
Current Consumption – in Burst Mode, No Switching	I _{CC(BURST)}	FB = 3.85 V, C < V _{ERR_MIN} V = 1.414 V (or 2.828 V for High-Line Only Parts) 0 °C < T _{J(C)} < 100 °C	VCC		395	470	µA

Parameter	Symbol	Conditions			Min	Typ	Max	Units
		SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)						
Currents (cont.)								
Operating Current	I _{CC(ON)}	No-load on REF Switching at F _{MIN} (T _{OFF} = T _{OFF(MIN)} , T _{ON} = T _{ON(MAX)}) 0 °C < T _{J(C)} < 100 °C	PFS7523 PFS7533	0.64	0.75	0.90	mA	
			PFS7524 PFS7534	0.67	0.79	0.95		
			PFS7525 PFS7535	0.74	0.88	1.05		
			PFS7526 PFS7536	0.79	0.93	1.12		
			PFS7527 PFS7537	0.85	1.00	1.20		
			PFS7528 PFS7538	0.91	1.07	1.28		
			PFS7529 PFS7539	0.98	1.15	1.38		
Leakage Current in UVLO State	I _{oz}	0 < Pin Voltage < REF 0 °C < T _{J(C)} < 100 °C	V, FB, C, PGT		±10		nA	
		V _{PG} = 12 V	PG		±0.1		µA	
Pull-Down Current on Feedback	I _{FB(PD)}	Not Active When V _{CC} < UVLO+ 0 °C < T _{J(C)} < 100 °C	FB		100		nA	
Pull-Down Current on Voltage	I _{V(PD)}	Not Active When V _{CC} < UVLO+ 0 °C < T _{J(C)} < 100 °C	V		100		nA	
On-Time Controller								
Maximum Operating "On"-Time	t _{ON(MAX)}	0 °C < T _{J(C)} < 100 °C		29	34	40	µs	
Off-Time Controller								
Maximum Operating "Off"-Time	t _{OFF(MAX)}	0 °C < T _{J(C)} < 100 °C		36	43	48	µs	
Off-Time Accuracy	t _{OFF(ACCURACY)}	0 °C < T _{J(C)} < 100 °C V = 1.414 V (or 2.828 V for High-Line Only) FB = 3.85 V C > = 4 V			±4.0		%	
Feedback								
Feedback Voltage Reference	V _{FB(REF)}	T _{J(C)} = 25 °C		3.82	3.85	3.88	V	
		0 °C < T _{J(C)} < 100 °C		3.75	3.85	3.95		
Feedback Error-Amplifier Transconductance Gain	G _M	3.75 V < V _{FB} < 3.95 V V _C = 4 V 0 °C < T _{J(C)} < 100 °C		75	95	105	µA/V	
Soft-Shutdown Time	t _{SHUTDOWN}	See Note A		0.86	1.00	1.16	ms	
FEEDBACK Pin Start-Up/ Fault Threshold	V _{FB(OFF)}	0 °C < T _{J(C)} < 100 °C		0.57	0.64	0.71	V	

Parameter	Symbol	Conditions			Min	Typ	Max	Units
		SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)						
Feedback (cont.)								
FEEDBACK Pin Undervoltage Assertion Threshold	V _{FB(UV)}	0 °C < T _{J(C)} < 100 °C			2.09	2.25	2.36	V
FEEDBACK Pin Overvoltage Assertion Threshold	V _{FB(OV+)}	0 °C < T _{J(C)} < 100 °C			4.00	4.10	4.20	V
FEEDBACK Pin Overvoltage Assertion Relative Threshold	V _{FB(OV+REL_FB)}	0 °C < T _{J(C)} < 100 °C			V _{FBREF} +0.19	V _{FBREF} +0.245	V _{FBREF} +0.30	
FEEDBACK Pin Overvoltage Deassertion Threshold	V _{FB(OV-)}	0 °C < T _{J(C)} < 100 °C			3.90	4.00	4.10	V
FEEDBACK Pin Overvoltage Deassertion Relative Threshold	V _{FB(OV-REL_FB)}	0 °C < T _{J(C)} < 100 °C			V _{FBREF} +0.11	V _{FBREF} +0.16	V _{FBREF} +0.21	
FEEDBACK Pin Overvoltage Hysteresis	V _{FB(OVHYST)}	0 °C < T _{J(C)} < 100 °C			0.070	0.085	0.115	V
COMPENSATION Pin PF Enhancer Disable Threshold	V _{LOW(LOAD+)}	See Note A				1.1		V
COMPENSATION Pin PF Enhancer Enable Threshold	V _{LOW(LOAD-)}	See Note A				1.0		V
COMPENSATION Pin PF Enhancer Threshold Hysteresis	V _{LOW(LOAD_HYST)}	See Note A				0.1		V
COMPENSATION Pin Burst Disable Threshold	V _{ERR(MIN+)}	0 °C < T _{J(C)} < 100 °C				0.19		V
COMPENSATION pin Burst Enable Threshold	V _{ERR(MIN-)}	0 °C < T _{J(C)} < 100 °C				0.1		V
COMPENSATION Pin Burst Threshold Hysteresis	V _{ERR(HYST)}	0 °C < T _{J(C)} < 100 °C				0.09		V
Line-Sense/Peak Detector								
Line-Sense Input Voltage Range	V _{V(RANGE)}	See Note A			0		4	V
Brown-In Threshold Voltage	V _{BR+}	Universal Input Devices (PFS7523-PFS7529) 0 °C < T _{J(C)} < 100 °C			1.08	1.12	1.16	V
		High-Line Only Input Devices (PFS7533-PFS7539) 0 °C < T _{J(C)} < 100 °C			2.30	2.35	2.42	

Parameter	Symbol	Conditions			Min	Typ	Max	Units
		SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)						
Line-Sense/Peak Detector (cont.)								
Brown-Out Threshold Voltage	V _{BR-}	Universal Input Devices (PFS7523-PFS7529) 0 °C < T _{J(C)} < 100 °C			0.93	0.97	1.02	V
		High-Line Only Input Devices (PFS7533-PFS7539) 0 °C < T _{J(C)} < 100 °C			2.15	2.21	2.27	
Brown-In/Out Hysteresis (After NTC Warm-Up Time)	V _{BR(HYS)}	0 °C < T _{J(C)} < 100 °C			0.13	0.145	0.160	V
Brown-Out Threshold for High Duty Cycle Square Wave	V _{BR(SQ)}	Universal Input Devices (PFS7523-PFS7529)				0.86		V
		High-Line Only Input Devices (PFS7533-PFS7539)				1.93		
Start-Up Brown-Out Threshold Voltage (During NTC Warm-Up Time)	V _{BR(NTC)}	Universal Input Devices (PFS7523-PFS7529)				0.74		V
		High-Line Only Input Devices (PFS7533-PFS7539)				1.57		
Brown-Out NTC Debounce Timer	t _{BRWNOUT(NTC)}	See Note A			875	1000	1160	ms
Brown-Out Debounce Timer	t _{BRWNOUT}	See Note A			43	54	66	ms
Start-Up Timer for Using Lower brown-Out Threshold (V_{BR-NTC})	t _{STARTUP}	See Note A			875	1000	1160	ms
VOLTAGE Pin High-Line Assertion Threshold	V _{V(HIGH+)}	See Note A				2.42		V
VOLTAGE Pin High-Line Deassertion Threshold	V _{V(HIGH-)}	See Note A				2.00		V
VOLTAGE Pin Minimum Asserted Peak Value	V _{PK(MIN)}	See Note A				0.71		V
Current Limit/Circuit Protection								
Over-Current Protection		PFS7523L/H di/dt = 250 mA/μs T _{J(C)} = 25 °C	V _V < 2 V	3.8	4.1	4.3	A	
			V _V > 2.42 V	2.6	2.8	3.0		
		PFS7524L/H di/dt = 300 mA/μs T _{J(C)} = 25 °C	V _V < 2 V	4.5	4.8	5.1		
			V _V > 2.42 V	3.0	3.3	3.5		

Parameter	Symbol	Conditions		Min	Typ	Max	Units
		SOURCE = 0 V; $V_{CC} = 12\text{ V}$, -40 °C < $T_{J(C)}$ < 125 °C (Note C) (Unless Otherwise Specified)					
Current Limit/Circuit Protection (cont.)							
Over-Current Protection	I_{OCP}	PFS7525L/H di/dt = 400 mA/μs $T_{J(C)} = 25\text{ °C}$	$V_V < 2\text{ V}$	5.5	5.9	6.2	A
			$V_V > 2.42\text{ V}$	3.6	4.0	4.4	
		PFS7526H di/dt = 500 mA/μs $T_{J(C)} = 25\text{ °C}$	$V_V < 2\text{ V}$	6.8	7.2	7.5	
			$V_V > 2.42\text{ V}$	4.6	4.9	5.25	
		PFS7527H di/dt = 650 mA/μs $T_{J(C)} = 25\text{ °C}$	$V_V < 2\text{ V}$	8.0	8.4	8.8	
			$V_V > 2.42\text{ V}$	5.35	5.8	6.2	
		PFS7528H di/dt = 800 mA/μs $T_{J(C)} = 25\text{ °C}$	$V_V < 2\text{ V}$	9.0	9.5	9.9	
			$V_V > 2.42\text{ V}$	6.0	6.5	7.1	
		PFS7529H di/dt = 920 mA/μs $T_{J(C)} = 25\text{ °C}$	$V_V < 2\text{ V}$	10	10.5	11	
			$V_V > 2.42\text{ V}$	6.7	7.2	7.7	
		PFS7533H di/dt = 250 mA/μs $T_{J(C)} = 25\text{ °C}$		3.8	4.1	4.3	
		PFS7534H di/dt = 300 mA/μs $T_{J(C)} = 25\text{ °C}$		4.5	4.8	5.1	
		PFS7535H di/dt = 400 mA/μs $T_{J(C)} = 25\text{ °C}$		5.5	5.9	6.2	
		PFS7536H di/dt = 500 mA/μs $T_{J(C)} = 25\text{ °C}$		6.8	7.2	7.5	
		PFS7537H di/dt = 650 mA/μs $T_{J(C)} = 25\text{ °C}$		8.0	8.4	8.8	
		PFS7538H di/dt = 800 mA/μs $T_{J(C)} = 25\text{ °C}$		9.0	9.5	9.9	
PFS7539L/H di/dt = 920 mA/μs $T_{J(C)} = 25\text{ °C}$		10	10.5	11			

Parameter	Symbol	Conditions		Min	Typ	Max	Units
		SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)					
Current Limit/Circuit Protection (cont.)							
Normalized Frequency at Power Limit	F _{LIM}	C _{REF} = 1.0 μF T _{J(C)} = 25 °C			±7		%
		0 °C < T _{J(C)} < 100 °C			±10		
SOA Protection Fixed Off-Time	t _{OFF(SOA)}	T _{J(C)} = 25 °C		200	250	300	μs
Leading Edge Blanking (LEB) Time Period	t _{LEB}	T _{J(C)} = 25 °C See Note A			220		ns
Minimum On-Time in IOCP	t _{ON_OCP(MIN)}	T _{J(C)} = 25 °C			400		ns
VCC Auxiliary Power Supply							
VCC Operating Range	VCC			UVLO+	12	15	V
Start-Up VCC (Rising Edge)	VCC _{UV(LO+)}	0 °C < T _{J(C)} < 100 °C		9.6	9.85	10.1	V
Shutdown VCC (Falling Edge)	VCC _{UV(LO-)}	0 °C < T _{J(C)} < 100 °C		9.05	9.3	9.55	V
VCC Hysteresis	VCC _(HYS)	0 °C < T _{J(C)} < 100 °C		0.50	0.57	0.65	V
UVLO Shutdown Delay Timer	t _{UV(LO-)}	See Note A			500		ns
Time From VCC > VCC _{UVLO+} Until Device Commences Switching	t _{RESET}	V > V _{BR+} See Note A			60	75	ms
Series Regulator							
REFERENCE Pin Voltage	V _{REF}	0 °C < T _{J(C)} < 100 °C		4.95	5.25	5.45	V
REFERENCE Pin Required Capacitance	C _{REF}	Full Power Mode		0.8	1.0		μF
		Efficiency Mode		0.08	0.1	0.2	
REFERENCE Pin UVLO Rising Edge	REF _{UV+}	0 °C < T _{J(C)} < 100 °C See Note A				5.0	V
REFERENCE Pin UVLO Falling Edge	REF _{UV-}	0 °C < T _{J(C)} < 100 °C See Note A		4.4			V
Power Good							
Power Good Deassertion Threshold Output Reference Current	I _{PG(T)}	0 °C < T _{J(C)} < 100 °C; V _{PGT} = 3.0 V		-10.65	-10	-9.35	μA
Power Good Delay Time (From FB > V _{PG+} to PG < 1 V)	t _{PG}	0 °C < T _{J(C)} < 100 °C; PG = 20 kΩ Pull-Up to VCC, See Note A			<15		μs
Power Good Deglitch Time	t _{PG(D)}	See Note A		57	81	108	μs

Parameter	Symbol	Conditions			Min	Typ	Max	Units
		SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)						
Power Good (cont.)								
Power Good Internal Assertion Threshold	V _{PG(+)}	0 °C < T _{J(C)} < 100 °C			3.55	3.65	3.75	V
Power Good Relative Threshold	V _{PG+REL(FB)}	0 °C < T _{J(C)} < 100 °C			V _{FBREF} -0.24	V _{FBREF} -0.20	V _{FBREF} -0.16	
Power Good Deassertion Threshold	V _{PG(-)}	V (PGT) = 3 V 0 °C < T _{J(C)} < 100 °C			2.94	V (PGT) ±30 mV	3.06	V
POWER GOOD Pin Leakage Current in Off-State	IOZH _{PG}	FB < V _{PG-} 0 °C < T _{J(C)} < 100 °C					500	nA
POWER GOOD Pin On-State Voltage	VOL _{PG}	0 °C < T _{J(C)} < 100 °C I _{PG} = 2.0 mA; FB = 3.85 V					2	V
Thermal Protection (OTP)								
Controller Junction Temperature (T _{J(C)}) for Shutdown	T _{OTP+}	See Note A				117		°C
Controller Junction Temperature (T _{J(C)}) for Restart	T _{OTP-}	See Note A				81		°C
Over-Temperature Hysteresis	T _{OTP(HYST)}	V > V _{BR+} See Note A				36		°C
VTS MOSFET								
On-State Resistance	R _{DS(ON)}	I _D = 0.5 × I _{OCP}	PFS7523 PFS7533	T _{J(M)} = 25 °C		0.61	0.76	Ω
				T _{J(M)} = 100 °C			1.10	
			PFS7524 PFS7534	T _{J(M)} = 25 °C		0.51	0.63	
				T _{J(M)} = 100 °C			0.92	
			PFS7525 PFS7535	T _{J(M)} = 25 °C		0.41	0.51	
				T _{J(M)} = 100 °C			0.73	
			PFS7526 PFS7536	T _{J(M)} = 25 °C		0.34	0.42	
				T _{J(M)} = 100 °C			0.62	
			PFS7527 PFS7537	T _{J(M)} = 25 °C		0.30	0.36	
				T _{J(M)} = 100 °C			0.52	
			PFS7528 PFS7538	T _{J(M)} = 25 °C		0.26	0.32	
				T _{J(M)} = 100 °C			0.46	
			PFS7529 PFS7539	T _{J(M)} = 25 °C		0.22	0.27	
				T _{J(M)} = 100 °C			0.40	

Parameter	Symbol	Conditions			Min	Typ	Max	Units
		SOURCE = 0 V; V _{CC} = 12 V, -40 °C < T _{J(C)} < 125 °C (Note C) (Unless Otherwise Specified)						
VTS MOSFET								
Effective Output Capacitance	C _{oss}	T _{J(M)} = 25 °C V _{GS} = 0 V, V _{DS} = 0 to 80% BV _{DSS} See Note A	PFS7523 PFS7533				176	pF
			PFS7524 PFS7534				210	
			PFS7525 PFS7535				265	
			PFS7526 PFS7536				312	
			PFS7527 PFS7537				369	
			PFS7528 PFS7538				420	
			PFS7529 PFS7539				487	
Breakdown Voltage	BV _{DSS}	T _{J(M)} = 25 °C, V _{CC} = 12 V I _D = 250 μA, V _{FB} = V _V = 0 V			530			V
Breakdown Voltage Temperature Coefficient	BV _{DSS(TC)}	See Note A				0.048		%/°C
Off-State Drain Current Leakage	I _{DSS}	V _{DS} = 80% BV _{DSS} V _{CC} = 12 V V _{FB} = V _V = V _C = 0	PFS7523 PFS7533	T _{J(M)} = 100 °C			80	μA
			PFS7524 PFS7534	T _{J(M)} = 100 °C			100	
			PFS7525 PFS7535	T _{J(M)} = 100 °C			120	
			PFS7526 PFS7536	T _{J(M)} = 100 °C			150	
			PFS7527 PFS7537	T _{J(M)} = 100 °C			170	
			PFS7528 PFS7538	T _{J(M)} = 100 °C			200	
			PFS7529 PFS7539	T _{J(M)} = 100 °C			235	
Turn-Off Voltage Rise Time	t _R	See Notes A, B, C				50		ns
Turn-On Voltage Fall Time	t _F	See Notes A, B, C				100		ns

Parameter	Symbol	Conditions	Min	Typ	Max	Units
Qspeed Diode (3A) PFS7523-7529/7533-7535						
DC Characteristics						
Reverse Current	I_R	$V_R = 530\text{ V}$	$T_{J(D)} = 25\text{ °C}$		0.4	μA
			$T_{J(D)} = 100\text{ °C}$		0.07	mA
Forward Voltage	V_F	$I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ °C}$		1.55	V
			$T_{J(D)} = 100\text{ °C}$		1.47	
Junction Capacitance	C_J	$V_R = 10\text{ V}, 1\text{ MHz}$		18		pF
Dynamic Characteristics (Note: See Figures 19, 20 for dynamic characteristic definition)						
Reverse Recovery Time	t_{RR}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ °C}$		26.5	ns
			$T_{J(D)} = 100\text{ °C}$		32	
Reverse Recovery Charge	Q_{RR}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ °C}$		40.6	nC
			$T_{J(D)} = 100\text{ °C}$		65.7	
Maximum Reverse Recovery Current	I_{RRM}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ °C}$		2.1	A
			$T_{J(D)} = 100\text{ °C}$		3.0	
Softness Factor = t_b/t_a	S	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ °C}$		1	
			$T_{J(D)} = 100\text{ °C}$		0.45	

Parameter	Symbol	Conditions	Min	Typ	Max	Units
Qspeed Diode (6A) PFS7536-7539						
DC Characteristics						
Reverse Current	I_R	$V_R = 530\text{ V}$	$T_{J(D)} = 25\text{ °C}$	0.8		μA
			$T_{J(D)} = 100\text{ °C}$	0.15		mA
Forward Voltage	V_F	$I_F = 6\text{ A}$	$T_{J(D)} = 25\text{ °C}$	1.51		V
			$T_{J(D)} = 100\text{ °C}$	1.44		
Junction Capacitance	C_J	$V_R = 10\text{ V}, 1\text{ MHz}$		41		pF
Dynamic Characteristics (Note: See Figures 19, 20 for dynamic characteristic definition)						
Reverse Recovery Time	t_{RR}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 6\text{ A}$	$T_{J(D)} = 25\text{ °C}$	28.5		ns
			$T_{J(D)} = 100\text{ °C}$	37.3		
Reverse Recovery Charge	Q_{RR}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 6\text{ A}$	$T_{J(D)} = 25\text{ °C}$	58		nC
			$T_{J(D)} = 100\text{ °C}$	105.5		
Maximum Reverse Recovery Current	I_{RRM}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 6\text{ A}$	$T_{J(D)} = 25\text{ °C}$	2.95		A
			$T_{J(D)} = 100\text{ °C}$	4.05		
Softness Factor = t_b/t_a	S	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 6\text{ A}$	$T_{J(D)} = 25\text{ °C}$	0.53		
			$T_{J(D)} = 100\text{ °C}$	0.31		

NOTES:

- A. Not tested parameter. Guaranteed by design.
- B. Tested in typical Boost PFC application circuit.
- C. Normally limited by internal circuitry.
- D. Test under this condition may require pulsed operation due to self-heat. Pulse parameters (duration, repetition) are TBD.
- E. BV_{DSS} 540 V maximum for 10 ns.

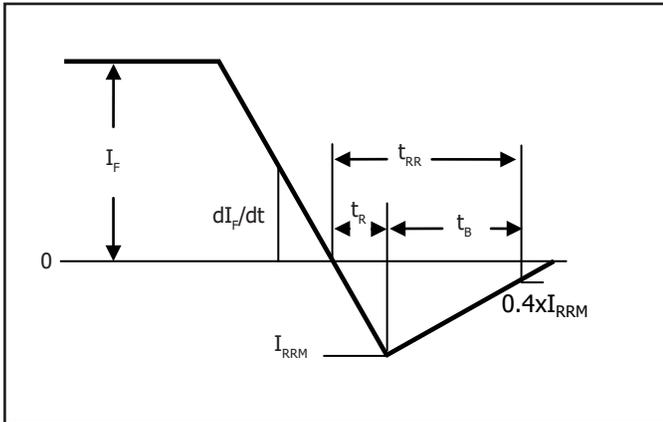


Figure 19. Reverse Recovery Definitions.

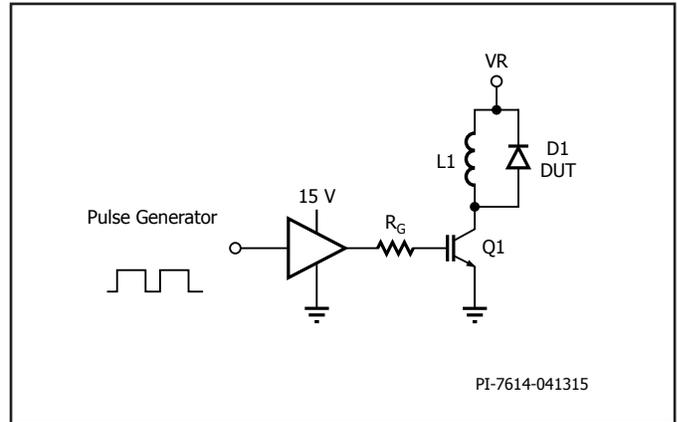


Figure 20. Reverse Recovery Test Circuit.

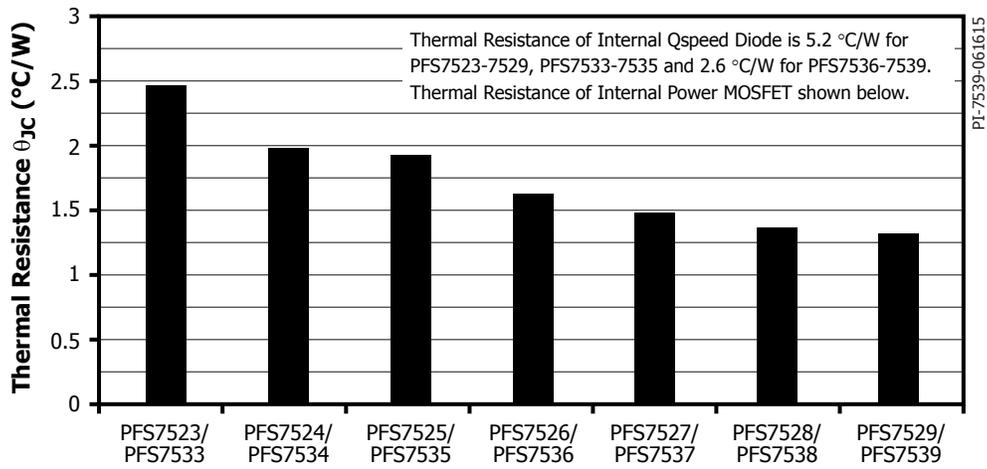


Figure 21. Thermal Resistance eSIP-16D / eSIP-16G Package (θ_{JC}).

Typical Performance Characteristics

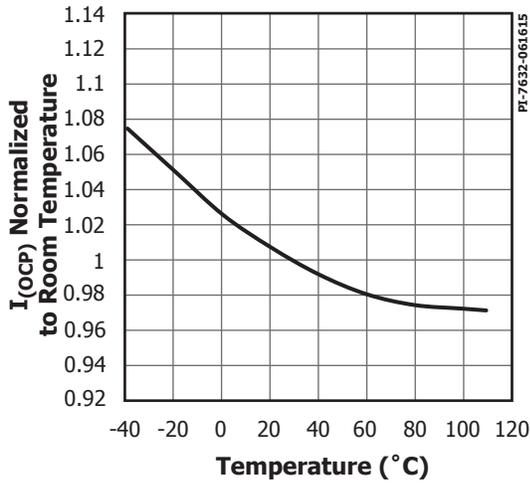


Figure 22. $I_{(OCP)}$ vs. Temperature.

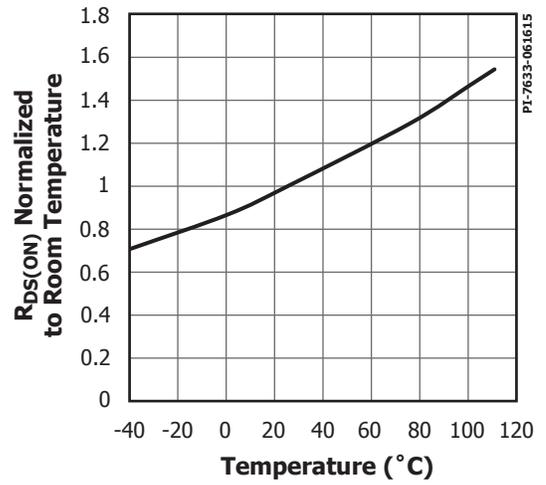


Figure 23. Normalized $R_{DS(ON)}$ vs. Temperature.

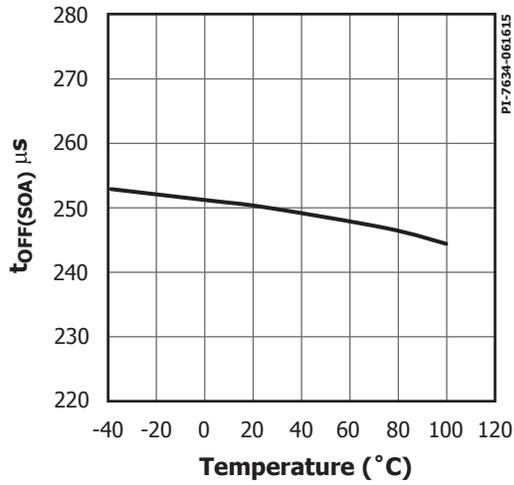


Figure 24. $t_{OFF(SOA)}$ vs. Temperature.

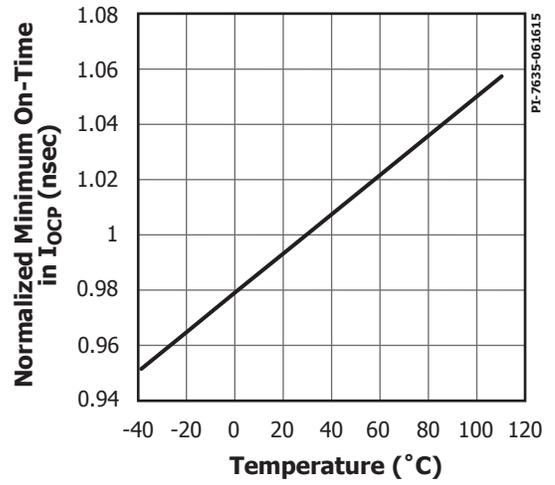


Figure 25. Normalized On-Time in I_{OCP} vs. Temperature.

Typical Performance Characteristics

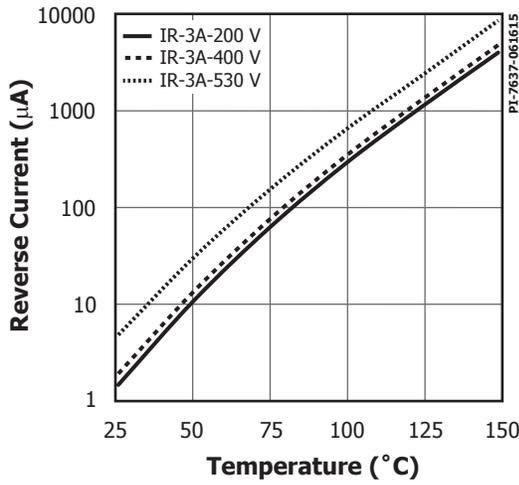


Figure 26. Temperature Dependence of 3 A Qspeed Diode Reverse Current.

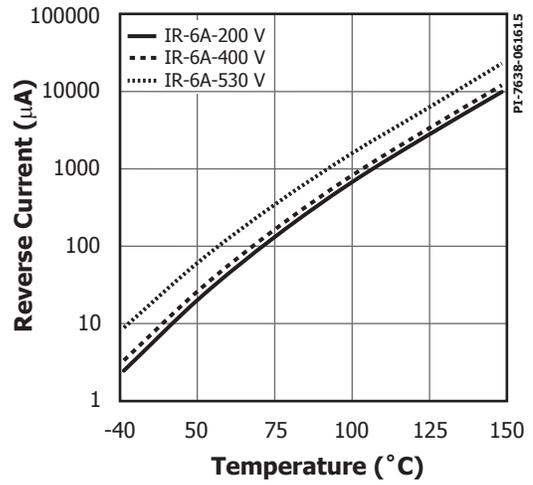


Figure 27. Temperature Dependence of 6 A Qspeed Diode Reverse Current

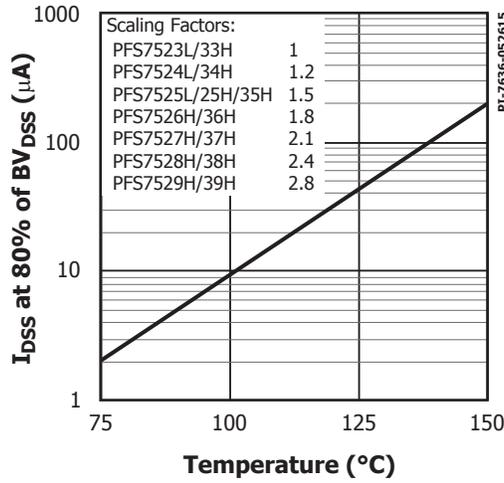
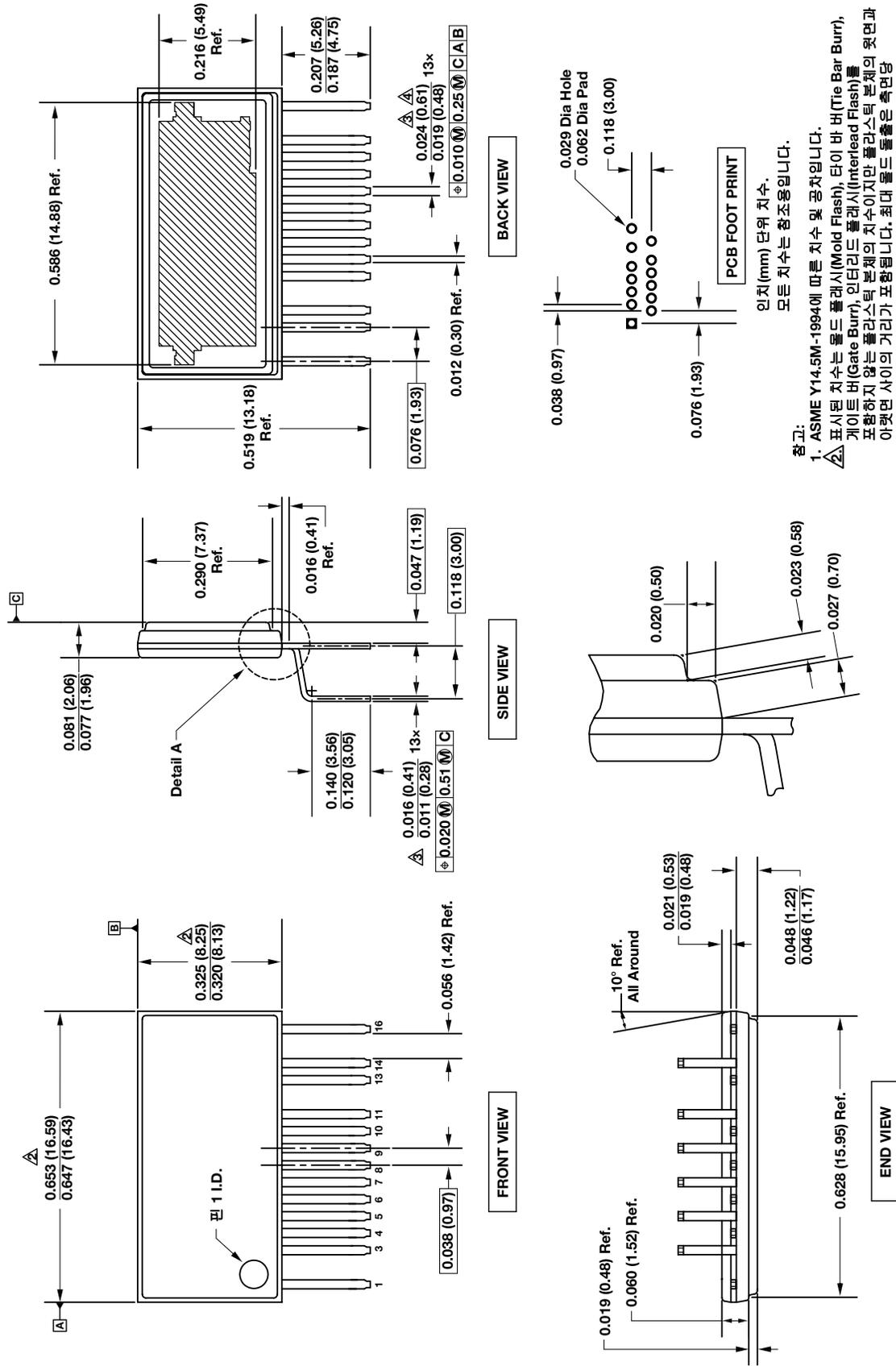


Figure 28. Typical Temperature Dependence of I_{DSS} at 80% of BV_{DSS} .

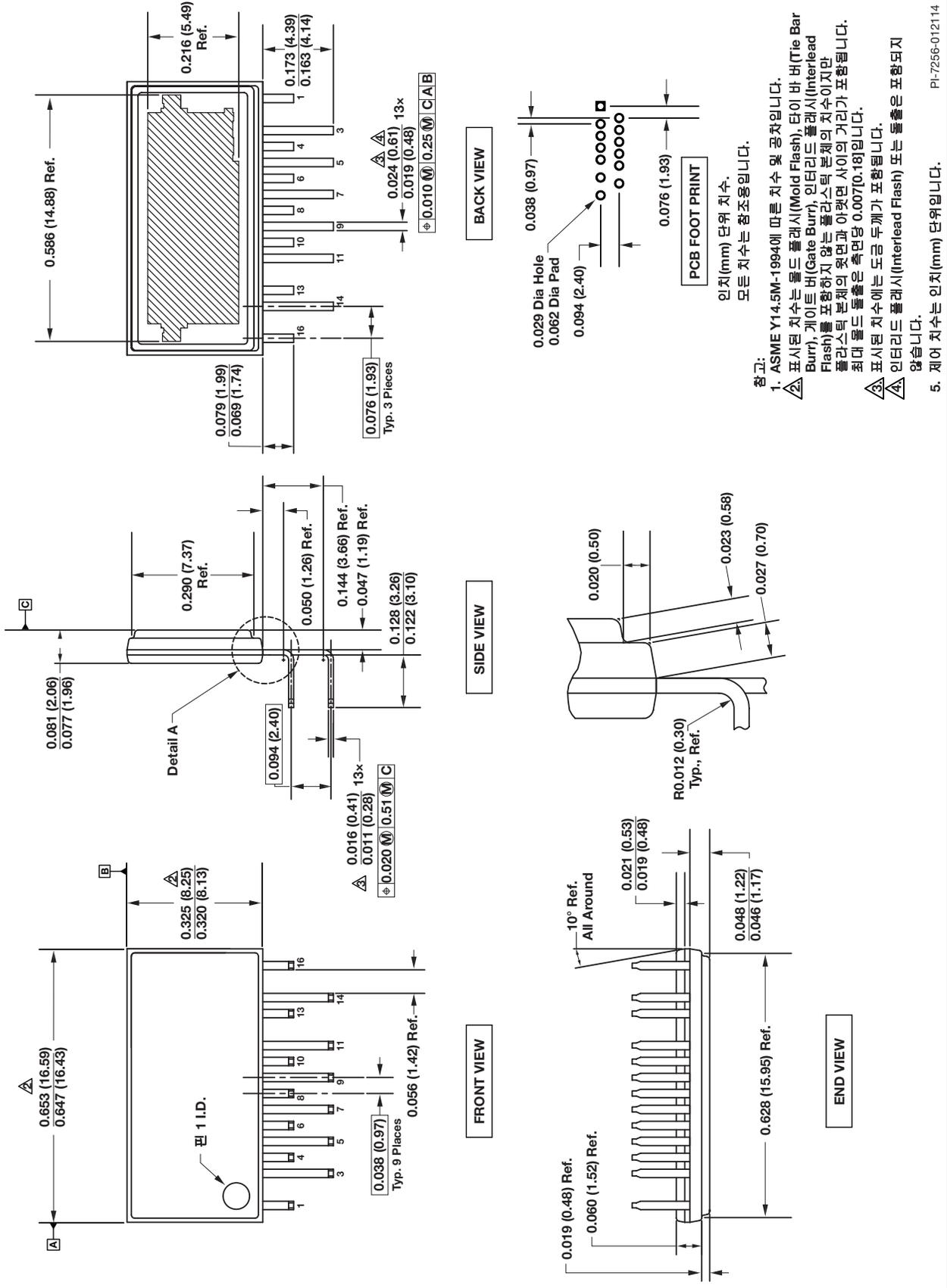
eSIP-16D(H 패키지)



참고:
 1. ASME Y14.5M-1994에 따른 치수 및 공차입니다.
 △ 표시된 치수는 몰드 플래시(Mold Flash), 타이 바 버(Tie Bar Burr), 게이트 버(Gate Burr), 인터리드 플래시(Interlead Flash)를 포함하지 않는 플라스틱 본체의 치수이지만 플라스틱 본체의 뒷면과 아랫면 사이의 거리가 포함됩니다. 최대 몰드 돌출은 측면당 0.007[0.18]입니다.
 △ 표시된 치수에는 도금 두께가 포함됩니다.
 △ 인터리드 플래시(Interlead Flash) 또는 돌출은 포함되지 않습니다.
 5. 제어 치수는 인치(mm) 단위입니다.

PI-7242-010614

eSIP-16G(L 패키지)

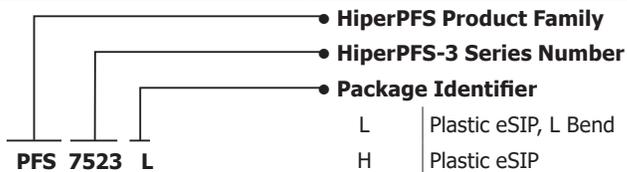


PI-7256-012114

Part Ordering Information

Part Number	Option	Quantity
PFS7523L/H	Tube	30
PFS7524L/H	Tube	30
PFS7525L/H	Tube	30
PFS7526H	Tube	30
PFS7527H	Tube	30
PFS7528H	Tube	30
PFS7529H	Tube	30
PFS7533H	Tube	30
PFS7534H	Tube	30
PFS7535H	Tube	30
PFS7536H	Tube	30
PFS7537H	Tube	30
PFS7538H	Tube	30
PFS7539L/H	Tube	30

Part Marking Information



참고

개정	참고	날짜
A	최초 출시	06/15
B	내부 검토.	02/20
C	PFS7539L 부품 추가.	07/24

최신 업데이트에 대한 자세한 내용은 당사 웹사이트를 참고하십시오. www.power.com

파워 인테그레이션스(Power Integrations)는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. 파워 인테그레이션스(Power Integrations)는 본 문서에서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. Power Integrations는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하되 이에 제한되지 않음)을 명백하게 부인합니다.

특허 정보

본 문서에서 설명하는 제품 및 애플리케이션(제품의 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허 또는 파워 인테그레이션스(Power Integrations)에서 출원 중인 미국 및 해외 특허에 포함될 수 있습니다. 파워 인테그레이션스(Power Integrations)의 전체 특허 목록은 www.power.com에서 확인할 수 있습니다. 파워 인테그레이션스(Power Integrations)는 고객에게 www.power.com/ip.htm에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

파워 인테그레이션스(Power Integrations)의 제품은 파워 인테그레이션스(Power Integrations) 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 자세한 정의는 다음과 같습니다.

1. 수명 유지 디바이스 또는 시스템이란 (i)신체에 대한 외과적 이식을 목적으로 하거나, (ii)수명 지원 또는 유지를 목적으로 사용되며, (iii)사용 지침에 따라 올바르게 사용하는 경우에도 동작의 실패가 사용자의 상당한 부상 또는 사망을 초래할 수 있는 디바이스 또는 시스템입니다.
2. 핵심 부품이란 부품의 작동이 실패하여 수명 유지 디바이스 또는 시스템의 작동이 실패하거나, 해당 디바이스 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 디바이스 또는 시스템에 사용되는 모든 부품입니다.

파워 인테그레이션스(Power Integrations), 파워 인테그레이션스(Power Integrations) 로고, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperLCS, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, PowiGaN, SCALE, SCALE-1, SCALE-2, SCALE-3, SCALE-iDriver는 Power Integrations, Inc.의 상표이며, 기타 상표는 각 회사의 재산입니다. ©2023, Power Integrations, Inc.

파워 인테그레이션스(Power Integrations) 전 세계 판매 지원 지역

본사

5245 Hellyer Avenue
San Jose, CA 95138, USA
본사 전화: +1-408-414-9200
고객 서비스:
전 세계: +1-65-635-64480
북미: +1-408-414-9621
이메일: usasales@power.com

중국(상하이)

Rm 2410, Charity Plaza, No. 88
North Caoxi Road
Shanghai, PRC 200030
전화: +86-21-6354-6323
이메일: chinasales@power.com

중국(선젠)

17/F, Hivac Building, No. 2, Keji Nan
8th Road, Nanshan District,
Shenzhen, China, 518057
전화: +86-755-8672-8689
이메일: chinasales@power.com

독일

(AC-DC/LED/모터 컨트롤 판매)
Einsteinring 37 (1.OG)
85609 Dornach/Aschheim
Germany
전화: +49-89-5527-39100
이메일: eurosales@power.com

독일(게이트 드라이버 판매)

HellwegForum 3
59469 Ense
Germany
전화: +49-2938-64-39990
이메일: igbt-driver.sales@power.com

인도

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
전화: +91-80-4113-8020
이메일: indiasales@power.com

이탈리아

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI) Italy
전화: +39-024-550-8701
이메일: eurosales@power.com

일본

Yusen Shin-Yokohama 1-chome Bldg.
1-7-9, Shin-Yokohama, Kohoku-ku
Yokohama-shi,
Kanagawa 222-0033 Japan
전화: +81-45-471-1021
이메일: japansales@power.com

대한민국

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
전화: +82-2-2016-6610
이메일: koreasales@power.com

싱가포르

51 Newton Road
#19-01/05 Goldhill Plaza
Singapore, 308900
전화: +65-6358-2160
이메일: singaporesales@power.com

대만

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei 11493, Taiwan R.O.C.
전화: +886-2-2659-4570
이메일: taiwansales@power.com

영국

Building 5, Suite 21
The Westbrook Centre
Milton Road
Cambridge
CB4 1YG
전화: +44 (0) 7823-557484
이메일: eurosales@power.com