

# 应用指南AN-72

## InnoSwitch3产品系列

### 设计指南

---

#### 简介

InnoSwitch™3器件是一款隔离式、高安全等级的芯片，集成了高压功率MOSFET/PowiGaN开关、初级侧及次级侧控制器、创新的高速磁耦合通信技术以及同步整流驱动器。Fluxlink™技术可以在安规隔离带之间安全、可靠地传输信息，无需光耦器 – 这是常规功率变换电路的反馈环路中使用的元件。这有助于减少元件数，消除光耦反馈器件固有的使用寿命和可靠性限制。InnoSwitch3集成电路可提供可变频率、可变峰值电流的控制方案，与准谐振开关和同步整流相结合，可确保在各种负载条件下提供极高的变换效率。该产品系列适用于构建输出功率高达100W的电源，包括可轻松满足平均电源效率要求并且具有极低空载输入功率和出色待机性能的恒压/恒流充电器。InnoSwitch3 IC采用了Power Integrations的EcoSmart™技术，该技术可使电源的空载功率低至15mW，并使该产品系列适用于必须符合美国能源部DoE 6、加州能源委员会(CEC)和欧盟行为准则(CoC)等能效标准的应用场景。

InnoSwitch3中的初级侧反激式控制器可在DCM、QR和CCM开关模式中平滑切换。初级控制器包括启动电路、抖频振荡器、磁耦合至次级侧的接收器电路、限流控制器、音频降噪引擎、过压检测电路、无损耗输入电压检测电路、过温保护以及650V或725V功率MOSFET/750V PowiGaN开关、900V功率MOSFET/900V PowiGaN开关、1250V PowiGaN开关和1700V开关。

InnoSwitch3次级控制器包括磁耦合至初级侧的发射器电路、恒压(CV)及恒流(CC)控制电路、同步整流管MOSFET驱动器、准谐振模式电路以及包括输出过压、过载、功率限制和滞回热过载保护在内的多项集成保护特性。

启动时，初级控制器的最大开关频率限制在25kHz，而限流点则为对应最大设定流限值的70%。自动重启功能可以在过载、短路或开路故障条件下限制开关MOSFET/PowiGaN开关、变压器及输出SR MOSFET中的功率耗散。

## 基本电路结构

图1中的电路显示了使用InnoSwitch3设计的反激电源的基本结构。不同的输出功率只是要求电路中的某些元件具有不同的数值，但基本的电路结构无明显变化。输入过压及欠压保护、初级或次级检测输出过压保护以及恒流限值设定等先进的特性是使用非常少的无源元件实现的。

## 快速入门

熟悉电源设计和Power Integrations设计软件的读者可以选择跳过详细设计方法（随后的这部分内容），使用以下信息快速设计变压器并为第一个工程样机选择元件。对于此设计方法，只要将如下所述的信息输入PIXIs表格，其它参数就会由PIXIs表格根据典型设计自动选取出来。方括号当中的数值表示PIXIs设计表格中的行号。

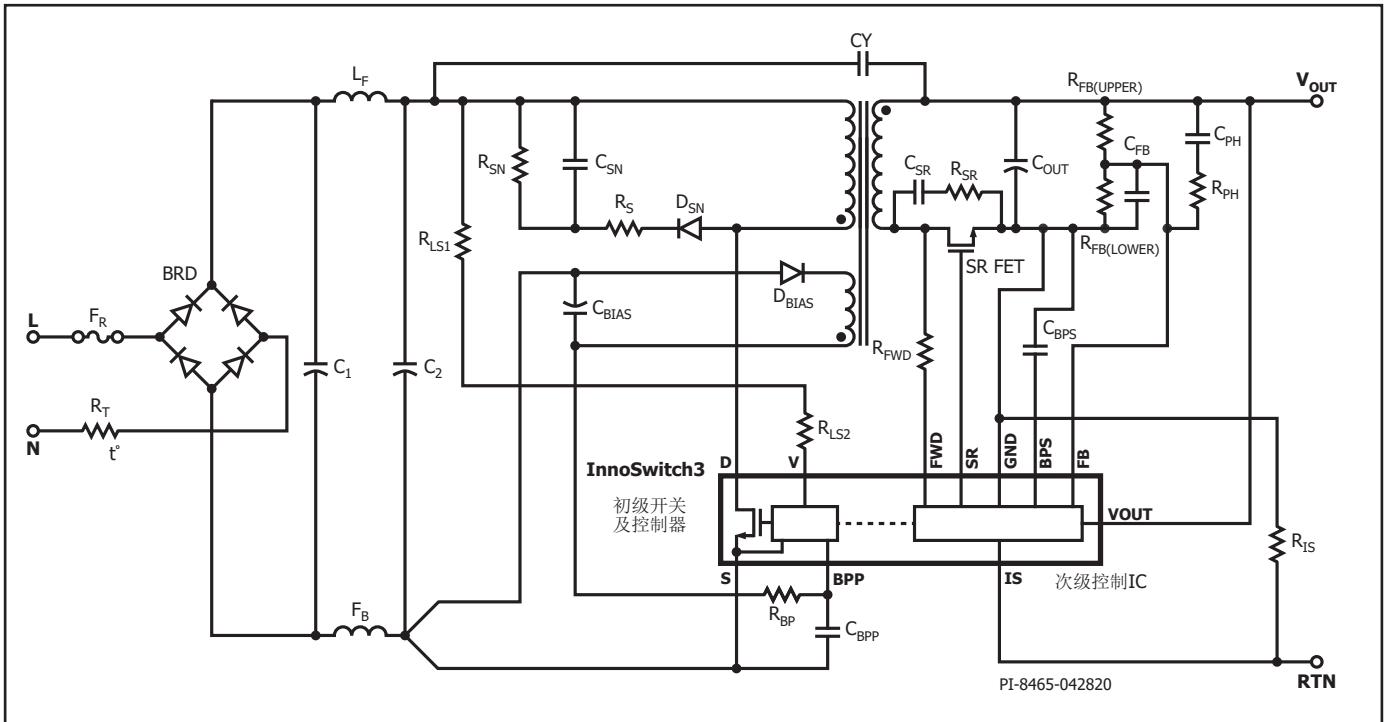


图1. 使用InnoSwitch3的典型适配器电源的电路原理图，提供输入欠压锁定、输入过压关断、恒定输出限流、准谐振同步MOSFET整流管以及集成输出过压保护。

## 适用范围

本应用指南旨在帮助工程师使用InnoSwitch3系列器件设计AC-DC隔离反激式电源或充电器。工程师可以利用本文所述的指导方法快速选择所需的关键元件并完成合适的变压器设计。为方便起见，本文直接参考了PIXIs Designer设计表格，该设计表格为PI Expert™设计软件套件的一部分（网址请见：<https://piexpertonline.power.com/site/login>）。InnoSwitch3反激式电源的基本电路结构如图1所示，本应用指南也使用该电路作为参考电路，对其中的元件设计加以讨论。

除了本应用指南之外，还提供InnoSwitch3参考设计套件（RDK，其中包括工程原型样板及器件样品），可作为一个工作电源范例使用。关于PI Expert软件下载、如何得到RDK及本文最新方面的详细信息，请访问[www.power.com](http://www.power.com)。

- 录入AC输入电压范围和工频：VAC\_MIN [B3]、VAC\_MAX [B4]、LINEFREQ [B6]
- 录入输入滤波电容容量，CAP\_INPUT [B7]
  - 对于通用输入电压(85-265VAC)或单电压(100/115VAC)输入取值 $3\mu\text{F}/\text{W}$ 输入。对于不需要满足维持时间要求的许多充电器设计，可以选取更激进的值 -  $2\mu\text{F}/\text{W}$
  - 对于230VAC或单电压(185-265VAC)输入取值 $1\mu\text{F}/\text{W}$ 输入。如果此单元格为空，PIXIs表格将会计算70V（通用输入）或150V（单电压230VAC）最小输入电压的电容容量值。通常，这会产生最佳的输入滤波电容值
- 输入额定输出电压VOUT [B8]
- 输入所需的输出线压降补偿PERCENT\_CDC [B9]
  - “0%”表示无输出线压降补偿
  - “1% - 6%”是常用的H-code调整
- 录入连续输出电流，IOUT [B10]
- 录入效率预估值，EFFICIENCY [B12]
  - 对于通用输入电压范围(85-265VAC)或单电压100/115VAC (85-132VAC)设计取值0.83；对于单电压230VAC (185-265VAC)设计取值0.85。完成首件工程样机后在最低交流输入电压(VACMIN)、最大负载条件下测量其效率，再相应地调整表格中估计的效率取值

- 选择电源壳体, ENCLOSURE [B14]
  - 选择电流限流模式ILIMIT\_MODE [B19]
    - 有两个电流限流点配置可用 – STANDARD (标准) 或INCREASED (升高)
  - 从下拉列表中选择InnoSwitch3或直接录入[B20]
    - 从表1中根据输出功率、输入电压及应用选择合适的器件
      - InnoSwitch3-CE适合恒压/恒流反激式应用
      - InnoSwitch3-EP适合要求采用725 V MOSFET的恒压/恒流反激式应用
  - 录入满载下所需的最大开关频率FSWITCHING\_MAX [B34]
  - 录入所需的反射输出电压, VOR [B35]
  - 从下拉菜单中选择磁芯类型 (如果需要) CORE [B63]
    - 如果未录入任何磁芯型号[B63], 设计表格会自动选择合适的磁芯
    - 对于自定义磁芯, 录入CORE CODE (磁芯物料号) [B64], 在[B65]到[B72]中录入磁芯参数
    - 录入次级绕组圈数[B88]
- 如果有任何警告显示, 请按照设计表格D栏中的以下说明更改设计。
- 根据“变压器结构”选项页面中的建议构建变压器
  - 选择关键元件
  - 制作原型并根据需要反复调整设计。根据测量的实际结果, 输入到设计表格中, 对原来假设的参数 (比如效率、最低输入电压 $V_{MIN}$ ) 进行修正。请注意, 初始效率估计值非常保守。

输出功率对照表

型号 <sup>3</sup>	230VAC ± 15%		85 - 265VAC	
	适配器 <sup>1</sup>	敞开式应用环境 <sup>2</sup>	适配器 <sup>1</sup>	敞开式应用环境 <sup>2</sup>
<b>INN3162C</b>	10W	12W	10W	10W
<b>INN3163C</b>	12W	15W	12W	12W
<b>INN3164C</b>	20W	25W	15W	20W
<b>INN3165C</b>	25W	30W	22W	25W
<b>INN3166C</b>	35W	40W	27W	36W
<b>INN3167C</b>	45W	50W	40W	45W
<b>INN3168C</b>	55W	65W	50W	55W

备注:

1. 最小连续输出功率是在典型的无风冷密闭适配器中、环境温度为40°C的条件下测量得到的。最大输出功率取决于具体的设计, 并且塑料体温度必须保持在125°C以下。
2. 最小峰值功率。
3. 封装: InSOP-24D。

输出功率对照表

型号 <sup>3</sup>	230VAC ± 15%		85 - 265VAC	
	适配器 <sup>1</sup>	敞开式应用环境 <sup>2</sup>	适配器 <sup>1</sup>	敞开式应用环境 <sup>2</sup>
<b>INN3264C/3274C</b>	20W	25W	15W	20W
<b>INN3265C/3275C</b>	25W	30W	22W	25W
<b>INN3266C/3276C</b>	35W	40W	27W	36W
<b>INN3277C</b>	40W	45W	36W	40W
<b>INN3267C</b>	45W	50W	40W	45W
<b>INN3268C</b>	55W	55W	50W	55W
<b>INN3278C</b>	70W	75W	55W	65W
<b>INN3279C</b>	80W	85W	65W	75W
<b>INN3270C</b>	90W	100W	75W	85W

备注:

1. 最小连续输出功率是在典型的无风冷密闭适配器中、环境温度为40°C的条件下测量得到的。(封装温度<125°C)。
2. 最小峰值功率。
3. 封装: InSOP-24D。
4. INN326x – 650V MOSFET, INN3274-77 – 725V MOSFET, INN3278/INN3279/INN3270 – 750V PowiGaN开关。

表1. InnoSwitch3-CE、CP及EP的输出功率对照表

输出功率对照表

型号 <sup>3</sup>	230VAC ± 15%	85 - 265VAC
	峰值或敞开式 <sup>1,2</sup>	峰值或敞开式 <sup>1,2</sup>
<b>INN3672C</b>	12W	10W
<b>INN3673C</b>	15W	12W
<b>INN3674C</b>	25W	20W
<b>INN3675C</b>	30W	25W
<b>INN3676C</b>	40W	36W
<b>INN3677C</b>	45W	40W
750V PowiGaN开关		
型号 <sup>3</sup>	230VAC ± 15%	85 - 265VAC
	峰值或敞开式 <sup>1,2</sup>	峰值或敞开式 <sup>1,2</sup>
<b>INN3678C</b>	75W	65W
<b>INN3679C</b>	85W	75W
<b>INN3670C</b>	100W	85W
900V MOSFET		
型号 <sup>3</sup>	230VAC ± 15%	85 - 265VAC
	峰值或敞开式 <sup>1,2</sup>	峰值或敞开式 <sup>1,2</sup>
<b>INN3692C</b>	12W	10W
<b>INN3694C</b>	25W	20W
<b>INN3696C</b>	35W	30W
900V PowiGaN开关		
型号 <sup>3</sup>	230VAC ± 15%	85 - 400VAC
	峰值或敞开式 <sup>1,2</sup>	峰值或敞开式 <sup>1,2</sup>
<b>INN3697C</b>	55W	50W
<b>INN3699C</b>	85W	75W
<b>INN3690C</b>	100W	85W
1250V PowiGaN开关		
型号 <sup>3</sup>	230VAC ± 15%	85 - 580VAC
	峰值或敞开式 <sup>1,2</sup>	峰值或敞开式 <sup>1,2</sup>
<b>INN3624C</b>	25W	20W
<b>INN3626C</b>	40W	35W
<b>INN3629C</b>	85W	75W
1700V开关		
型号 <sup>3</sup>	85 - 670VAC	200 - 1000VDC
	峰值或敞开式 <sup>1,2</sup>	峰值或敞开式 <sup>1,2</sup>
<b>INN3647C</b>	45W	50W
<b>INN3649C</b>	65W	70W

备注:

1. 最小连续输出功率是在典型的无风冷密闭适配器中、环境温度为40°C的条件下测量得到的。最大输出功率取决于具体的设计，并且塑封体温度必须保持在125°C以下。
2. 最小峰值功率。
3. 封装: InSOP-24D。

表1 (续)。 InnoSwitch3-CE、CP及EP的输出功率对照表

## 详细设计步骤

下面的设计步骤使用了PI Expert设计软件（Power Integrations提供），它可以自动执行完成InnoSwitch3反激式电源设计所需的关键计算。PI Expert可让设计人员避免高度反复的典型设计过程。本节还提供了速查表和经过实证的设计指南，可以帮助设计人员简化设计过程。

反复优化设计以消除警告。如果有任何参数超出建议值的范围，右边相应的建议栏内会给出消除此警告的指导方法。当所有警告都清除时，变压器的输出设计参数就可用来绕制变压器样品。

## 第1步 – 应用变量

录入：**VIN\_MIN**、**VIN\_MAX**、**LINEFREQ**、**CAP\_INPUT**、**VOUT**、**PERCENT\_CDC**、**IOUT**、**EFFICIENCY**、**FACTOR\_Z**及**ENCLOSURE**

### 最小及最大输入电压，**V\_MIN**、**V\_MAX (VAC)**

从表2当中确定输入电压范围，以符合特定的地区要求。

### 工频，**LINEFREQ (Hz)**

对于通用输入电压或单电压100VAC输入取值50Hz；对于单电压115VAC输入取值60Hz。对于单电压230VAC输入取值50Hz。这些值表示典型的工频，而不是最小频率。对于大多数应用，这都预留了足够的整体设计裕量。在绝对最差情况下或根据产品规格，可以将这些数值降低6%（47Hz或56Hz）。

### 总输入电容量，**CAP\_INPUT (mF)**

参照表3录入总输入电容量。

2	APPLICATION VARIABLES					设计标题
3	VIN_MIN	85		85	V	最小AC输入电压
4	VIN_MAX	265		265	V	最大AC输入电压
5	VIN_RANGE			UNIVERSAL		AC输入电压的范围
6	LINEFREQ			60	Hz	AC输入电压频率
7	CAP_INPUT			40.0	uF	输入电容
8	VOUT	5.00		5.00	V	板上输出电压
9	PERCENT_CDC	0%		0%		满载时所需（输出电压）输出线压降补偿的百分比
10	IOUT	4.00		4.00	A	输出电流
11	POUT			20.00	W	输出功率
12	EFFICIENCY	0.89		0.89		变换器在整流最小输入交流电压的波谷开关时满载下的AC-DC估计效率
13	FACTOR_Z			0.50		Z因子估计值
14	ENCLOSURE	ADAPTER		ADAPTER		电源壳体

图2. InnoSwitch3-CE设计表格中的应用变量部分（含灰色单元格）

地区	额定输入电压(VAC)	最小输入电压(VAC)	最大输入电压(VAC)	额定工频(Hz)
日本	100	85	132	50/60
美国、加拿大	120	90	132	60
澳大利亚、中国、欧盟国家、印度、韩国、马来西亚、俄罗斯	230	185	265	50
印度尼西亚、泰国、越南	220	185	265	50
欧洲、亚洲和美洲其他国家和地区； 世界其他国家和地区	115、120、127	90	155	50/60
	220、230	185	265	50/60
	240	185	265	50

访问：[https://en.wikipedia.org/wiki/Mains\\_electricity\\_by\\_country](https://en.wikipedia.org/wiki/Mains_electricity_by_country)

表2. 标准的全球输入电压范围和工频

交流输入电压(VAC)	每瓦特输出功率应使用的 总输入电容容量(mF/W)	每瓦特输出功率应使用的 总输入电容容量(mF/W)
	全波整流	
	适配器 (有维持时间要求)	敞开式应用或充电器/适配器 (无维持时间要求)
100/115	3	2
230	1	1
85-265	3	2

表3. 不同输入电压范围的建议总输入电容容量

输入电容容量用来计算大电容的最小及最大直流输入电压。必须使用足够的输入电容保证最低直流输入电压(VMIN) >70V。

#### 额定输出电压, VOUT (V)

录入满载下电源主输出的额定输出电压。通常, 反馈电路都是连接到主输出上。

#### 输出线压降补偿, PERCENT\_CDC (%)

根据设计所选用的电缆选择合适的输出线压降补偿。如果该电源未提供电缆, 使用缺省值0%。(对于InnoSwitch3-EP, 该特性不可用)

#### 电源输出电流, IOUT (A)

这是电源的最大连续负载电流。

#### 输出功率, POUT (W)

这是计算值, 将根据所选择的输出线补偿自动调整。

#### 电源效率, EFFICIENCY (η)

录入整个电源的预估效率, 这是在峰值负载及最差的输入及输出电压(一般为最低输入电压)条件下由输出端测得的效率。下表可用作参考。一旦完成了工程样机, 接着应输入实际测量的电源效率, 并根据需要进一步调整变压器的设计。

#### 电源损耗分配因子, FACTOR\_Z

此参数表示电源初级侧及次级侧损耗所占的比例。Z因子与效率值一起决定功率环必须处理的实际功率。例如, 功率级(通过变压器传输)不会处理在输入级(电磁干扰, EMI)滤波器、输入整流桥等)的损耗, 因此尽管输入级的损耗降低了效率, 但不会影响变压器的设计。

$$Z = \frac{\text{次级损耗}}{\text{总损耗}}$$

如果设计没有峰值功率要求, 则建议该参数取值0.5。如果设计有峰值功率要求, 则取值0.65。该值越大, 表示次级侧损耗就越大。

#### 壳体

功率器件的选择也取决于应用环境。对于工作环境温度比密闭适配器低的敞开式应用, PIXIS针对相同的输出功率将建议更小型号的器件。

效率还与输出功率成函数关系, 小功率设计的效率约为84%到85%, 不过如果采用同步整流管(SR), 效率通常可达到90%。

额定输出电压(VOUT)	典型的低输入电压范围		典型的通用输入电压范围		典型的高输入电压范围	
	85VAC - 132VAC		85VAC - 265VAC		185VAC - 265VAC	
	肖特基整流二极管	同步整流管	肖特基整流二极管	同步整流管	肖特基整流二极管	同步整流管
5	0.84	0.87	0.84	0.88	0.87	0.89
12	0.86	0.90	0.86	0.90	0.88	0.90

表4. 无输出线的估计效率

## 第2步 – 初级控制器的选择

录入：器件电流限流模式 **ILIMIT** 和通用器件物料号 **DEVICE\_GENERIC**

18	<b>PRIMARY CONTROLLER SELECTION</b>					
19	ILIMIT_MODE	<b>STANDARD</b>		STANDARD		器件限流点模式
20	DEVICE_GENERIC	<b>Auto</b>		INN31X5		通用器件物料号
21	DEVICE_CODE			INN3165C		实际器件物料号
22	POUT_MAX			22	W	器件基于温升性能的功率能力
23	RDSON_100DEG			3.47	Ω	100°C下的初级MOSFET导通时间漏极阻抗
24	ILIMIT_MIN			0.88	A	初级MOSFET的最小限流点
25	ILIMIT_TYP			0.95	A	初级MOSFET的典型限流点
26	ILIMIT_MAX			1.02	A	初级MOSFET的最大限流点
27	VDRAIN_BREAKDOWN			650	V	器件击穿电压
28	VDRAIN_ON_MOSFET			0.87	V	初级MOSFET导通时间漏极电压
29	VDRAIN_OFF_MOSFET			508.4	V	关断期间初级MOSFET的峰值漏极电压

图3. InnoSwitch3-CE设计表格中的初级控制器部分（可以选择限流模式）

### 通用器件物料号, DEVICE\_GENERIC

默认选项根据输入电压范围、最大输出功率和应用（例如，适配器或敞开式）自动选择。

手动选择器件型号时，请参考数据手册中的InnoSwitch3功率对照表，根据峰值输出功率选择器件。然后将连续输出功率与功率对照表中适配器应用的连续功率数值进行比较（如果电源是全封闭式设计），或将连续输出功率与开放式应用中的连续功率数值进行比较（如果电源是敞开式设计）。如果要求的连续功率超过了功率对照表（表1）中给定的数值，则应选择相邻更大的器件。同样，如果连续输出功率接近功率对照表中所列的最大适配器功率数值，则需要根据实际工程样机的温升测量结果来确定是否需要选择更大型号的器件。

### 器件电流限流模式, ILIMIT\_MODE

对于散热问题并不构成挑战（例如，敞开式应用）和将实现最低成本作为关键要求的设计，ILIMIT MODE允许选择INCREASED（升高）电流限

流模式，这可以将该器件的峰值电流设为等于相邻更大型号器件的电流限流点，并允许提供更大的输出功率。默认情况下，ILIMIT设置为STANDARD（标准）。

### 导通时间漏极电压, VDRAIN\_ON\_MOSFET (V)

此参数根据RDSON\_100DEG和初级有效值电流计算得出。

### 漏极峰值电压, VDRAIN\_OFF\_MOSFET (V)

此参数是器件在关断期间的假定漏极电压。计算假定从内部MOSFET的击穿电压额定值有10%的最小裕量，并在超过该阈值时发出警告。

$$VDRAIN < (VIN\_MAX * 1.414) + VOR + VLK_{PRI} - (BV_{DSS} \times 10\%)$$

VLK<sub>PRI</sub>是MOSFET关断时变压器的漏感产生的电压。

显示的其他电气参数基于数据手册：

**RDSON\_100DEG**、**ILIMIT\_MIN**、**ILIMIT\_TYP**、**ILIMIT\_MAX**、**VDRAIN\_BREAKDOWN**。

## 第3步 – 最差情况下的电气参数

录入: FSWITCHING\_MAX, VOR及LPRIMARY\_TOL或VMIN

WORST CASE ELECTRICAL PARAMETERS						
33						
34	FSWITCHING_MAX	80000		80000	Hz	在满载及整流最小输入交流电压波谷时的最大开关频率
35	VOR			65.0	V	初级MOSFET关断时反映到初级的次级电压
36	VMIN			85.95	V	全功率时整流最小输入交流电压的波谷
37	KP			0.66		衡量连续/断续工作模式
38	MODE_OPERATION			CCM		工作模式
39	DUTYCYCLE			0.433		初级MOSFET占空比
40	TIME_ON			7.46	us	初级MOSFET导通时间
41	TIME_OFF			7.09	us	初级MOSFET关断时间
42	LPRIMARY_MIN			805.6	uH	最小初级电感
43	LPRIMARY_TYP			830.5	uH	典型初级电感
44	LPRIMARY_TOL	3.0		3.0	%	初级电感公差
45	LPRIMARY_MAX			855.4	uH	最大初级电感
46						
47	PRIMARY CURRENT					
48	IPEAK_PRIMARY			0.95	A	初级MOSFET峰值电流
49	IPEDESTAL_PRIMARY			0.30	A	初级MOSFET电流基值
50	Iavg_PRIMARY			0.25	A	初级MOSFET平均电流
51	IRIPPLE_PRIMARY			0.76	A	初级MOSFET纹波电流
52	IRMS_PRIMARY			0.41	A	初级MOSFET有效值电流
53						
54	SECONDARY CURRENT					
55	IPEAK_SECONDARY			12.24	A	次级绕组峰值电流
56	IPEDESTAL_SECONDARY			3.79	A	次级绕组电流基值
57	IRMS_SECONDARY			6.44	A	次级绕组有效值电流

图4. InnoSwitch3-CE设计表格中的最差情况下的电气参数部分 (含灰色单元格)

## 开关频率, FSWITCHING\_MAX (Hz)

该参数是在满载及最小整流AC输入电压下的开关频率。InnoSwitch3在正常工作时的最大开关频率为100kHz, 典型过载检测频率为110kHz。在正常工作情况下, 满载时的开关频率不应接近过载检测频率。

可设定的开关频率范围是25-95kHz, 但应确保持续处于此范围内, 使决定初级电感和峰值电流公差平均频率不会高于110kHz, 因为过载会触发自动重启。建议提高频率以减小变压器的尺寸, 但表5根据内部高压MOSFET的尺寸提供了建议频率, 并且这是平衡了器件总损耗 (例如, 传导损耗和开关损耗) 的最佳取值。

## 反射输出电压, VOR (V)

反射电压为输出二极管/同步整流MOSFET (SR FET) 导通期间次级绕组电压以变压器变比的比例反射到初级绕组上而形成的电压。表6提供了建议的VOR值。可以调整VOR, 使设计既不违反变压器和SR FET的设计规则, 同时又能有效实现初级侧MOSFET的低漏-源极电压。可以根据需要调整VOR, 确保不会触发设计表格中的警告。为达到设计优化的目的, 应考虑如下因素:

- 较高的VOR允许在最低电压VMIN时获得更高的输出功率, 这会降低输入电容值和提高给定器件的输出功率。

InnoSwitch3产品系列	最大开关频率
INN3264C/3274C	85 - 90kHz
INN3265C/3275C	80kHz
INN3266C/3276C	75kHz
INN3277C	70kHz
INN3267C	65kHz
PowiGaN器件INN3278	70kHz
PowiGaN器件INN3279	65kHz
PowiGaN器件INN3270	60kHz

表5. 建议的最大开关频率

- 较高的VOR会降低输出二极管和SR FET上的电压应力, 这样有时可以使用较低的电压额定值, 从而提高效率。

- 较高的VOR会增加漏感，从而降低电源效率。
- 较高的VOR会增大次级侧的峰值电流及有效值电流，从而增加次级侧的铜损、二极管损耗和SR FET损耗，进而降低效率。

应当注意的是，此指南也有例外，特别是输出电流极大时，应减小VOR以实现最高效率。输出电压更高（高于15V）时，应利用更高的VOR，使输出SR FET的反向峰值电压(PIV)维持在可接受的水平。

选择最佳的VOR值取决于具体应用，并且需要综合考虑上述各因素。

输出电压	建议的VOR值	建议的范围
5V	55V	45V - 60V
9V	85V	80V - 90V
12V - 20V	110V	100V - 120V

表6. 功率MOSFET器件的建议VOR值

**工作模式,  $K_p$**

$K_p$ 是用来衡量是断续开关模式还是连续开关模式的参数。 $K_p > 1$ 表示处于断续工作模式(DCM),  $K_p < 1$ 表示处于连续工作模式(CCM)。

**纹波电流与峰值电流的比率,  $K_p$**

该值小于1表示处于连续导通模式,  $K_p$ 为纹波电流与峰值初级电流的比率(参见图5)。

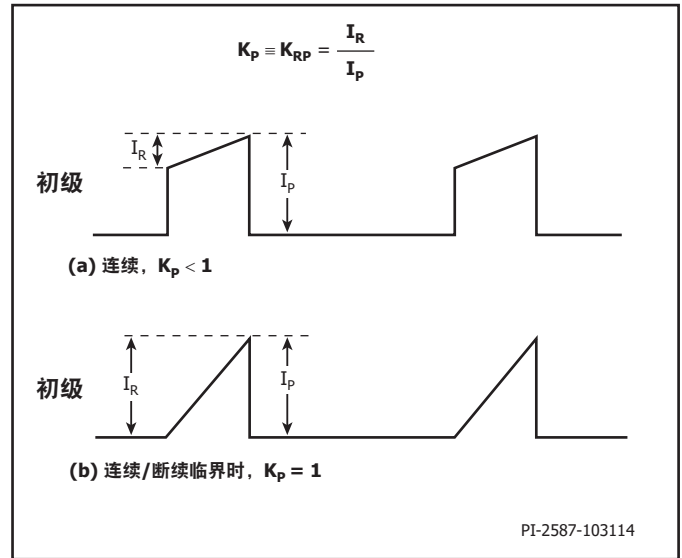


图5. 连续模式电流波形,  $K_p \leq 1$

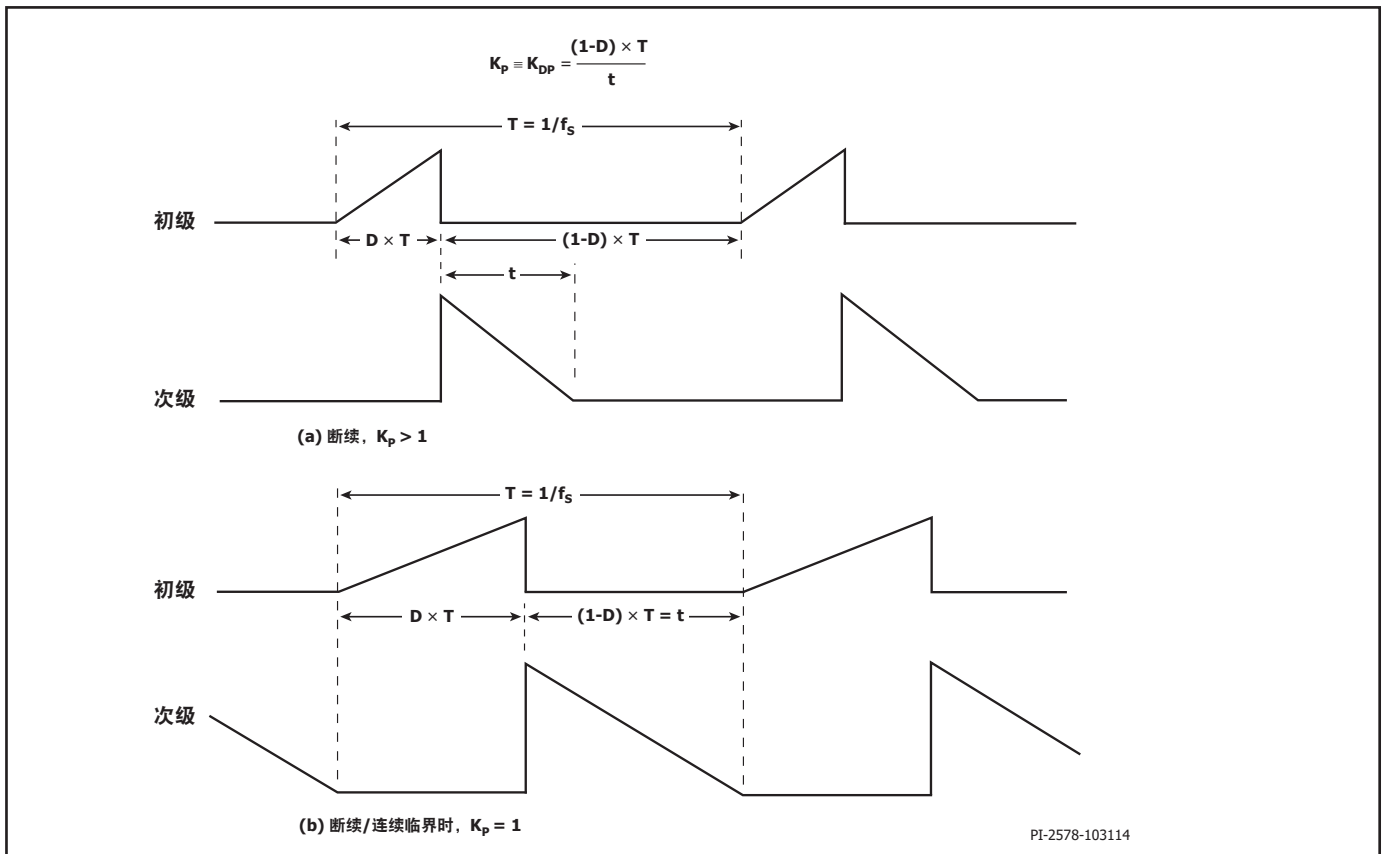


图6. 断续模式电流波形,  $K_p \geq 1$

$$K_p \equiv K_{RP} = \frac{I_R}{I_P}$$

该值大于1表示处于断续导通模式， $K_p$ 为初级MOSFET关断时间与次级SR\_FET导通时间的比值。

$$K_p = K_{DP} = \frac{(1-D) \times T}{t} \\ = \frac{V_{OR} \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

$K_p$ 值的范围应为 $0.5 < K_p < 6$ 。如果 $K_p$ 值超出这个范围，相应的建议会在该单元格中给出。

经验表明， $K_p$ 值介于0.8到1之间可确保处于DCM或临界导通模式(CRM)（这符合大部分充电器设计的要求），从而能提高效率。

设计表格将根据这些参数的取值计算电源设计的峰值初级电流值、初级有效值电流、初级纹波电流值、平均初级电流值及最大占空比。

#### 典型初级电感量，LPRIMARY\_TYP (μH)

该参数是典型的变压器初级电感目标值。

#### 初级电感量公差，LPRIMARY\_TOL (%)

此参数为假定的初级电感量公差。缺省的默认值为7%。但是如果变压器供应商可以提供其制作变压器的电感量精度，则在灰色的单元格内输入相应的信息覆盖缺省值。7%的取值有助于减小变压器差异，大部分磁芯供应商都可以轻松满足此公差值。3%的取值有助于进一步增加生产公差，但会对供应商提出更大的挑战。

其他重要的电气参数由设计表格自动计算。这些参数可用于正确选择电路中的其他元件，例如，输入保险丝( $F_R$ )和EMI滤波器( $L_F$ )、整流桥( $B_{RD}$ )、输出整流管( $SR_{FET}$ )和电容( $C_{OUT}$ )，如图1所示。

#### 初级电流 (PRIMARY CURRENT)

IPEAK\_PRIMARY – 峰值初级电流

IPEDESTAL\_PRIMARY – CCM模式中的初级MOSFET电流基值

IAVG\_PRIMARY – 初级MOSFET平均电流

IRIPPLE\_PRIMARY – 初级MOSFET纹波电流

IRMS\_PRIMARY – 初级MOSFET有效值电流

#### 次级电流 (SECONDARY CURRENT)

IPEAK\_SECONDARY – 峰值次级电流

IPEDESTAL\_SECONDARY – 次级绕组电流基值

IRMS\_SECONDARY – 次级绕组有效值电流

#### 最小整流输入电压，VMIN

全功率时整流最小输入交流电压的波谷根据输入电容(CAP\_INPUT)进行计算。

## 第4步 – 变压器结构参数

录入: CORE. AE. LE. AL. VE. BOBBIN. AW. BW. MARGIN

根据最大输出功率选择磁芯和骨架。

61	TRANSFORMER CONSTRUCTION PARAMETERS					
62	CORE SELECTION					
63	CORE	RM6	Info	RM6		变压器绕组可能不匹配: 选一个较大的磁芯或骨架, 请参考"变压器参数"选项卡了解适配计算
64	CORE CODE			PC95RM06Z		磁芯物料号
65	AE			37.00	mm <sup>2</sup>	磁芯截面积
66	LE			29.20	mm	磁芯的磁路长度
67	AL			2150	nH/turns <sup>2</sup>	无气隙磁芯等效电感量
68	VE			1090.0	mm <sup>3</sup>	磁芯体积
69	BOBBIN			B-RM06-V		骨架
70	AW			15.52	mm <sup>2</sup>	骨架窗口面积
71	BW			6.20	mm	骨架宽度
72	MARGIN			0.0	mm	安全挡墙宽度 (初级至次级爬电距离的一半)
73						
74	PRIMARY WINDING					
75	NPRIMARY			77		初级圈数
76	BPEAK			3125	Gauss	峰值磁通密度
77	BMAX			2844	Gauss	最大磁通密度
78	BAC			933	Gauss	交流磁通密度
79	ALG			140	nH/turns <sup>2</sup>	典型的带气隙磁芯等效电感量
80	LG			0.310	mm	磁芯气隙长度
81	LAYERS_PRIMARY	4		4		初级绕组层数
82	AWG_PRIMARY			30	AWG	初级绕组导线规格(AWG)
83	OD_PRIMARY_INSULATED			0.303	mm	带绝缘层的初级绕组导线外径
84	OD_PRIMARY_BARE			0.255	mm	不带绝缘层的初级绕组导线外径
85	CMA_PRIMARY			248	Cmil/A	初级绕组导线CMA
86						
87	SECONDARY WINDING					
88	NSECONDARY	6		6		次级绕组圈数
89	AWG_SECONDARY			19	AWG	次级绕组导线规格(AWG)
90	OD_SECONDARY_INSULATED			1.217	mm	带绝缘层的次级绕组导线外径
91	OD_SECONDARY_BARE			0.912	mm	不带绝缘层的次级绕组导线外径
92	CMA_SECONDARY			216	Cmil/A	次级绕组导线CMA
93						
94	BIAS WINDING					
95	NBIAS			15		偏置绕组圈数

图7. InnoSwitch3 PIXIs设计表格中的变压器磁芯和结构变量部分

## 磁芯类型, CORE

如果此单元格为空, 数据表格会根据指定的连续输出功率自动选择常用最小的磁芯型号。从下拉列表中可选择不同的磁芯类型和尺寸, 如果用

户偏好的磁芯不可用, 可使用灰色单元格 (AE、LE、AL、VE、AW及BW) 直接从生产厂商的数据手册输入磁芯和骨架参数。

输出功率 (75kHz)	磁芯和骨架表								
	磁芯	物料号	磁芯				骨架		
			AE (mm <sup>2</sup> )	LE (mm)	AL (nH/T <sup>2</sup> )	VE (mm <sup>3</sup> )	物料号	AW (mm <sup>2</sup> )	BW (mm)
0W – 10W	EE10	PC47EE10-Z	12.1	26.1	850	300	B-EE10-H	12.21	6.60
0W – 10W	EE13	PC47EE13-Z	17.1	30.2	1130	517	B-EE13-H	18.43	7.60
0W – 10W	EE16	PC47EE16-Z	19.2	35.0	1140	795	B-EE16-H	14.76	8.50
0W – 10W	EE19	PC47EE19-Z	23.0	39.4	1250	954	B-EE19-H	29.04	8.80
10W – 20W	EE22	PC47EE22-Z	41.0	39.4	1610	1620	B-EE22-H	19.44	8.45
10W – 20W	EE25	PC47EE25-Z	41.0	47.0	2140	1962	B-EE25-H	62.40	11.60
20W – 50W	EE30	PC47EE30-Z	111.0	58.0	4690	6290	B-EE30-H		13.20
0W – 10W	RM5	PC95RM05Z	24.8	23.2	2000	574	B-RM05-V		4.90
10W – 20W	RM6	PC95RM06Z	37.0	29.2	2150	1090	B-RM06-V		6.20
20W – 30W	RM8	PC95RM08Z	64.0	38.0	5290	2430	B-RM08-V	30.00	8.80
30W – 50W	RM10	PC95RM10Z	96.6	44.6	4050	4310	B-RM10-V		10.00
45W – 65W	EQ25	EQ25-3C96	100	41.4	4400	4145	EQ25-15.5A-4P-TH-J-12	34.83	8.1
50W – 70W	PQ26/20	PC95PQ26/20Z-12	119	46.3	7470	5490	BPQ26/20-1112CPFR	30.7	9.2
70W – 100W	EER35	PC47EER35-Z	107	90.8	2770	9720	EER35 - 1 (P8-S8)	154.4	26.4
	EI35	PC47EI35-Z	101	67.1	3800	6780	EE35 - 1 (P6-S8)	88.7	15.7
	PQ26/25	PQ26/25-3C95	120	54.3	6010	6530	PQ26/25 - 2 (P6-S6)	47.5	13.55
100W – 150W	ATQ27	ATQ27/18.4	129	51	6200	6579	ATQ27/18.4 - 1 (P2-S2)	56.16	10.4
	RM12/I	RM12/I-3C95	146	56.6	6790	8340	RM12/I - 1 (P6-S6)	75	14.3
	PQ32/20	PQ32/20-3C95	169	55.9	7560	9440	PQ 32/20 (P6-S6)	47.3	9.1

表7. 常用的磁芯以及这些磁芯可用于典型设计的输出功率水平

**安全边距, MARGIN (mm)**

对于要求在初级和次级之间进行安全隔离但不使用三层绝缘线的设计, 需要输入变压器骨架两侧增加一定宽度的安全边距(挡墙宽度)。一般情况下, 对于通用(85 – 265VAC)电压输入, 总的边距宽度应为6.2mm, 因此在设计表格中输入3.1mm。对于垂直式的骨架, 骨架两侧的安全边距可以不是对称的, 即使在实际制作变压器时只有一边有绝缘间距, 但如果总的边距宽度为6.2mm, 还是要输入3.1mm。对于使用三层绝缘线的设计, 为了满足所要求的安全爬电距离, 还是有必要输入一个小的安全边距。通常情况下, 对于每个磁芯往往有多种骨架与其相配, 而每种骨架有不同的外形尺寸。请参照骨架的数据手册或寻求指导以确定所需的安全边距宽度。

安全边距减少了绕组绕制的可利用面积, 因此对于尺寸较小的磁芯并不适合采用安全边距的变压器结构。如果在设计表格中输入安全边距后,

初级绕组的层数要求在3层以上, 那么建议选择尺寸更大些的磁芯, 或者考虑使用三层绝缘线、安全边距为零的设计。

**初级绕组圈数, N<sub>PRIMARY</sub>**

该参数是根据VOR和次级绕组圈数计算出的变压器主绕组圈数。

**峰值磁通密度, B<sub>PEAK</sub> (Gauss)**

为了限制最大限流点和132kHz工频下出现的峰值磁通密度, 建议峰值磁通密度取值3800高斯。在输出短路情况下输出电压很低, 在MOSFET关断期间, 变压器的磁通复位不足, 使得变压器的磁通密度会累积到超过正常工作时的水平。一旦选择了具有内置保护特性的InnoSwitch3器件, 其峰值限流点也就固定了。对应3800高斯的磁通密度具有足够的裕量, 保证在输出短路情况下磁芯不会饱和。

**最大磁通密度, BMAX (Gauss)**

轻载的低频工作方式可在变压器内产生音频频率分量, 特别是在使用长磁芯时。为抑制噪声, 应将变压器的最大磁芯磁通密度设计在低于3000高斯(300mT)之下。采用此方法并使用标准的变压器生产浸漆工艺就可以基本上消除音频噪声。在设计确认前, 要使用生产线上的变压器样品仔细进行噪声性能测试。

**交流磁通密度, BAC (Gauss)**

BAC值可用于磁芯损耗计算。

**开气隙后的磁芯等效电感量, ALG: (nH/N<sup>2</sup>)**

用于指定CORE GAP [LG]。

**初级绕组层数, LAYERS\_PRIMARY**

如果灰色的层数单元格内为空, 则默认取值为3。初级绕组层数应介于1和3之间( $1 \leq L \leq 3$ )之间。一般来讲, 在没有强制风冷的设计中应满足200 – 500Cmil/A的电流容量要求。初级绕组的线规AWG\_PRIMARY在单元格[E82]中计算。大于三层的设计也是可行的, 但要考虑到漏感的增加及绕线窗口高度的限制。在漏感钳位损耗非常高的设计应用中, 可采用分层初级绕组结构。此方法是将初级绕组绕在次级绕组和偏置绕组的两侧, 以“三明治”的方式绕制。

**初级绕组线规, AWG\_PRIMARY (AWG)**

如果此单元格为空, 设计表格会默认为双涂层的绝缘漆包线, 线径为标准线径。如果用户使用的不是双涂层的绝缘漆包线, 则可以在灰色单元格内直接输入线规。

**次级绕组圈数, NSECONDARY**

如果此单元格为空, 设计表格的缺省值为最少的次级圈数, 此圈数可以保证最大工作磁通密度 $B_{PEAK}$ 低于建议的最大值3800高斯(380mT)。一般来讲, 没有必要在灰色单元格内输入其他值, 除非需要更低的工作磁通密度。

**偏置绕组圈数, NBIAS**

该参数根据VBIAS设定的电压或次级绕组圈数确定。

由设计表格自动计算的其他变压器参数包括: 。

**OD\_PRIMARY\_INSULATED (mm)**, 带绝缘层的初级绕组导线外径

**OD\_PRIMARY\_BARE (mm)**, 不带绝缘层的外径

**CMA\_PRIMARY (Cmil/A)**, 绕组CMA

**OD\_SECONDARY\_INSULATED (mm)**, 带绝缘层的次级绕组导线外径

**OD\_SECONDARY\_BARE (mm)**, 不带绝缘层的外径

**CMA\_SECONDARY (Cmil/A)**, 绕组CMA

## 第5步 – 初级元件的选择

### 录入: BROWN-IN VOLTAGE, VBIAS, VF\_BIAS

#### 要求的输入欠压电压缓升, BROWN-IN REQUIRED

该参数是电源开启（在超过电压缓升阈值(IUV+)时）时的交流输入电压。典型值是比最小输入交流电压(VIN\_MIN)低20%。可将缓升电压更改为单元格[C101]要求的特定电压。

#### 输入欠压/过压检测电阻, RLS

PIXIs将根据缓升电压计算此电阻值。如图13中的RLS1 + RLS2所示，它们通常连接在整流桥的后面。RLS1 + RLS2的典型总和为3.8MΩ。RLS约等于  $V_{\text{BROWN-IN}} \times 1.414 / I_{\text{UV+}}$ 。

#### 实际跌落电压

在电压跌落期间，当跌落阈值电流低于IUV-阈值时，电源将停止开关。

#### 输入过压, OVERVOLTAGE\_LINE

该电压是在超过过压阈值(I<sub>OV+</sub>)时电源立即停止开关的输入交流电压，达到输入过压滞回(I<sub>OV(H)</sub>)时将重新使能开关。输入过压电压约等于  $I_{\text{OV+}} \times (\text{RLS1} + \text{RLS2}) / 1.414$ 。

#### 整流偏置电压, VBIAS

假设缺省值为12 V。电压可以被设定为不同的值（例如，偏置绕组输出也用作非隔离初级侧辅助输出的应用）。电压较高时通常会增大空载输入功率。不建议取低于10V的值，因为在轻载时可能没有足够的电压为初级旁路引脚供电，从而增大空载输入功率。推荐使用22μF、50V低ESR电解电容作为偏置绕组整流滤波电容CBIAS，低ESR电解电容可降低空载输入功率。

#### BPP引脚电容, CBPP

电容值由要求的ILIMIT\_MODE决定。标准限流点取值0.47μF，或者升高限流点取值4.7μF。尽管可以使用电解电容，但在双面板上最好使用贴片式多层陶瓷电容，因为它能使电容靠近IC放置。推荐使用电压至少25V的陶瓷X7R（或更好的）电容。

#### 偏置二极管正向电压降, VF\_BIAS

缺省值为0.7V，但可进行更改以匹配偏置绕组整流所用的二极管类型。

99	<b>PRIMARY COMPONENTS SELECTION</b>					
100	<b>Line undervoltage</b>					
101	BROWN-IN REQUIRED	74.0	74.0	V		要求的AC RMS输入电压缓升阈值
102	RLS		3.74	MΩ		将两个1.87MΩ电阻连接到要求的UV/OV阈值的V引脚
103	BROWN-IN ACTUAL		75.0	V		实际AC有效值电压缓升阈值
104	BROWN-OUT ACTUAL		67.8	V		实际AC有效值电压跌落阈值
105						
106	<b>Line overvoltage</b>					
107	OVERVOLTAGE_LINE		312.5	V		实际AC有效值输入过压阈值
108						
109	<b>Bias diode</b>					
110	VBIAS		12.0	V		整流偏置电压
111	VF_BIAS		0.70	V		偏置绕组二极管正向电压降
112	VREVERSE_BIASDIODE		84.73	V		偏置二极管反向电压（不考虑寄生电压振铃）
113	CBIAS		22	μF		偏置绕组整流电容
114	CBPP		0.47	μF		BPP引脚电容

图8. InnoSwitch3 PIXIs设计表格中的初级元件部分

## 第6步 – 次级元件

录入: **RFB\_UPPER**

118	<b>SECONDARY COMPONENTS</b>					
119	RFB_UPPER		100.00	kΩ	上方反馈电阻（连接到第一个输出电压）	
120	RFB_LOWER		34.00	kΩ	下方反馈电阻	
121	CFB_LOWER		330	pF	下方反馈电阻去耦电容	

图9. InnoSwitch3 PIXIs设计表格中的次级元件部分

125	<b>MULTIPLE OUTPUT PARAMETERS</b>					
126	<b>OUTPUT 1</b>					
127	VOUT1		5.00	V	输出1电压	
128	IOUT1		4.00	A	输出1电流	
129	POUT1		20.00	W	输出1功率	
130	IRMS_SECONDARY1		5.95	A	输出1次级电流的有效值	
131	IRIPPLE_CAP_OUTPUT1		4.41	A	输出1次级波形的电流纹波	
132	AWG_SECONDARY1		19	AWG	输出1的线径尺寸	
133	OD_SECONDARY1_INSULATED		1.217	mm	输出1带绝缘层的次级绕组导线外径	
134	OD_SECONDARY1_BARE		0.912	mm	输出1不带绝缘层的次级绕组导线外径	
135	CM_SECONDARY1		1191	Cmils	输出1以Cmil为单位的裸线等效面积	
136	NSECONDARY1		6		输出1的圈数	
137	VREVERSE_RECTIFIER1		34.09	V	输出1 SRFET反向电压（不考虑寄生电压振铃）	
138	SRFET1	Auto	AON6266		输出1的SRFET选择	
139	VF_SRFET1		0.076	V	输出1的SRFET导通时间漏极电压	
140	VBREAKDOWN_SRFET1		60	V	输出1的SRFET击穿电压	
141	RDSON_SRFET1		19.0	mΩ	输出1在25°C和VGS=4.4V时的SRFET导通时间漏极阻抗	

图10. InnoSwitch3 PIXIs设计表格中的次级元件部分

上方反馈电阻, **RFB\_UPPER**

RFB\_UPPER电阻值根据VOUT以及IC的额定内部参考电压(1.265V)进行计算。

下方反馈电阻, **RFB\_LOWER**

RFB\_LOWER电阻值根据VOUT和1.265V内部参考电压进行计算。如果有指定值用于RFB\_UPPER电阻, 该值将发生变化。

下方反馈电阻去耦电容, **CFB\_LOWER**

推荐使用330pF的贴片式陶瓷X7R电容（或更好的电容），因为这样可将其靠近IC的反馈和接地引脚放置。

## 第7步 – 多路输出参数

此部分允许用户最多设计三个次级输出（不包括偏置供电）并选择合适的MOSFET尺寸用于同步整流。如果多路输出的总功率超过POUT单元格中指定的功率, 设计表格将提供警告。

对于单路输出设计, 单元格VOUT1、IOUT1和POUT1将是第1部分中输入的主要输出参数。

每路输出都会在下拉菜单中提供多种同步整流MOSFET (**SRFET**)让用户选择（参见表10）。基于所选的SR FET, 导通状态正向电压**VF\_SRFET (V)**、击穿电压**VBREAKDOWN\_SRFET (V)**和导通时间漏极电阻**RDSON\_SRFET (mΩ)**将显示在设计表格中。

设计表格还会计算每路次级输出的关键电气参数:

**次级输出的有效值电流, RMS\_SECONDARY (A)** – 用于调整次级绕组导线的大小。

**次级电流纹波, IRIPPLE\_CAP\_OUTPUT (A)** – 用于调整输出滤波电容的大小。

– **输出的圈数, NSECONDARY**

– 计算出的每路输出的圈数。

此外, 还将提供磁线的其他信息 - **AWG\_SECONDARY (AWG)**、**OD\_SECONDARY\_INSULATED (mm)**及**OD\_SECONDARY\_BARE (mm)**。

143	<b>OUTPUT 2</b>					
144	VOUT2			0.00	V	输出2电压
145	IOUT2			0.00	A	输出2电流
146	POUT2			0.00	W	输出2功率
147	IRMS_SECONDARY2			0.00	A	输出2次级电流的有效值
148	IRIPPLE_CAP_OUTPUT2			0.00	A	输出2次级波形的电流纹波
149	AWG_SECONDARY2			0	AWG	输出2的线径尺寸
150	OD_SECONDARY2_INSULATED			0.000	mm	输出2带绝缘层的次级绕组导线外径
151	OD_SECONDARY2_BARE			0.000	mm	输出2不带绝缘层的次级绕组导线外径
152	CM_SECONDARY2			0	Cmils	输出2以Cmil为单位的裸线等效面积
153	NSECONDARY2			0		输出2的圈数
154	VREVERSE_RECTIFIER2			0.00	V	输出2 SRFET 反向电压（不考虑寄生电压振铃）
155	SRFET2	Auto		NA		输出2的SRFET选择
156	VF_SRFET2			NA	V	输出2的SRFET导通时间漏极电压
157	VBREAKDOWN_SRFET2			NA	V	输出2的SRFET击穿电压
158	RDSON_SRFET2			NA	mΩ	输出2在25°C和VGS=4.4V时的SRFET导通时间漏极阻抗
159						
160	<b>OUTPUT 3</b>					
161	VOUT3			0.00	V	输出3电压
162	IOUT3			0.00	A	输出3电流
163	POUT3			0.00	W	输出3功率
164	IRMS_SECONDARY3			0.00	A	输出3次级电流的有效值
165	IRIPPLE_CAP_OUTPUT3			0.00	A	输出3次级波形的电流纹波
166	AWG_SECONDARY3			0	AWG	输出3的线径尺寸
167	OD_SECONDARY3_INSULATED			0.000	mm	输出3带绝缘层的次级绕组导线外径
168	OD_SECONDARY3_BARE			0.000	mm	输出3不带绝缘层的次级绕组导线外径
169	CM_SECONDARY3			0	Cmils	输出3以Cmil为单位的裸线等效面积
170	NSECONDARY3			0		输出3的圈数
171	VREVERSE_RECTIFIER3			0.00	V	输出3 SRFET 反向电压（不考虑寄生电压振铃）
172	SRFET3	Auto		NA		输出3的SRFET选择
173	VF_SRFET3			NA	V	输出3的SRFET导通时间漏极电压
174	VBREAKDOWN_SRFET3			NA	V	输出3的SRFET击穿电压
175	RDSON_SRFET3			NA	mΩ	输出3在25°C和VGS=4.4V时的SRFET导通时间漏极阻抗
176						
177	PO_TOTAL			20.00	W	所有输出的总功率
178	NEGATIVE OUTPUT	N/A		N/A		如果存在负输出，请输入输出编号。 例如，如果VO2是负输出，选择2

图11. InnoSwitch3 PIXIs设计表格中的多路输出参数部分

### 第8步 – 公差分析

这是InnoSwitch3 PIXIs Designer设计表格中的有用部分，它可以为用户  
提供多个开关参数，例如，器件限流点转角**CORNER\_ILIMIT**的开关频  
率(**FSWITCHING**)以及变压器的初级电感**CORNER\_LPRIMARY**。

182	<b>TOLERANCE ANALYSIS</b>					
183	CORNER_VAC			85	V	要评估的输入交流有效值电压转角
184	CORNER_ILIMIT	<b>TYP</b>		0.95	A	要评估的限流点转角
185	CORNER_LPRIMARY	<b>TYP</b>		830.5	uH	要评估的初级电感转角
186	MODE_OPERATION			CCM		工作模式
187	KP			0.728		衡量连续/断续工作模式
188	FSWITCHING			67267	Hz	在满载及整流最小输入交流电压波谷时的开关频率
189	DUTYCYCLE			0.433		稳态占空比
190	TIME_ON			6.44	us	初级MOSFET导通时间
191	TIME_OFF			8.43	us	初级MOSFET关断时间
192	IPEAK_PRIMARY			0.91	A	初级MOSFET峰值电流
193	IPEDESTAL_PRIMARY			0.25	A	初级MOSFET电流基值
194	IAVERAGE_PRIMARY			0.25	A	初级MOSFET平均电流
195	IRIPPLE_PRIMARY			0.66	A	初级MOSFET纹波电流
196	IRMS_PRIMARY			0.40	A	初级MOSFET有效值电流
197	CMA_PRIMARY			252	Cmil/A	初级绕组导线CMA
198	BPEAK			2835	Gauss	峰值磁通密度
199	BMAX			2641	Gauss	最大磁通密度

图12. InnoSwitch3 PIXIs设计表格中的公差分析部分

### 第9步 – 关键外围元件的选择

图13中的电路图所示为设计实际的单路输出InnoSwitch3设计所需的关键外围元件。这些元件的选择标准如下：

#### 次级旁路引脚电容( $C_{BPS}$ )

此电容用作次级侧控制器的供电去耦电容。建议在此应用中使用贴片式 $2.2\mu\text{F}$ 、 $25\text{V}$ 多层陶瓷电容，以使IC正常工作。次级旁路引脚电压需要在输出电压达到目标电压之前更早达到 $4.4\text{V}$ 。使用过高的BPS电容值会导

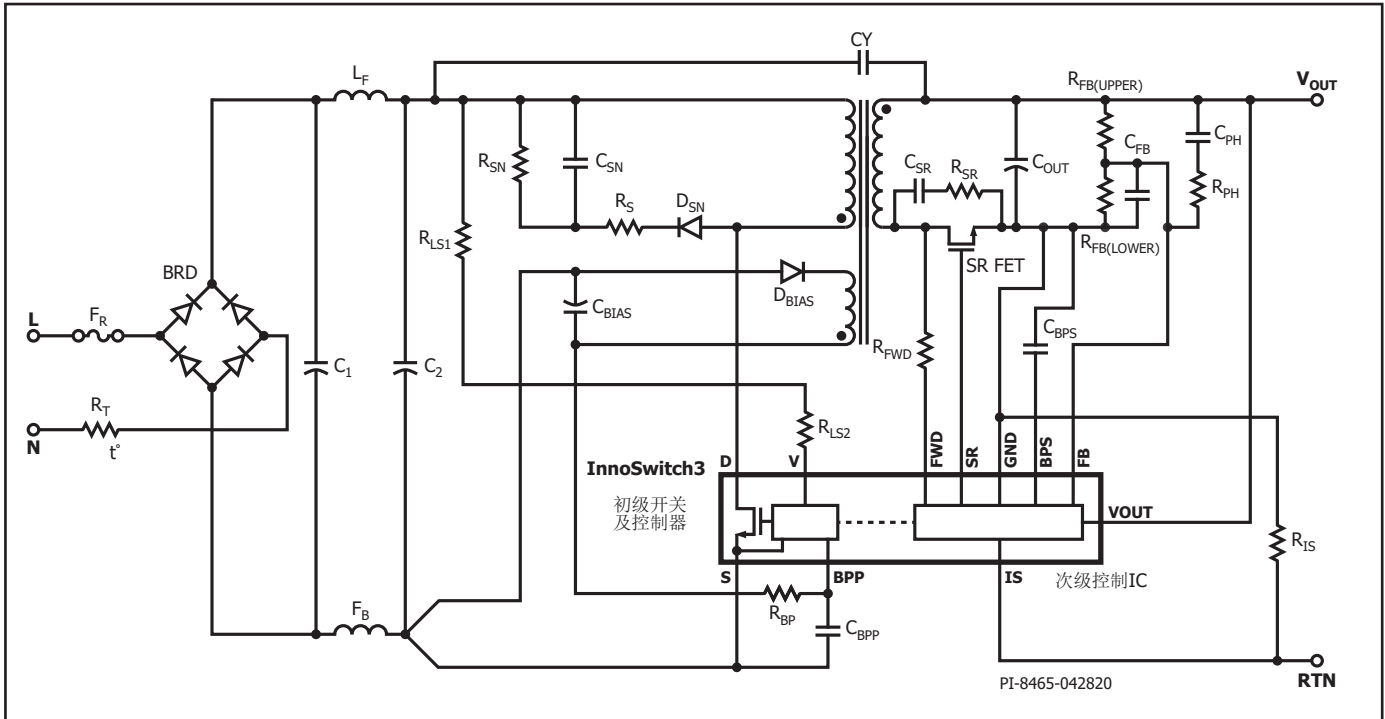


图13. 典型的InnoSwitch3反激式电源

#### 初级旁路引脚电容( $C_{BPP}$ )

该电容用作内部初级侧控制器的供电去耦电容，可决定内部MOSFET的电流限流点。 $4.7\mu\text{F}$ 电容选择升高限流点， $0.47\mu\text{F}$ 电容选择标准限流点。尽管可以使用电解电容，但在双面板上通常优先使用贴片式多层陶瓷电容，因为它能使电容靠近IC放置。推荐使用额定电压 $25\text{V}$ 的贴片式多层陶瓷X7R电容。

为确保获得正确的电流限流值，建议仅使用 $0.47\mu\text{F}/4.7\mu\text{F}$ 的电容。此外，考虑到实际应用的环境温度范围，BPP电容的公差应等于或大于下面规定的公差。可接受的最小及最大电容值由IC的表征设定（参见表8）。

额定初级旁路引脚电容值	与额定电容值相关的公差	
	最小值	最大值
$0.47\mu\text{F}$	-60%	+100%
$4.7\mu\text{F}$	-50%	+100%

表8. 旁路引脚电容公差值

致启动时输出电压过冲。低于 $1.5\mu\text{F}$ 的电容值会导致无法预测的工作情况。电容必须靠近IC引脚放置。需要采用 $25\text{V}$ 额定值的电容来保证工作时有足够的电容（陶瓷电容的电容值会随施加电压而下降），这也是不推荐使用 $10\text{V}$ 额定电容的原因。为取得最佳效果，应采用X5R或X7R介质的电容。

#### 正激引脚电阻( $R_{FWD}$ )

正激引脚连接到同步整流MOSFET (SR FET)的漏极端子。该引脚用于检测SR FET的漏极电压，并实现精确的导通和关断控制。该引脚还可用于每当输出电压低于BPS电压时对BPS（次级旁路引脚）电容充电。推荐使用 $47\Omega$ 的5%电阻，确保可获得足够的IC供电电流，并且可在宽输出电压范围内有效工作。

电阻值过高或高低都不应使用，因为这会影响器件的工作，并且影响同步整流时序。

应当格外小心，确保正激引脚的电压绝不会超过其绝对最大电压。在任何设计中，只要正激引脚电压超过正激引脚绝对最大电压，IC就会受损。

**反馈引脚分压器网络 (RFB<sub>UPPER</sub>, RFB<sub>LOWER</sub>)**

应在电源的输出端和InnoSwitch3 IC的反馈引脚之间连接合适的电阻分压器，并调整其大小，使反馈引脚的电压在所需的输出电压下达到1.265V。建议使用330pF的去耦电容(C<sub>FB</sub>)，该电容应从反馈引脚连接到接地引脚。该电容将充当反馈引脚的去耦电容，防止开关噪声影响IC工作。

**初级绕组的初级钳位网络 (D<sub>SN</sub>, R<sub>S</sub>, R<sub>SN</sub>及C<sub>SN</sub>)**

请参见图13。R2CD钳位是小功率电源中最常用的钳位。对于更大功率的设计，可以使用稳压管钳位或者R2CD外加稳压管钳位来提高效率。建议在最差条件（最大输入电压、最大过载功率或输出短路）下将峰值漏极电压降至BV<sub>DSS</sub>的90%。在图13中，钳位二极管D<sub>SN</sub>必须为标准恢复玻璃钝化二极管或者反向恢复时间不超过500ns的快速恢复二极管。使用标准恢复玻璃钝化二极管可从每个开关周期回收部分钳位能量，并有助于提高平均效率。每次当InnoSwitch3中的MOSFET关断时，二极管就会瞬间导通，来自的漏抗的能量传输至钳位电容C<sub>SN</sub>。串联路径中的电阻R<sub>S</sub>提供衰减，可防止因漏感与钳位电容C<sub>SN</sub>之间的谐振而产生的过度振荡。电阻R<sub>SN</sub>可泄放存储在电容C<sub>SN</sub>中的能量。使用InnoSwitch3系列不同器件的电源，其初级峰值电流、漏感及漏感能量也会有所不同。因此必须针对每个设计优化C<sub>SN</sub>、电阻R<sub>SN</sub>和R<sub>S</sub>。一般而言，建议尽量减小电容C<sub>SN</sub>的值，并尽量增大电阻R<sub>SN</sub>和R<sub>S</sub>的值，同时仍能在最高输入电压和满载下符合BV<sub>DSS</sub>限值的90%。R<sub>S</sub>值应足够大才能在所需的时间内衰减振铃，但也不能过大，因为这样会使漏极电压超过BV<sub>DSS</sub>的90%。采用Z5U等介质材料的陶瓷电容用作钳位电路中的C<sub>SN</sub>时，可能会产生音频噪声，因此应使用聚酯薄膜型电容。

可使用下列公式计算R2CD的元件值：

$$R_{SN} = \left[ \frac{V_C^2}{\frac{1}{2} L_{IK} \times I_{PK}^2 \times \frac{V_C \times F_S}{(V_C - V_{OR})}} \right] \quad ; \text{公式(1)}$$

$$C_S = \frac{V_C}{R_{SN} \times \frac{1}{F_S} \times dV_{CSN}} \quad ; \text{公式(2)}$$

$$R_S = \left( \frac{L_{IK}}{C_{SN}} \right)^{\frac{1}{2}} \quad ; \text{公式(3)}$$

其中，

V<sub>C</sub>: 钳位电路的电压

I<sub>PK</sub>: 峰值开关电流

F<sub>S</sub>: 开关频率

L<sub>IK</sub>: 漏感

V<sub>OR</sub>: 反射输出电压

dV<sub>CSN</sub>: 钳位电容的最大纹波电压(10%)

例如：

如果V<sub>C</sub> = 205V, F<sub>S</sub> = 100kHz, I<sub>PK</sub> = 1A, V<sub>OR</sub> = 100, L<sub>IK</sub> = 5μH且dV<sub>SN</sub> = 20V  
应用上面的公式，

$$R_{RSN} = 92.4k\Omega, C_S = 1.08nF \text{且} R_S = 68\Omega$$

**常见初级钳位配置**

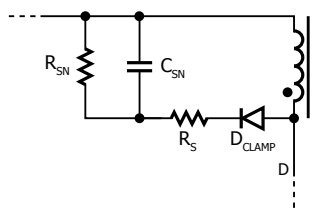
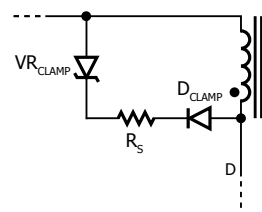
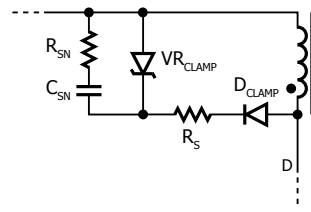
R2CD	稳压管	R2CD + 稳压管
		
PI-8502-041818	PI-8504-041818	PI-8503-041818

图14. 推荐的初级钳位元件

**初级钳位电路**

优势	R2CD	稳压管	R2CD + 稳压管
元件成本	低	中	高
空载输入功率	高	低	中
轻载效率	低	高	中
EMI抑制	高	低	中

表9. 初级钳位电路的优势

### 外围偏置供电元件 ( $D_{BIAS}$ 、 $C_{BIAS}$ 和 $R_{BP}$ )

在功率MOSFET处于关断期间，初级旁路引脚中的内部稳压器会从漏极引脚吸收电流，将初级旁路引脚电容充电至 $V_{BPP}$ 。初级旁路引脚是内部供电电压接口节点。当功率MOSFET导通时，器件利用储存在初级旁路引脚电容内的能量工作。此外，当有电流通过一个外部电阻提供给初级旁路引脚时，一个分流稳压器会将初级旁路引脚电压钳位在 $V_{SHUNT}$ 。这样可使InnoSwitch3通过偏置绕组从外部获得供电，对于5V输出的设计可以将空载功耗降到15mW以下。

12V为推荐的偏置电压。电压较高时会增大空载输入功率。建议使用超快速二极管作为偏置绕组整流管，以降低空载功耗。

建议使用22 $\mu$ F、50V低ESR铝电解电容作为偏置供电滤波器 $C_{BIAS}$ 。低ESR电解电容可降低空载输入功率。不建议使用贴片式陶瓷电容，因为其机械机构所产生的压电效应可致音频噪声。

为确保实现最小空载输入功率和高满载功率效率，应选择电阻 $R_{BP}$ ，以使流经该电阻的电流大于初级旁路引脚电流。

正常工作频率下的初级旁路引脚供电电流可通过下面所示的公式进行计算：

$$I_{SSW} = \frac{F_{SW}}{132 \text{ kHz}} \times (I_{S2} - I_{S1}) + I_{S1}$$

其中，

$I_{SSW}$ : 工作开关频率下的初级旁路引脚供电电流

$F_{SW}$ : 工作开关频率(kHz)

$I_{S1}$ : 无开关时的初级旁路引脚的供电电流 (参见数据手册)

$I_{S2}$ : 132kHz下初级旁路引脚的供电电流 (参见数据手册)

如果偏置电流大于初级旁路引脚的供电电流，BPP电压由内部钳位至5.3V。如果BPP电压约为5.0V，则表示流经 $R_{BP}$ 的电流小于初级旁路引脚供电电流，并且充电正从漏极引脚拉出，使初级旁路引脚的电压在启动之外始终保持在5.0V以上。

$R_{BP}$ 最大值的计算方法：

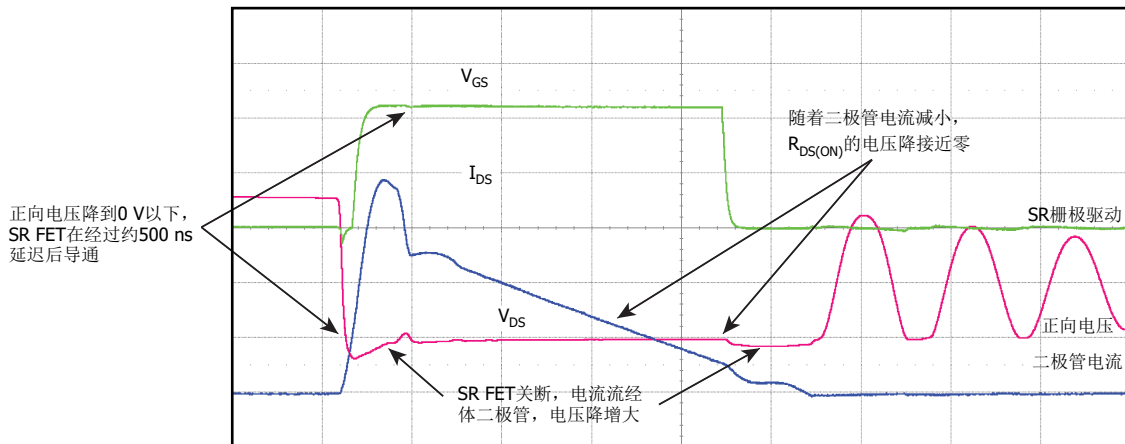
$$R_{BP} = [V_{BIAS(NO-LOAD)} - V_{BPP}] / I_{SSW}; V_{BPP} = 5.3V$$

### 输出同步整流MOSFET (SR FET)

InnoSwitch3具有内置的同步整流(SR)驱动器，允许使用低成本的低电压MOSFET进行同步整流，并可提高系统效率。由于SR驱动器以输出GND为参考，因此SR FET位于返回线路上。GND是典型的阈值，可确保SR FET在反激导通时间结束时关断( $V_{SR(TH)}$ )。反激周期开始与SR FET导通之间稍微有一点延迟，以避免电流击穿。SR FET导通期间，存储在电感中的能量传输到负载，电流将继续减小，直到SR FET的电阻 $R_{DS(ON)}$ 的电压降到0V，此时同步整流引脚将栅极拉低并同时关断SR FET。在反激周期的剩余阶段，最小电流将流经SR FET体二极管 (参见图15)。在SR FET上连接一个肖特基二极管可进一步将效率提高0.1% - 0.2%，具体取决于设计和所用的SR FET。在连续导通模式(CCM)下，SR FET会在发送开关周期请求之前关断，这可以提供出色的同步整流工作，防止在SR FET与初级MOSFET之间可能出现的交越导通现象。

SR FET驱动器使用次级旁路引脚作为供电端，该电压的典型值为4.4V。因此，具有高阈值电压的SR FET并不合适。推荐使用栅极电压阈值范围( $V_{G(TH)}$ )介于1.5V到2.5V的SR FET。

由于SR FET的导通时间终止基于MOSFET漏源极电压在导通周期内何时达到0V，因此使用具有超低 $R_{DS(ON)}$  (<5m $\Omega$ )的SR MOSFET可导致SR FET驱动信号过早终止。这将导致次级电流流经其体二极管，与SR FET的 $R_{DS(ON)}$ 相比电压降较高，这会略微降低系统效率 (参见图16)。



PI-8514-091318

图15. DCM模式工作时SR FET的导通和关断

可选用 $18\text{m}\Omega$   $R_{\text{DS(ON)}}$ 的SR FET满足5V/2A输出的使用需要,  $8\text{m}\Omega$   $R_{\text{DS(ON)}}$ 的SR FET则可以用于额定12V/3A输出的设计。

推荐的最佳SR FET漏源极导通电阻( $R_{\text{DS(ON)}}$ )可按下式估算:

假设:

1. SR FET需要在90%的次级导通时间内导通。
2.  $100^\circ\text{C}$ 时的 $R_{\text{DS(ON)}}$ 比 $25^\circ\text{C}$ 时的 $R_{\text{DS(ON)}}$ 高50%。

$$100^\circ\text{C时的}R_{\text{DS(ON)}} = 25^\circ\text{C时的}R_{\text{DS(ON)}} \times 1.5$$

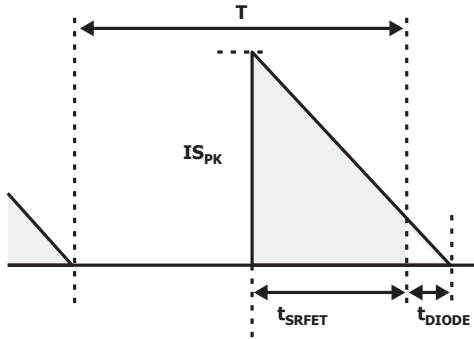
因为

$$\bullet \frac{N_p}{N_s} = \frac{V_{\text{OR}}}{V_o} \quad (1)$$

$$\bullet I_{\text{SP}} = I_p \times \frac{N_p}{N_s} \quad (2)$$

为使SR FET在90%的次级导通时间内导通, 当次级电流 $I_s$ 下降到其峰值电流水平( $I_{\text{SP}}$ )的10%时, FET两端的电压将等于SR引脚电压阈值(2.5 mV)

$$2.5\text{mV} = 10\% \times I_{\text{SP}} \times 100^\circ\text{C时的}R_{\text{DS(ON)}}$$



$25^\circ\text{C}$ 时的最佳 $R_{\text{DS(ON)}}$ 将为:

$$R_{\text{DS(ON)}} @ 25^\circ\text{C} \approx \frac{2.5\text{ mV}}{10\% \times 1.5 \times I_{\text{SP}}} = \frac{0.016 \times V_o}{I_p \times V_{\text{OR}}}$$

推荐的最佳SR FET漏源极导通电阻 ( $R_{\text{DS(ON)}}$ )的近似值为:

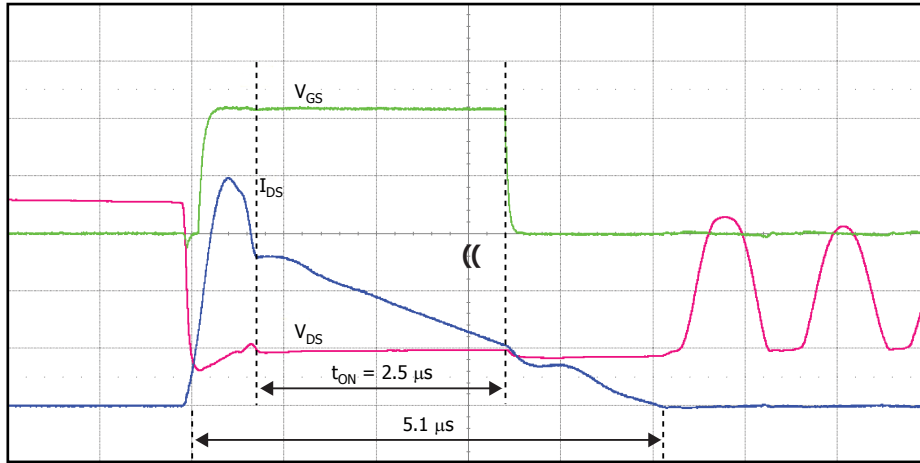
$$R_{\text{DS(ON)}} \approx \frac{0.016 \times V_o}{I_p \times V_{\text{OR}}}$$

部分适合同步整流且符合此部分所述标准的SR FET如表10所示。

SR FET的电压额定值应至少是预期峰值反向电压(PIV)的1.3倍。峰值反向电压等于施加的最大输入直流总线电压乘以变压器初级与次级圈数比。设计表格的第137行提供了该估计值, 名称为VREVERSE\_RECTIFIER1。仍应实际测量此电压, 以确认SR FET和反并联二极管(如使用)的 $BV_{\text{DSS}}$ 具有足够的裕量。

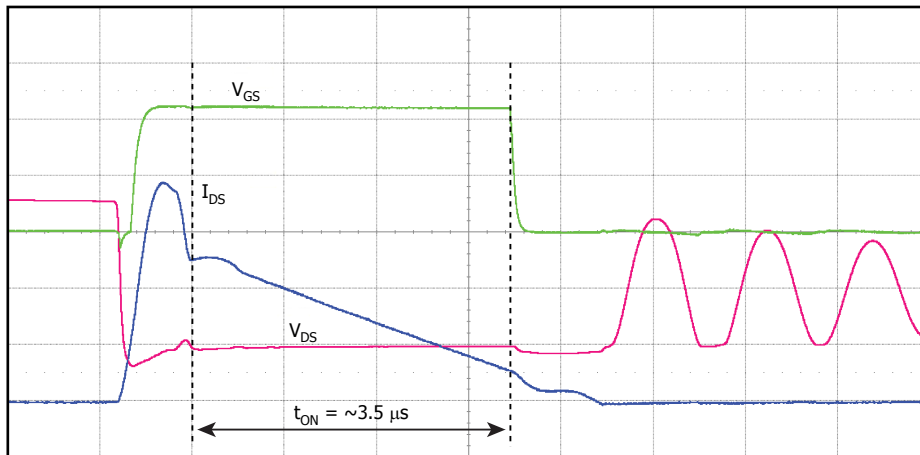
由于低压MOSFET的成本较低, SR FET可在不增加成本的前提下提供显著的效率提升。通过将栅极驱动同步整流引脚短接至接地, 可以使用肖特基二极管或快速恢复二极管进行输出整流。这可能更适合高压输出。

MOSFET的直流电流额定值需要是平均输出电流的两倍以上。其选择依赖于温升及峰值负载条件下的占空比。当完成工程样机作时, 如有必要, 可以增大SR FET的电流额定值以及散热面积。



PI-8516-050918

$R_{DS(ON)} = 7.5\text{m}\Omega$ 表示 $2.5\mu\text{s}$ 的短SR FET导通时间



PI-8515-050918

$R_{DS(ON)} = 16\text{m}\Omega$ 表示 $3.5\mu\text{s}$ 的长SR FET导通时间

图16.  $R_{DS(ON)}$ 对SR FET导通时间的影响

元件	PIV	$I_{DRAIN}$	$V_{GS(TH)}$	$V_{GS(TH)}$	CISS	CRSS	CRSS/ CISS	$R_G$	$R_{DS(ON)}$	$T_{RR}$	封装	生产厂商
			最大值	最小值								
	(V)	(A)	(V)	(V)	(pF)	(pF)	(%)	( $\Omega$ )	(m $\Omega$ )	(ns)		
AO4260	60	18.0	2.4	1.3	4940	32.0	0.65	0.9	6.3	22	8-SOIC (0.154", 3.90mm宽)	Alpha & Omega
AO4264	60	12.0	2.5	1.4	2007	12.5	0.62	1.2	13.5	15	8-SOIC (0.154", 3.90mm宽)	Alpha & Omega
AON6244	60	85.0	2.5	1.5	3838	14.5	0.38	1.0	6.2	17	8-PowerSMD, 扁平引线	Alpha & Omega
AON6266	60	30.0	2.5	1.5	1340	10.0	0.75	1.5	19.0	17	8-PowerSMD, 扁平引线	Alpha & Omega
AON7246	60	34.5	2.5	1.5	1340	10.0	0.75	1.5	19.0	15	8-PowerVDFN	Alpha & Omega
AO4294	100	11.5	2.4	1.4	2420	11.0	0.45	0.6	15.5	25	8-SOIC (0.154", 3.90mm宽)	Alpha & Omega
AON7292	100	23.0	2.6	1.6	1170	8.0	0.68	0.7	32.0	24	8-WDFN裸焊盘	Alpha & Omega
AO4292	100	8	2.7	1.6	1190	7	0.59	3	33	20	SOIC-8	Alpha & Omega
AO4294	100	11.5	2.4	1.4	2420	11	0.45	3	15.5	25	SOIC-8	Alpha & Omega
AO4296	100	13.5	2.3	1.3	3130	12.5	0.40	3	10.6	28	SOIC-8	Alpha & Omega
AOD294A	100	55	2.5	1.5	2305	11.5	0.50	3	15.5	30	TO-252	Alpha & Omega
AOD296A	100	70	2.3	1.3	3130	12.5	0.40	3	10.6	30	TO-252	Alpha & Omega
AOD2910	100	31	2.7	1.6	1190	7	0.59	3	33	30	TO-252	Alpha & Omega
AOD2916	100	25	2.7	1.6	870	3.5	0.40	3	43.5	20	TO-252	Alpha & Omega
AON6220	100	48	2.3	1.3	4525	22.5	0.50	1.1	7.4	32	DFN5X6	Alpha & Omega
AOD2544	150	23.0	2.7	1.7	675	4.0	0.59	2.9	66.0	37	TO-252 DPAK	Alpha & Omega
AON7254	150	17.0	2.7	1.7	675	4.0	0.59	2.9	66.0	37	8-WDFN裸焊盘	Alpha & Omega

表10. 适合同步整流的MOSFET列表

SR FET	PIV	$R_{DS(ON)}$	$V_{GS(TH)}$	$V_{GS(TH)}$
		@10V	最小值	最大值
	(V)	(m $\Omega$ )	(V)	(V)
CJAC110SN10H	100	5.2	2	4
CJAC80SN10H	100	8.5	2	4
CJAC90SN12	120	7	2	4
HGN050N10A	100	5.3	2	4
HGN080N10A	100	8	2	4
HGN070N12S	120	7	2	4
HGN099N15S	150	10.5	2	4
HGN115N15SL	150	11.5	2	4
VSP003N10HS-G	100	4.8	2.3	3.9
SRT15N110L	150	11	1.2	2.4

表11. 适合同步整流的标准MOSFET列表

在绕组的电压反向（由于初级MOSFET导通）时，输出绕组的漏感与SR FET电容( $C_{OSS}$ )之间的相互作用会导致电压波形出现振铃。这种振铃可通过使用连接SR FET的RC缓冲器被抑制。可以使用介于10 $\Omega$ 至47 $\Omega$ 之间的缓冲器电阻（较高的电阻值会导致比较明显的效率下降）。大部分设计当中均可采用1nF至2.2nF的电容量。

初级MOSFET导通时，快速升高的电压通过变压器和SR FET的漏源极传递到次级。这种高dv/dt结合 $C_{GD}$ 与CISS MOSFET电容的高比值，将产生SR FET栅源极感应电压。如果栅极感应电压超过最小栅极阈值电压 $V_{GS(TH)}$ ，将导通SR FET，所产生的交越导通可能导致重大故障。推荐的 $C_{GD}$ (CRSS)小于35pF，CRSS与CISS的比值小于2%。

在选择SR FET时，另一个重要参数是体二极管的反向恢复时间( $T_{RR}$ )。SR FET的体二极管的反向恢复特性可影响初级MOSFET导通时漏极的电压应力水平。如图17所示，具有慢速恢复体二极管(> 40ns  $T_{RR}$ )的SR FET，其电压应力是具有快速恢复体二极管的两倍。推荐的体二极管最大反向恢复时间( $T_{RR}$ )小于40 ns。

#### 输出滤波电容( $C_{OUT}$ )

输出电容的电流纹波额定值应大于设计表格中的计算值IRIPPLE\_CAP\_OUTPUT1。但在峰值功率与连续（平均）功率之比较高及峰值负载持续时间较长的设计中，可能需要增大电容的额定值。取值时应基于最差的负载和环境温度条件下测得的电容温度。设计表格会使用平均输出功率计算出输出电容的纹波电流值。因此，实际需要的电容额定值取决于设计中峰值和平均功率的比例。在大多数情况下此假定都将有效，这是因为电流纹波额定值受温升限制，大多数峰值负载持续时间都短于电容的温升时间常数（典型值<1s）。

在这两种情况下，如果找不到合适的电容，则可以用两个或两个以上的电容进行并联，使其总的纹波电流额定值等于单个电容纹波额定值之

和。很多电容生产厂商都会提供一些系数，该系数表明电容工作温度低于其数据手册规定的最大温度时，其纹波额定电流的增加比例。这样可确保没有选用过大的电容尺寸。

铝聚合物固态电容已获得非常广泛的应用，是由于它们具有紧凑的尺寸、稳定的温度特性、极低的ESR以及较高的有效值纹波电流额定值。使用这些电容可以设计出超紧凑的充电器和适配器。通常，对应每一个安培的输出电流使用200 $\mu$ F至300 $\mu$ F的铝聚合物电容即可。其他影响电容选择的因素是允许的纹波。确保只使用电压额定值高于最高输出电压且留有合适裕量的电容。

开关纹波电压等于峰值的次级电流乘以输出电容的ESR。为了降低纹波电压就必须选用ESR很低的电容。一般来讲，纹波电流比较高的电容，其ESR也是可以接受的。

电容的电压额定值至少应为输出电压(VOUT)的1.2倍。

#### 输出电流检测电阻( $R_{IS}$ )

对于恒流(CC)输出工作，外部电流检测电阻 $R_{IS}$ 应连接在IC的IS引脚和次级接地引脚之间。如果不要求输出具备恒流(CC)特性，IS引脚应直接连接至IC的接地引脚。

电阻上产生的电压与约为35 mV的内部限流电压阈值( $I_{SV(TH)}$ )进行比较。

外部电流检测电阻 $R_{IS}$ 可通过下列公式进行估算：

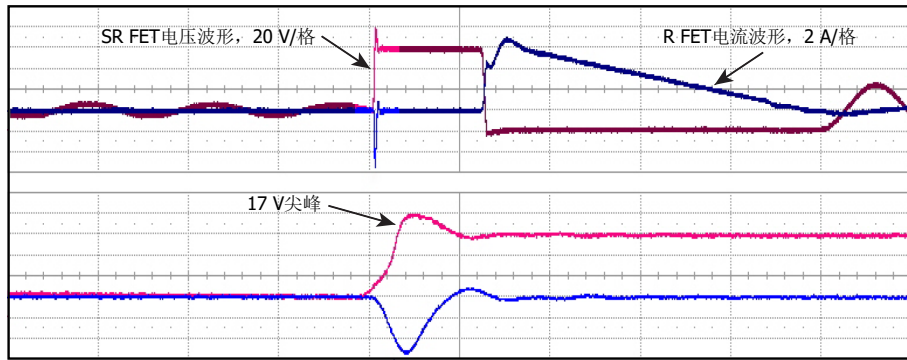
$$R_{IS} = I_{SV(TH)} / I_{OUT(CC)}$$

电阻上形成的电压连接到内部参考 $V_{SV(TH)}$  (35mV)， $R_{IS}$ 电阻必须以短走线靠近IS和接地引脚放置，以防止在恒流工作中出现接地阻抗噪声不稳定性问题。

### 输出后级滤波元件 ( $L_{PF}$ 、 $C_{PF}$ )

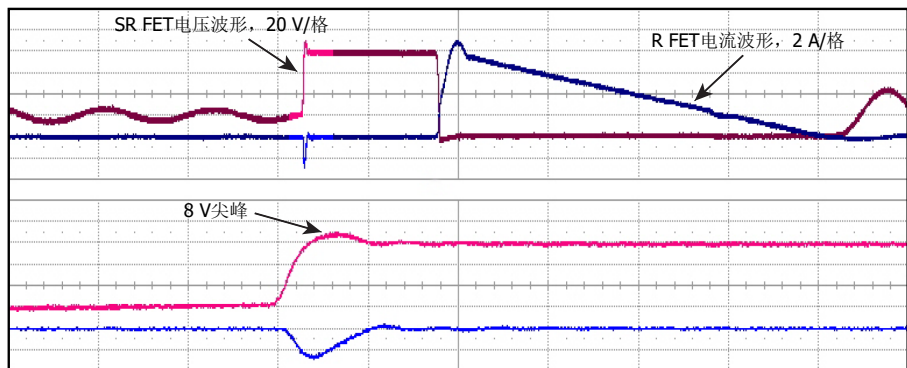
必要时，可以添加一个后级滤波器 ( $L_{PF}$ 和 $C_{PF}$ ) 来减小高频开关噪声和纹波。电感 $L_{PF}$ 取值应在 $1\mu\text{H}$  -  $3.3\mu\text{H}$ 的范围内，并且电流额定值大于峰值输出电流。电容 $C_{PF}$ 取值应在 $100\mu\text{F}$ 至 $330\mu\text{F}$ 的范围内，并且电压额定

值 $\geq 1.25 \times V_{OUT}$ 。如果使用了后级滤波器，那么输出电压检测电阻应连接到后级滤波器电感的前面。



PI-8517-100118

具有慢速恢复体二极管的SR FET，高压尖峰为17V



PI-8518-100118

具有快速恢复体二极管的SR FET，低压尖峰为8V

图17. 体二极管反向恢复时间对 $V_{DS}$ 的影响

## 应用设计要点

## 输出功率对照表

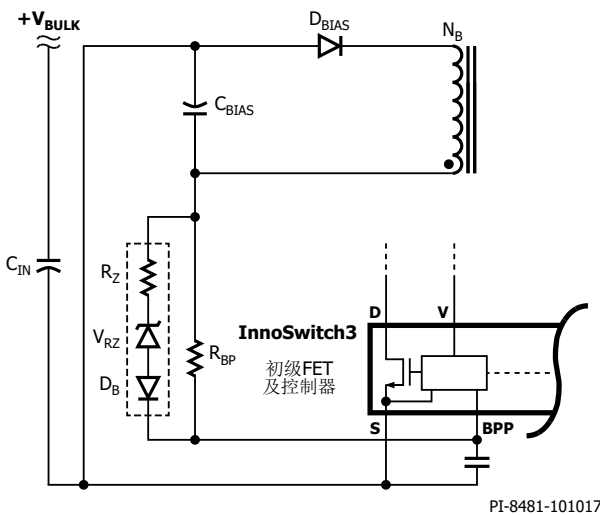
数据手册中的输出功率对照表（表1）列出了在以下条件下能获得的最大实际持续输出功率：

1. 85VAC输入时，最小直流输入电压为90V或更高；230VAC输入（或115VAC输入并使用倍压整流）时，最小直流输入电压为220V或更高。对于AC输入的设计应调整输入电容的额定电压，以满足这些电压要求。
2. 效率的假定取决于功率水平。最小型号器件功率水平是假定效率>84%的情况下，最大器件的效率假定>89%，并且相当保守。
3. 变压器初级电感量公差为±10%。
4. 所选择的反射输出电压( $V_{OR}$ )可使通用输入电压设计在最小输入电压下的 $K_p = 0.8$ ，高输入电压设计的 $K_p = 1$ 。
5. 适配器的最大传导损耗限制在0.6W，敞开式设计则限制在0.8W。
6. 峰值及敞开式设计的输出功率是通过选择增加的电流限流点实现的，对于适配器设计中所列出的输出功率是采用标准的电流限流点得到的。

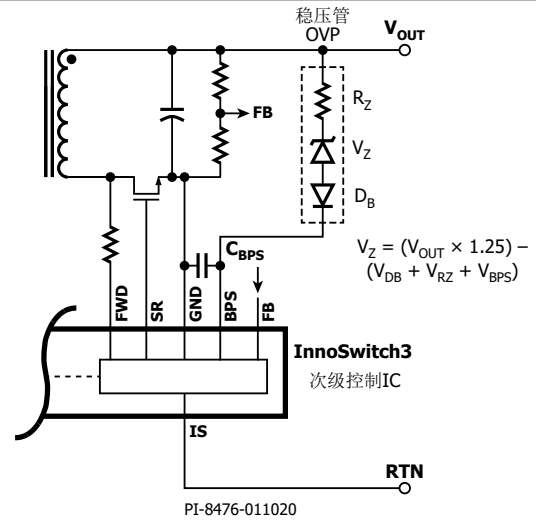
7. 将器件贴装在电路板上，源极焊接在足够的铺铜区域上，并且/或者使用一个散热片将源极引脚温度控制在110°C或之下。
8. 确保敞开式设计的环境温度为50°C，密闭式适配器应用的环境温度为40°C。
9. 为防止由于开关周期的提前误关断所导致的输出功率能力下降的情况出现， $K_p$ 值应≥0.5。这样将避免在MOSFET开通时初始电流尖峰( $I_{INIT}$ )触发到器件限流点。
10. InnoSwitch3器件的独特特性是，设计人员可以通过调整变压器设计将工作频率设置在25kHz至95kHz的范围内。有效降低器件温度的方式之一是，将变压器设计为低开关频率工作，大型号器件（如8号）的合适起点为60kHz，但小型号器件（如5号）的合适起点为80kHz。

## 初级侧过压保护

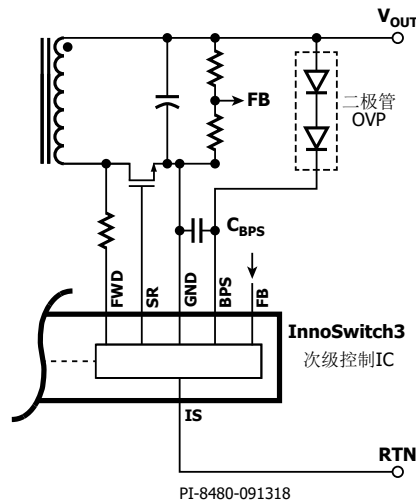
InnoSwitch3 IC内部的锁存电路可以实现初级侧输出过压保护，该电路由流入初级旁路引脚的阈值电流 $I_{SD}$ 触发。为使旁路电容达到有效的高频滤波，应将电容尽量放置在距器件源极和初级旁路引脚最近的地方。



a. 大电流通过稳压管 $V_{RZ}$ 推入BPP的初级侧过压保护



b. 大电流通过稳压管 $V_Z$ 和电阻 $R_Z$ 推入BPS的次级侧过压保护



c. 大电流通过两个二极管推入BPS的次级侧过压保护（仅适合5V输出）

图18. 输出过压保护电路

初级检测过压保护功能的实现方式是，将串联起来的稳压管、电阻和阻断二极管从经整流和滤波的偏置绕组电压端连接至初级旁路引脚（参见图18-a）。经整流和滤波的偏置绕组输出电压可能高于预期值（预期值的1.5倍或2倍），这取决于偏置绕组与输出绕组的耦合情况，以及由此导致偏置绕组电压波形出现振荡造成的。因此建议测量偏置绕组整流电压。此测量最好在最低输入电压下和输出端负载最大时进行。此测量电压用于帮助选择提供初级检测过压保护所需的元件。建议使用这样的稳压管：其钳位电压能够在过压保护被触发时让偏置绕组整流电压低6V。可假定阻断二极管具有1V正向电压降。应使用小信号标准恢复二极管。阻断二极管可防止在启动时任何反向电流对偏置电容充电。最后，可计算串联电阻的值，以使大于 $I_{SD}$ 的电流在输出过压期间流入初级旁路引脚。

### 次级侧过压保护

InnoSwitch3 IC内部的自动重新启动电路可以实现次级侧输出过压保护。流入次级旁路引脚的电流超过 $I_{BPS(SD)}$ 阈值时触发内部自动重新启动，此时激活次级侧过压保护。通过将稳压管由输出连接至次级旁路引脚可以实现直接输出检测过压保护功能。稳压管的额定值应为 $1.25 V_{OUT}$ 减去4.4 V次级旁路引脚电压。所需过压保护稳压管串联一个低值电阻，可以限制流入次级旁路引脚的最大电流（参见图18-b）。

5V输出的过压保护可通过两个二极管并联实现（如图18-c所示）。滤波电容的额定电压应6.3 V。

### 电路板布局建议

#### 单点接地

在输入滤波电容与连接源极引脚的铺铜区域使用单一接地点。请参见图19和图20。

#### 旁路电容

初级旁路( $C_{BPP}$ )和次级旁路( $C_{BPS}$ )去耦电容必须分别直接靠近初级旁路-源极引脚、次级旁路-接地引脚和反馈-接地( $C_{FB}$ )引脚放置，与这些电容的连接应采用短走线方式。

#### 信号元件

用于监测反馈信息的外围元件 $R_{LS}$ 、 $R_{BP}$ 、 $R_{FB(UPPER)}$ 、 $R_{FB(LOWER)}$ 和 $R_{IS}$ 必须以短走线的方式尽可能靠近IC引脚。

#### 关键环路面积

会产生高 $dv/dt$ 或 $di/dt$ 的电路环路应尽可能小。连接输入滤波电容、变压器初级及IC的初级环路面积应尽可能小。

一个环路不得在另一环路之内（参见图21）。这样可降低电路之间的串扰。

#### 初级钳位电路

钳位电路用于限制开关在关断时漏极引脚的峰值电压。在初级绕组上使用一个RCD钳位或一个齐纳稳压管( $\sim 200V$ )及二极管钳位即能够实现。为改善EMI，钳位元件、变压器和IC之间的连接走线应保证最短。

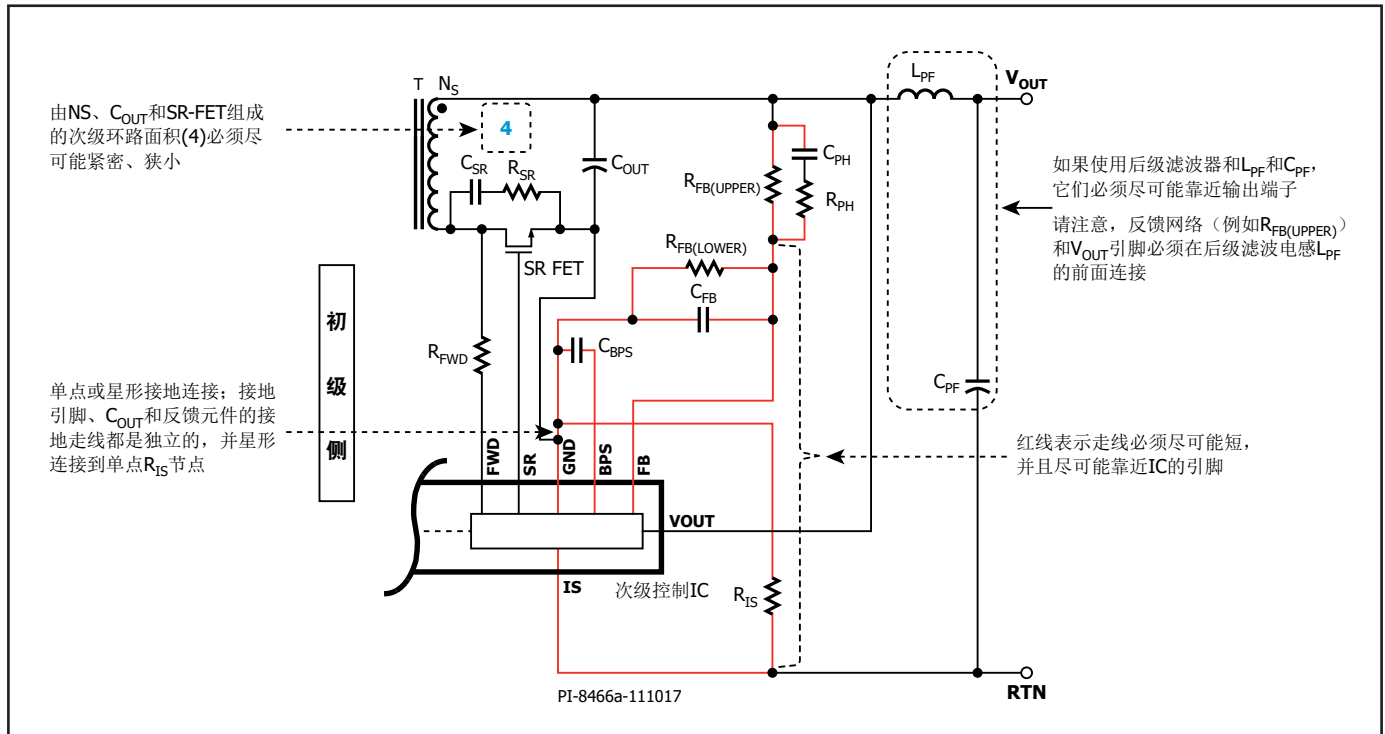


图19. InnoSwitch3初级侧的典型电路原理图 - 显示了关键环路面积、关键元件走线和单点或星形接地

## Y电容

应将Y电容直接放置在初级输入滤波电容正极和变压器次级的正输出或返回极接脚之间。这样放置会使高幅值的共模浪涌电流远离IC。请注意，如果在输入端使用了 $\pi$ 型EMI滤波器（C1、 $L_F$ 及C2），那么滤波器内的电感应放置在输入滤波电容的负极之间。

## 输出SR MOSFET

为达到最佳性能，由次级绕组、输出SR MOSFET及输出滤波电容所组成的环路区域面积应最小。此外，与SR MOSFET端子连接的铺铜区域面积应足够大，以便用来散热。SR FET源极与InnoSwitch3接地引脚之间的距离需要尽量短，以防止负电流流经初级MOSFET。

## ESD抗扰性

应在初级侧和次级侧电路之间保持足够的电气间隙(>8mm)，以易于满足任何ESD或耐压绝缘要求。放电间隙最好位于输出返回端和/或正极与

其中一个AC输入（保险丝后）之间。在此配置中，6.4mm（可采用5.5mm，具体取决于客户要求）放电间隙通常足以满足最适用的安全标准的爬电距离和电气间隙要求。该距离小于初级与次级之间的电气间隙，因为放电间隙之间所施加的电压不超过AC输入的峰值。请参见图21中的布局示例。

共模扼流圈或电感上的放电间隙有助于为ESD或共模浪涌引起的大量能量放电提供低阻抗路径。

## 漏极节点

漏极开关节点是主要噪声源。因此，连接漏极节点的元件应靠近IC放置并远离敏感的反馈电路。钳位电路元件应远离初级旁路引脚放置，此电路中的走线宽度和长度应尽量短。

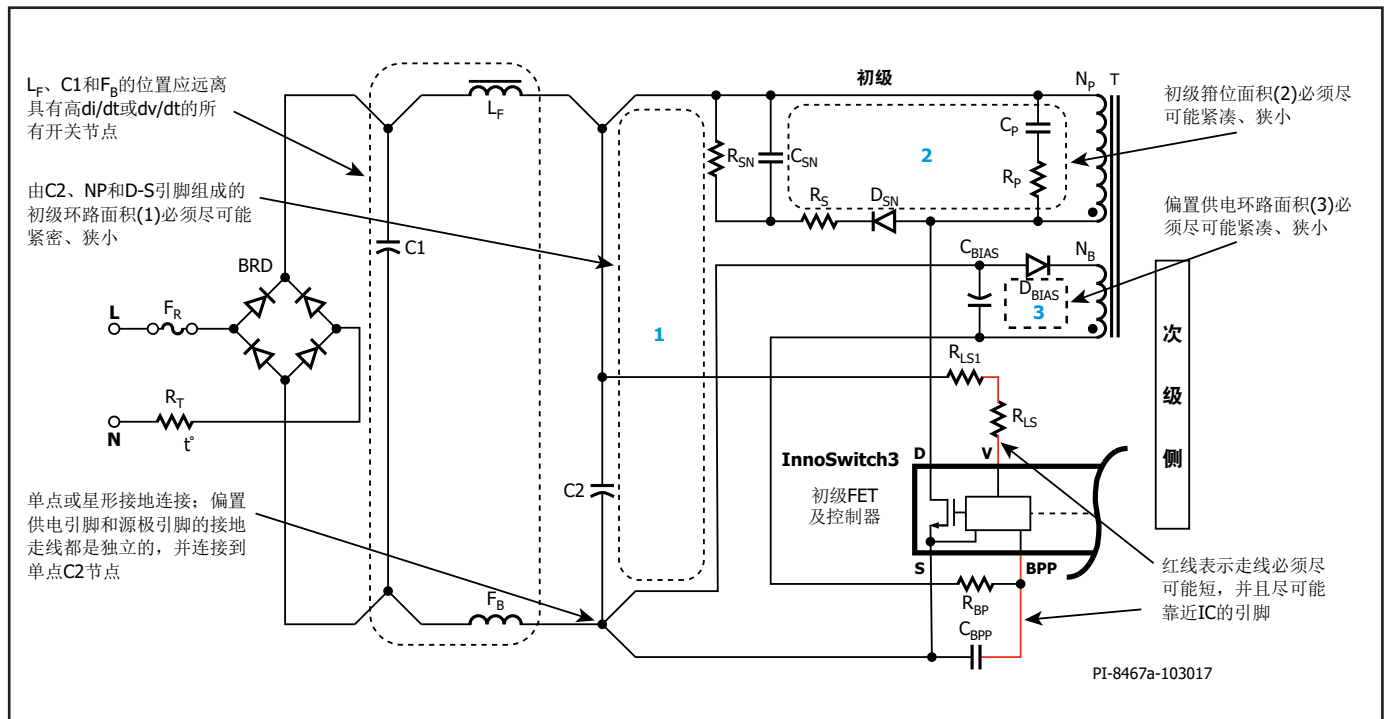


图20. InnoSwitch3次级侧的典型电路原理图 - 显示了关键环路面积、关键元件走线和单点或星形接地已包含可选的后级滤波器LC。

## 布板示例

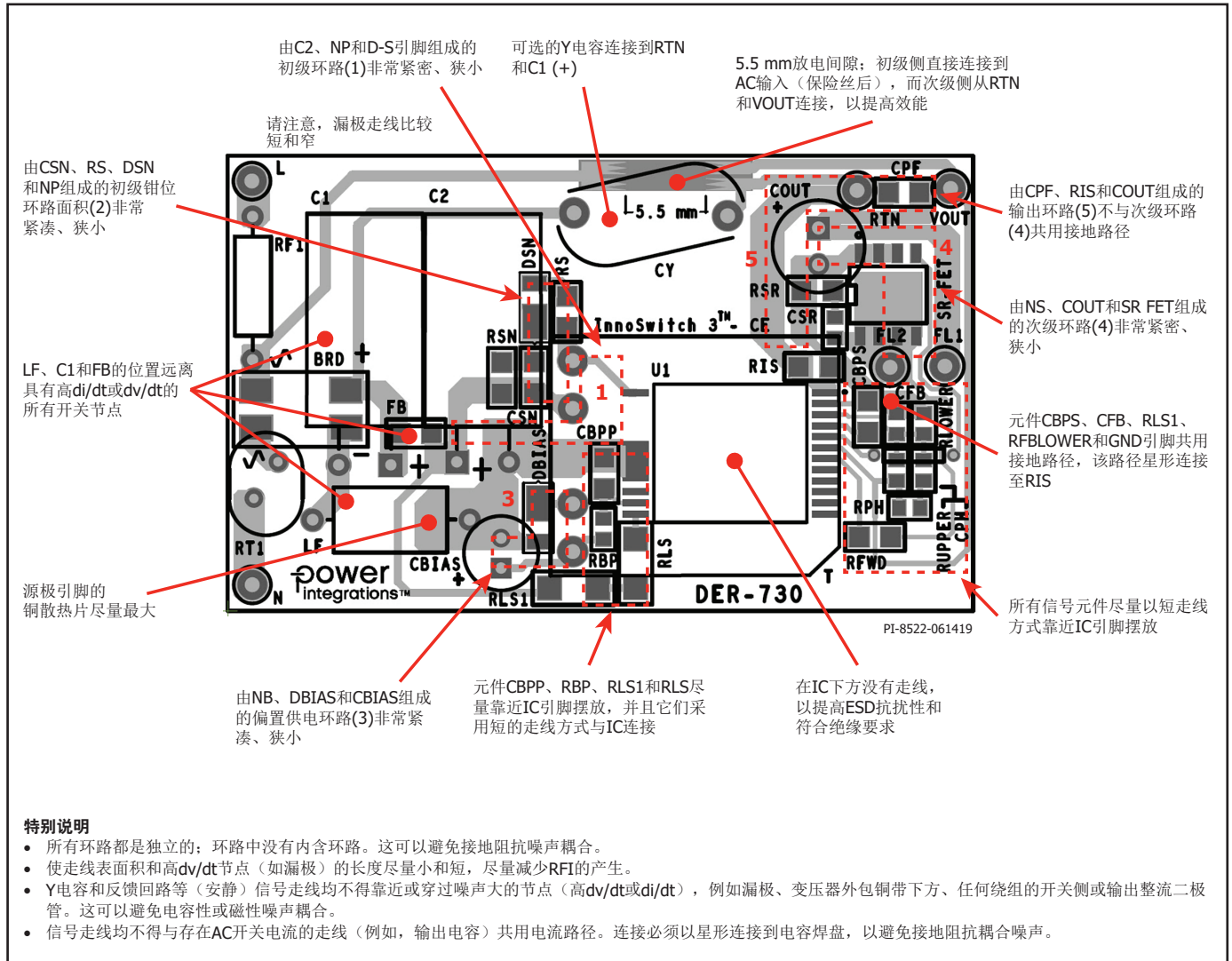
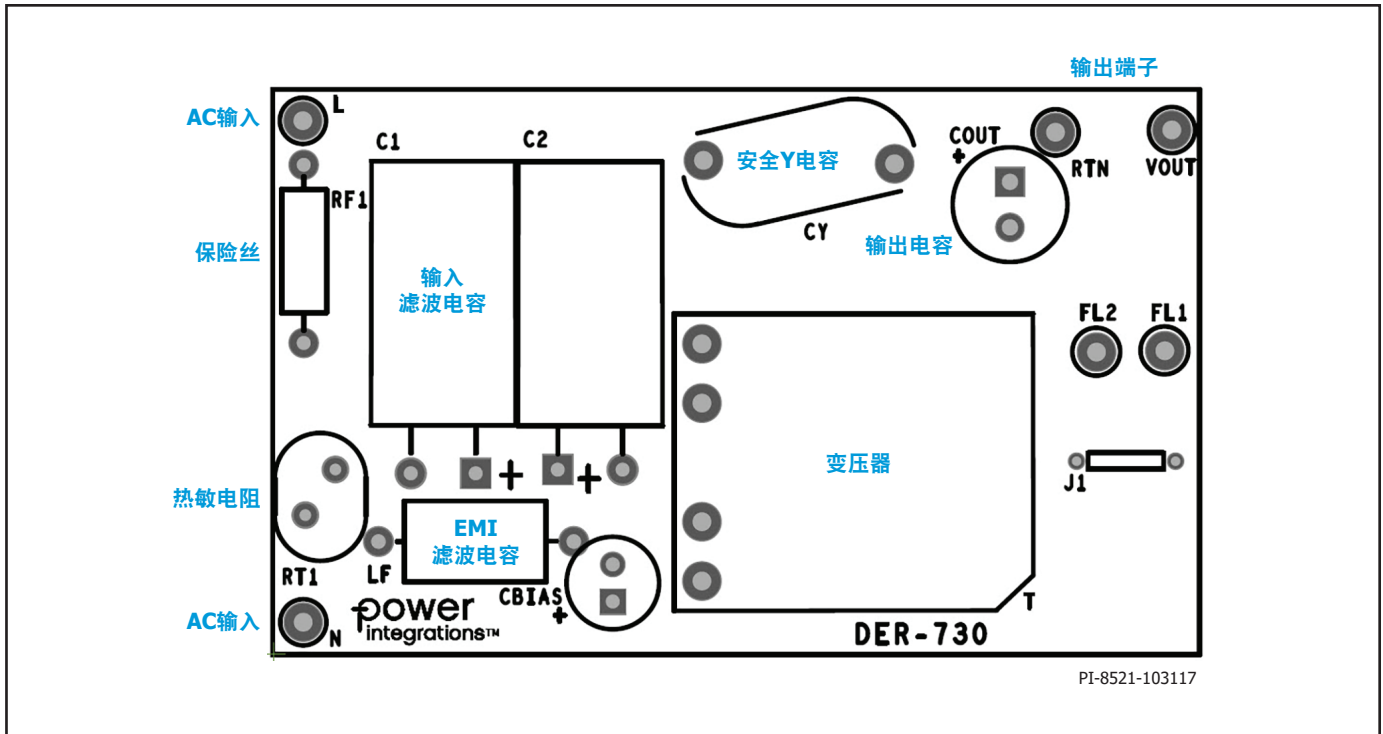


图21. 理想布板示例的顶面与底面 – 高dv/dt及di/dt电路的紧密环路面积、合理的元件位置及火花隙位置（与图19和图20相关）

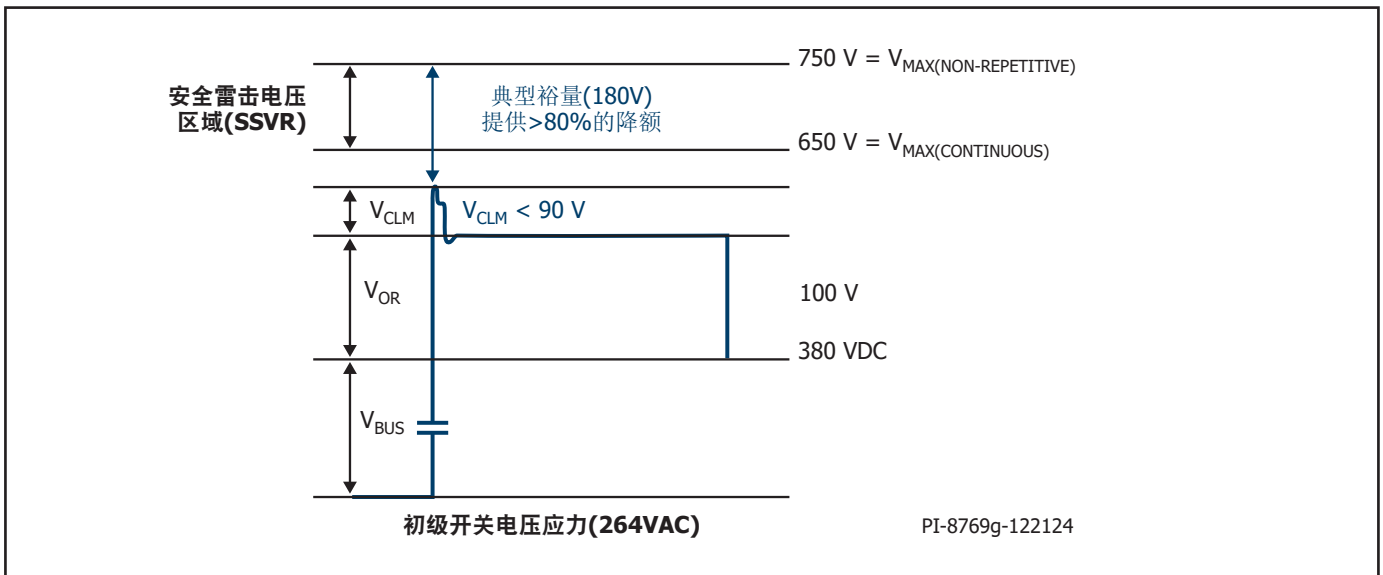


PI-8521-103117

图22. 顶面 - 显示通孔元件的布板示例

### 使用750V、900V和1250V PowiGaN器件时的设计注意事项

对于反激变换器设计，IC漏极引脚的典型电压波形如图23所示。



PI-8769g-122124

图23. 使用750V PowiGaN开关时264VAC输入电压下的峰值漏极电压

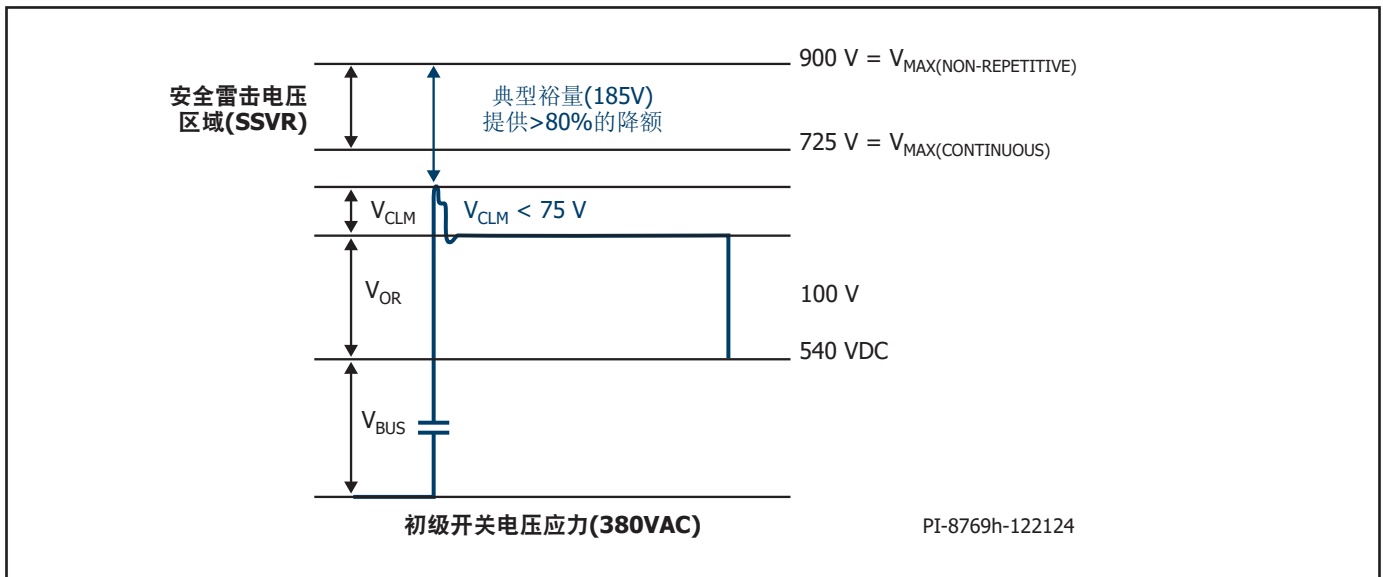


图24. 使用900V PowiGaN开关时380VAC输入电压下的峰值漏极电压

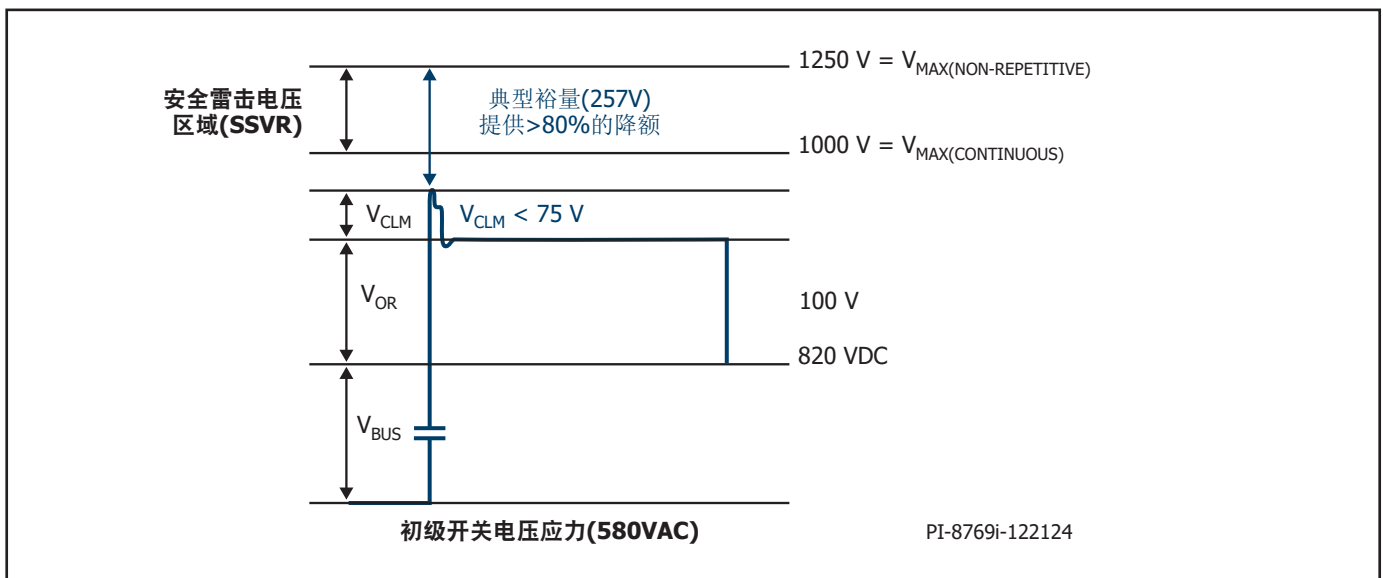


图25. 使用1250V PowiGaN开关时480VAC输入电压下的峰值漏极电压

$V_{OR}$ 是次级导通时初级绕组上的反射输出电压。 $V_{BUS}$ 是连接变压器初级绕组一端的直流电压。

除 $V_{BUS}+V_{OR}$ 外，漏极在关断时还会出现较大的电压尖峰，这是由存储在初级绕组漏感中的能量引起的。为防止漏极电压超过额定最大连续漏极电压，初级绕组两端需要一个钳位电路。钳位二极管的正向恢复将在初级开关关断的一瞬间增加一个尖峰。

$V_{CLM}$ 是包括尖峰的复合钳位电压。初级开关的峰值漏极电压为 $V_{BUS}$ 、 $V_{OR}$ 与 $V_{CLM}$ 的总和。

选择 $V_{OR}$ 和钳位电压 $V_{CLM}$ 时，应确保在所有正常工作条件下，750V PowiGaN开关的峰值漏极电压低于650V，900V PowiGaN开关的峰值漏极电压低于725V，1250V PowiGaN开关的峰值漏极电压低于1000V。这提供了足够的裕量，可确保在异常瞬态工作条件下，输入电压瞬变（例如输入电压浪涌）导致电压偶尔升高时，峰值漏极电压仍能保持在远低于非重复最大漏极电压的水平。这样可确保出色的长期可靠性和设计裕量。

为充分利用QR特性和确保最平坦的输入电压/负载效率曲线，设置反射输出电压(VOR)时，对于通用输入电压设计，在最小输入电压下应满足  $KP = 0.8$ ，而对于输入电压仅限于高压输入的设计应满足  $KP \geq 1$ 。

为达到设计优化的目的，应考虑如下因素：

1. 较高的VOR允许在最低电压 $V_{MIN}$ 时获得更高的输出功率，这会降低输入电容值并增大给定的PowiGaN器件（INN3678C、INN3679C和INN3670C）的输出功率能力。
2. 较高的VOR还可以降低输出二极管和SR FET的电压应力。
3. 较高的VOR会增加漏感，从而降低电源效率。
4. 较高的VOR会增大次级侧的峰值电流及有效值电流，从而增加次级侧的铜损和二极管损耗。

但也有些例外情况。输出电流非常大时，应降低VOR以获得最高效率。输出电压高于15V时，应提高VOR，使输出同步整流管的反向峰值电压维持在可接受的水平。

VOR的选择会影响工作效率，应谨慎选择。下表显示了实现最佳性能的典型VOR范围：

输出电压	VOR的最佳范围
5V	45 - 70
12V	80 - 120
15V	100 - 135
20V	120 - 150
24V	135 - 180

### 浪涌电压对器件 $R_{DS(ON)}$ 的影响（INN3x78C、INN3x79C及INN3x70C）

当漏极受到超过650V的重复浪涌时，器件的 $R_{DS(ON)}$ 会增加，但器件的 $R_{DS(ON)}$ 在经过一定时间后会恢复到额定值。

图26显示了重复浪涌对器件 $R_{DS(ON)}$ 的影响。其中

750V PowiGaN开关的 $V_{DS} \leq 650V$   
900V PowiGaN开关的 $V_{DS} \leq 725V$   
1250V PowiGaN开关的 $V_{DS} \leq 1000V$

750V PowiGaN开关的 $V_{DS} = 750V$   
900V PowiGaN开关的 $V_{DS} = 900V$   
1250V PowiGaN开关的 $V_{DS} = 1250V$

## $R_{DS(ON)}$ 值在最大连续漏极电压以上时会增加，但会恢复

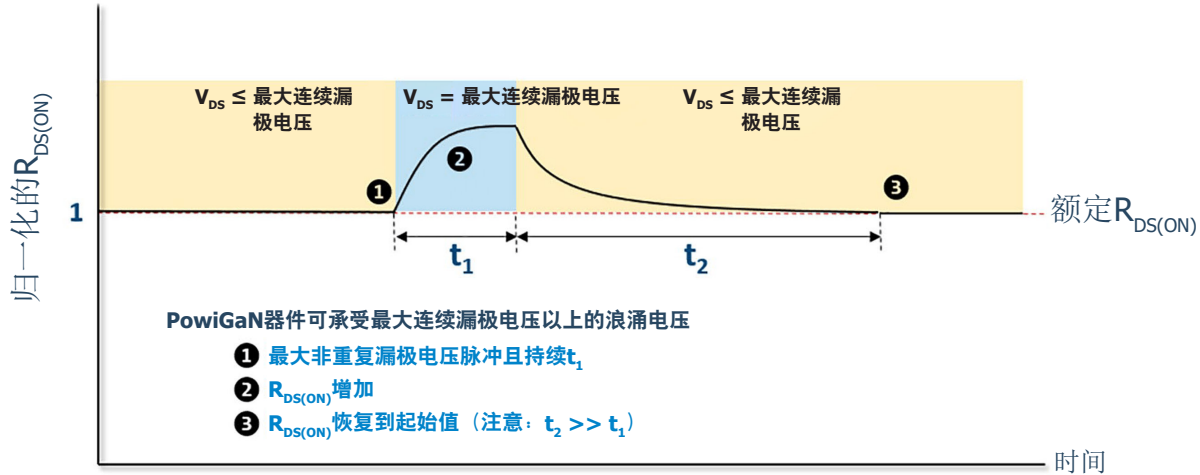


图26. 浪涌电压对器件 $R_{DS(ON)}$ 的影响

T1	T2	$R_{DS(ON)}$ 增加
100s	20小时	5%

**InSOP-24D封装相对于变压器的建议位置**

变压器和InSOP-24D下方的PCB必须坚固稳定。如果大尺寸变压器与薄PCB (<1.5mm)一起使用，建议将变压器从InSOP封装移开。不建议在靠

近InSOP封装或其下方的PCB上开槽，因为这样会削弱PCB的稳固性。对于较长的PCB，建议在电路板的中央位置或靠近InSOP封装的位置使用机械支撑或支柱。

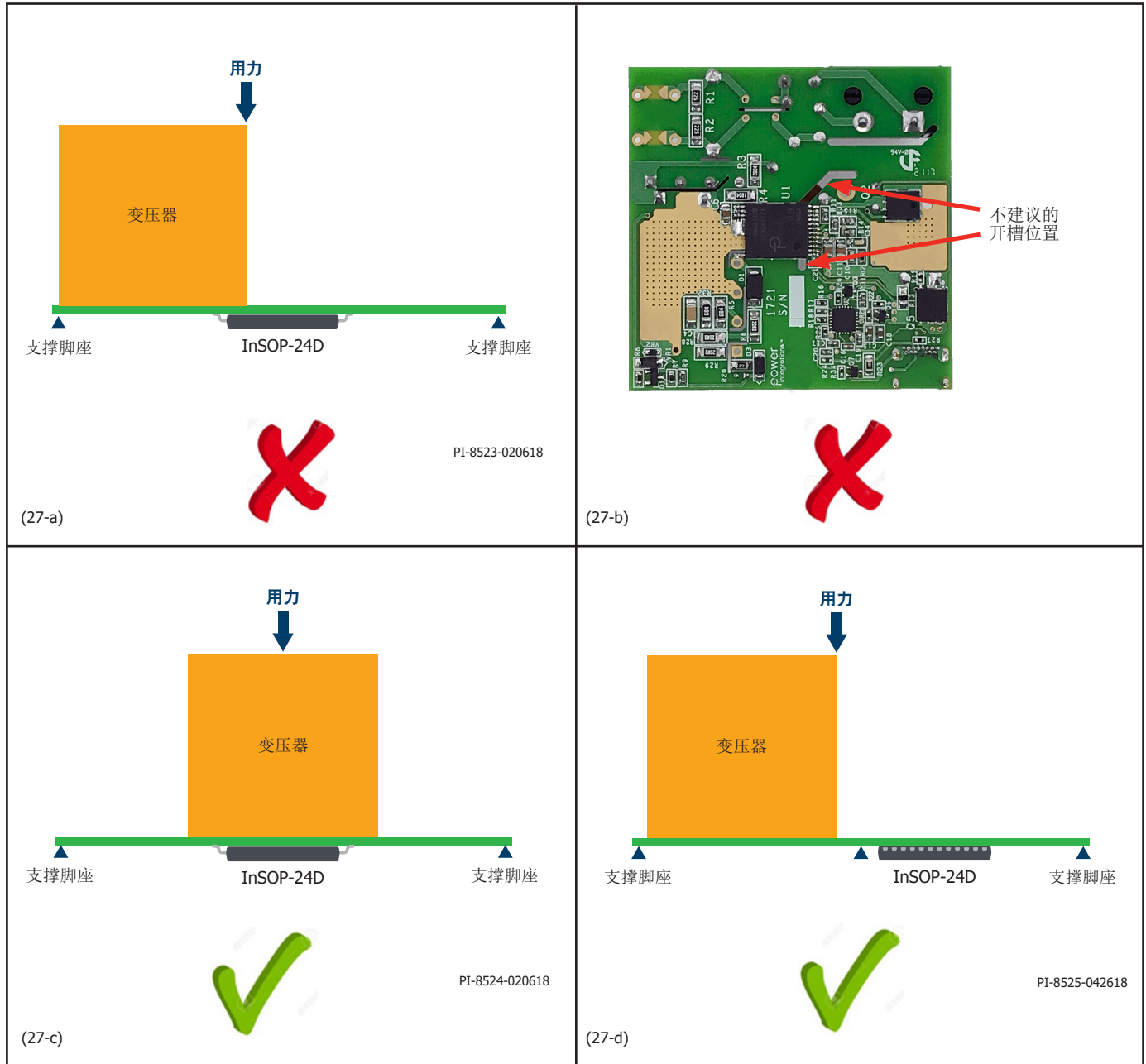


图27. InSOP-24D封装的建议位置（带核选标记）

### 降低空载功耗的建议

InnoSwitch3 IC可以在自供电模式中启动，这会从旁路引脚电容（从内部电流源充电）吸收能量。一旦InnoSwitch3 IC开始开关，需要使用偏置绕组向初级旁路引脚提供供电电流。使用偏置绕组向初级旁路引脚供电后，可实现空载功耗低于15mW的电源。应对电阻 $R_{BP}$ （图13所示）进行调整，以实现最低空载输入功率。

其他可进一步降低空载功耗的因素包括：

1. 低值初级钳位电容 $C_{SN}$ 。
2. 用作偏置供电整流管的肖特基或超快速二极管 $D_{BIAS}$ 。
3. 用作偏置供电滤波电容的低ESR电容 $C_{BIAS}$ 。
4. 低值SR FET RC缓冲器电容 $C_{SR}$ 。
5. 在初级绕组层之间添加绝缘胶带，在初级与次级绕组之间添加多层胶带，以降低绕组间的电容。

### 降低EMI的建议

1. 合理的元件位置以及初级和次级功率电路所形成的小环路面积有助于降低辐射及传导EMI。应注意确保环路面积尽量小。（请参见图19和图20）
2. 初级侧钳位二极管两端外加小电容有助于降低辐射EMI。
3. 与偏置绕组串联的电阻(2 – 47 $\Omega$ )有助于降低辐射EMI。
4. 如图20所示，在初级侧和/或次级侧绕组(<100pf)上将较小值的电阻和陶瓷电容(<22pf)串联可降低传导和/或辐射EMI。不过，如果值较大，空载功耗将增大。
5. 电源输入端通常需要使用共模扼流圈来充分衰减共模噪声。然而，在变压器上使用屏蔽绕组可以达到同样的目的。屏蔽绕组还可以与输入端的共模滤波电感配合使用，以降低传导及辐射EMI。
6. 调整SR MOSFET RC缓冲器元件值有助于降低高频辐射及传导EMI。
7. 可以在输入整流电路使用一个由差模电感和电容组成的 $\pi$ 型滤波器，以降低低频差模EMI。如图20所示，可以添加一个磁珠，以最低的成本进一步改善EMI裕量。
8. 差模电感外加一个电阻可以减小Q因数，从而降低10MHz以上的EMI。不过，5MHz以下低频率EMI可能会稍微增大。
9. 电源输出端并联一个1 $\mu$ F陶瓷电容可能有助于降低辐射EMI。
10. 将慢速二极管（例如，250ns <  $t_{RR}$  < 500ns）用作偏置整流管( $D_{BIAS}$ )通常可降低20MHz以上的传导EMI和30MHz以上的辐射EMI。

### 提高ESD抗扰性的建议

1. 应在初级侧和次级侧电路之间保持足够的电气间隙(>8mm)（特别是在InSOP封装和变压器下方）。
  - a. 建议不要靠近InSOP封装或在其上设置放电间隙。
2. 使用两个放电间隙，一个连接次级端子（输出返回端和正极），另一个连接保险丝后的其中一个AC输入（参见图21）。在此配置中，至少5.4mm的放电间隙通常足以满足适用安全标准的爬电距离和电气间隙要求。
  - a. 对于具有USB连接器的应用，悬空连接到连接器柱脚的PCB焊盘。
3. 在共模扼流圈或电感上使用放电间隙，为ESD或共模浪涌引起的大能量放电提供低阻抗路径。
4. 使用Y电容，使其从输出正极或负极连接到输入大电容的正极或者连接到保险丝后的AC输入。
5. 采用良好的布局做法，并遵循应用指南中的PCB布局建议。
6. 在偏置绕组与次级绕组之间以及次级绕组与初级绕组之间使用多层胶带。
7. 如果输出电压高于5.8V，则在VO引脚和输出端之间串联一个100 $\Omega$ 的电阻。如果输出电压低于5.8V，则电阻的最大阻值应为：

$$R_{max} = \left( \frac{V_{out} - 4.6}{0.012} \right)$$

### 温升管理设计要点

源极引脚都由内部连接至IC的铜制基板，是器件散热的主要途径。因此，源极引脚都应连接到IC下的铺铜区域，不但作为单点接地，还可作为散热片使用。因它连接到电位稳定的源极节点，可以将这个区域的面积扩大以使IC实现良好的散热，并且不会导致EMI问题。输出SR MOSFET也是一样，尽量增大连接封装引脚的PCB面积，以帮助SR FET散热。

应在电路板上提供足够的铺铜区域，以使IC温度安全地处于绝对最大值以下。建议铺铜区域（IC的源极引脚焊接在此）面积应足够大，以使电源在满额定负载和最低额定输入AC供电电压下工作时IC温度保持在90°C以下（额定环境温度下）。也可以根据需要进一步降额。

### 均热片

对于严格的散热要求，应将IC靠近变压器放置，如图27-d所示。这可以减少从变压器到IC的热传导。对于笔记本适配器等高功率应用或者环境温度较高的类似应用，将PCB用作散热片可能不足以让IC在规定的温度范围内工作，因此可能需要使用金属均热片使IC保持低温。除非使用陶瓷绝缘材料作为散热片，否则应格外小心，以提高安全限值。均热片包括均热片材料（铜或铝质，0.4mm聚脂薄膜垫作为加强绝缘）和导热垫（可将热从IC更好地传导至均热片）。

图28所示为如何将均热片安装到InSOP-24D封装，同时在InnoSwitch3 IC初级侧与次级侧引脚之间保持爬电距离的基本思路。

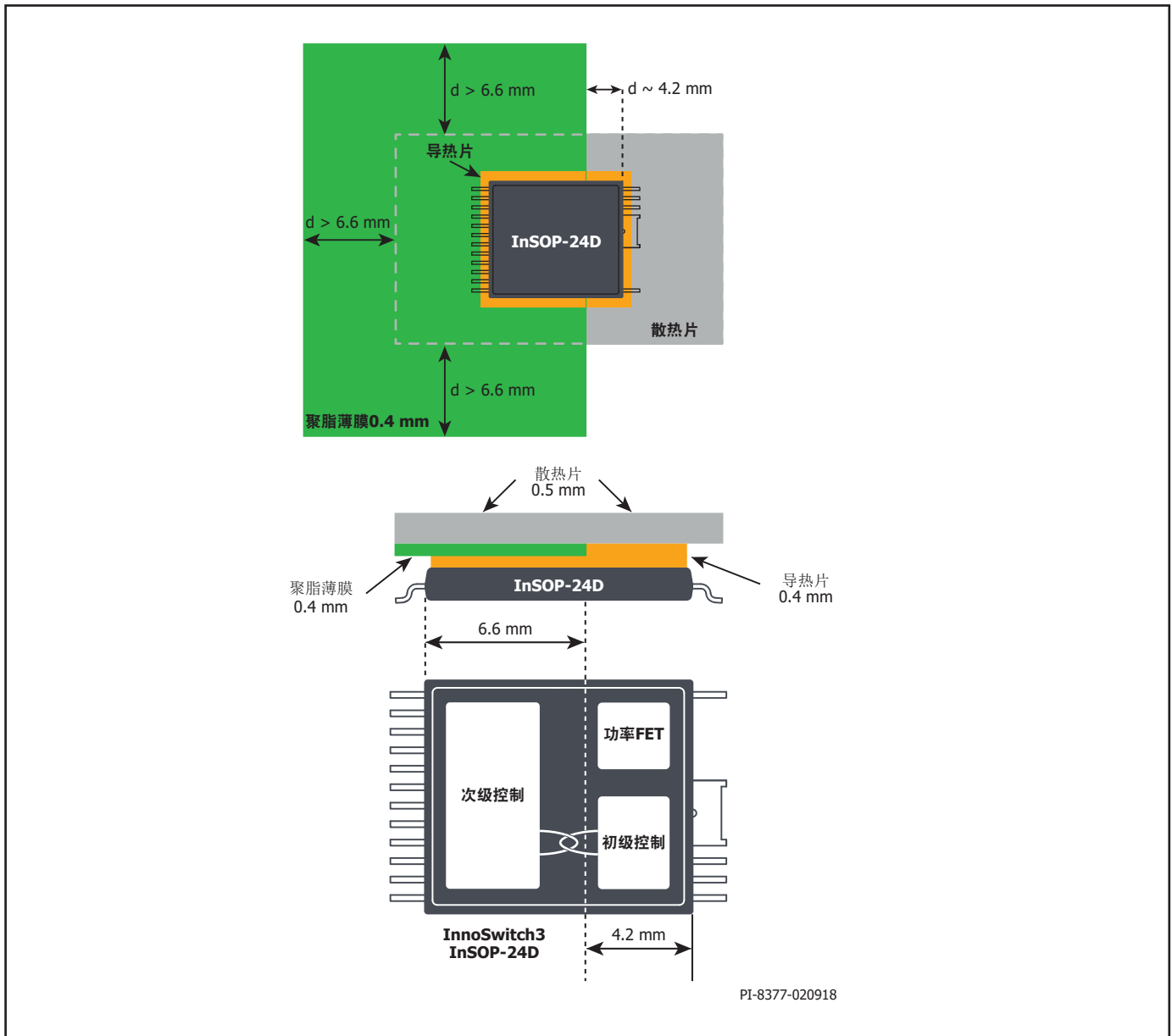


图28. 均热片安装至InSOP-24D封装的简图

## 快速设计校验

对于任何使用InnoSwitch3的电源，都应经过全面测试以确保在最差条件下元件限值没有超过规定范围。作为最低要求，强烈建议进行如下测试：

### 最大漏极电压

在正常工作和启动时，检查确认InnoSwitch3和SR FET的 $V_{DS}$ 在最高输入电压和峰值（过载）输出功率下没有超过击穿电压的90%。

### 最大漏极电流

在最高环境温度、最大输入电压及峰值输出（过载）功率情况下，观察启动时的漏极电流波形，检验是否出现变压器饱和的征兆和过大的前沿

电流尖峰。在稳态工作下重复测试，确认前沿电流尖峰在 $t_{LEB(MIN)}$ 结束时低于 $I_{LIMIT(MIN)}$ 。在任何条件下，初级MOSFET的最大漏极电流应低于规定的绝对最大额定值。

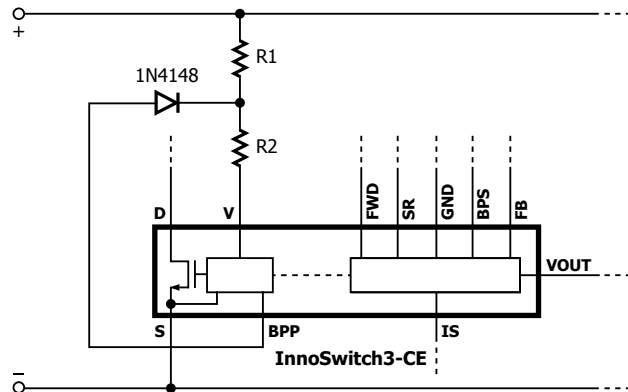
### 温升检查

在规定的最大输出功率、最小输入电压及最高环境温度情况下执行。检验没有超过InnoSwitch3 IC、变压器、输出SR FET和输出电容的规定温度限值。应有足够的温度裕量以保证MOSFET不会因为器件与器件间 $R_{DS(ON)}$ 的差异而引起过热问题出现。建议在低压输入及最大输出功率的情况下，InnoSwitch3源极引脚的最高温度不高于 $110^{\circ}\text{C}$ ，这样就可以适应 $R_{DS(ON)}$ 的变化。

## 简单的参考电路

**仅输入过压功能被使能**

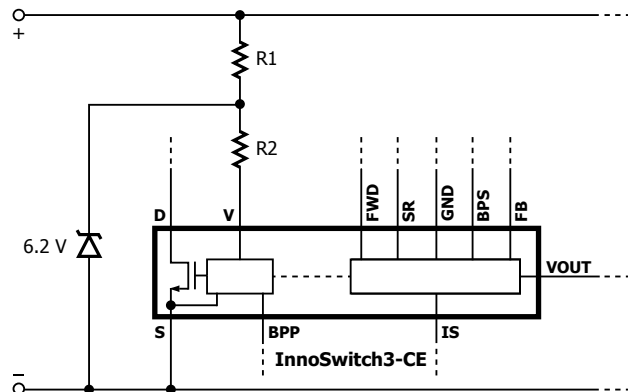
二极管从BPP引脚偏置供电，通过R2提供大于 $I_{UV}$ 阈值的恒流进入电压二极管，从而禁止IC的欠压功能。



PI-8403-081617

**仅输入欠压功能被使能**

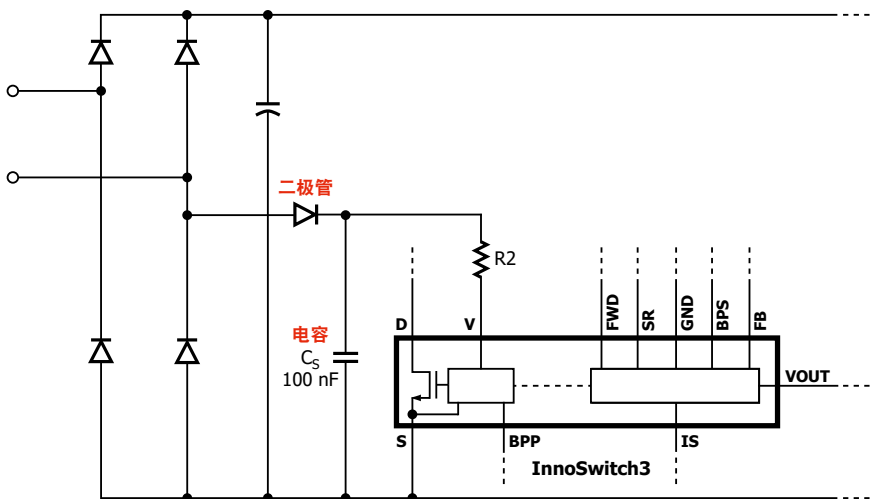
稳压管箝位R1-R2节点的电压，提供大于 $I_{UV}$ 阈值的恒压，从而禁止IC的过压功能。



PI-8404-081617

**具有过压锁存功能的IC快速AC复位**

二极管允许电压引脚监测输入电压，以实现过压/欠压检测。调整电容尺寸，对输入电压纹波进行滤波。 $C_s$ 必须取较小值，使电压引脚能够快速放电至低于 $I_{UV}$ 阈值，从而复位锁存。



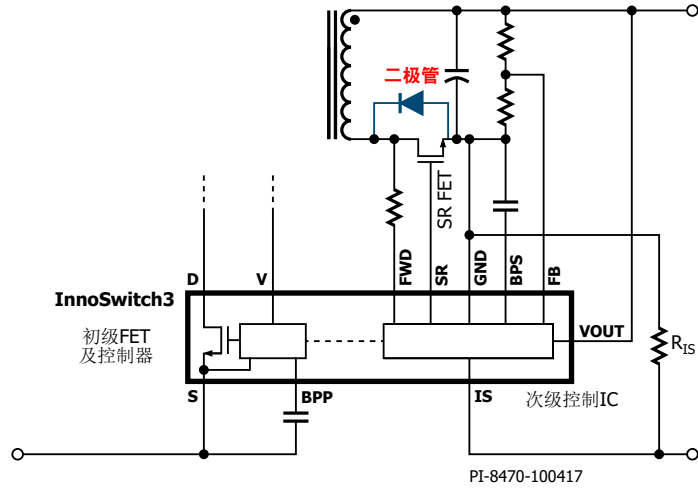
PI-8468-100417

图29. 增设计的参考电路



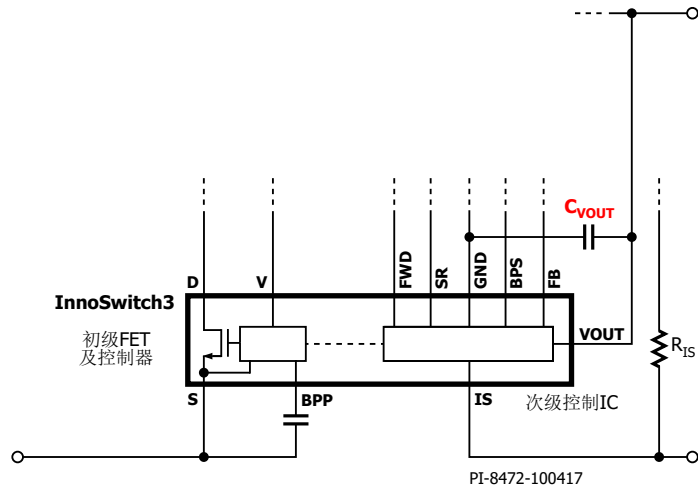
**跨接SR-FET的二极管**

在SR FET上连接一个肖特基二极管可进一步将效率提高0.1%到0.2%，具体取决于输入和所用的SR FET。



**跨接输出电压引脚和接地引脚的电容**

在输出电压引脚和接地引脚之间连接一个小陶瓷电容（最大 $10\mu\text{F}$ ）可以降低输出纹波。



**跨接电流检测 $R_{IS}$ 的二极管**

跨接电流检测电阻( $R_{IS}$ )的二极管（肖特基或超快速）可以为短路时的超大电流及电压浪涌提供旁路，以免损坏 $R_{IS}$ 。这种做法更适用于具有高输出电压和大输出滤波电容的设计。

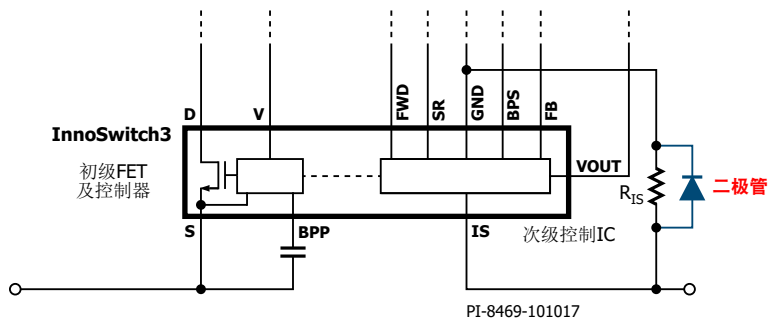
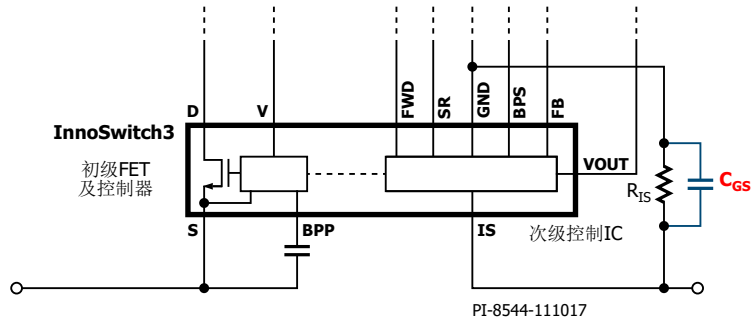


图29（续）， 增强设计的参考电路

**跨接电流检测 $R_{IS}$ 的电容**

$R_{IS}$  稍微远离IC放置，并使电容(10 - 100nF)跨接IS引脚和GND引脚，这样可减小恒流工作时的群脉冲（脉冲串）。

**使能/禁止电路**

使用两个开关Q1 (PNP)和Q2 (NPN)来控制流入V引脚的电流，从而用逻辑电平信号使能/禁止电路。

逻辑电平高 - 禁止:  $V$ 引脚电流 =  $(V_{BPP} / (R1/R2)) > I_{OV+}$

逻辑电平低 - 使能:  $V$ 引脚电流 =  $I_{UV+} < (V_{BPP} / R1) < I_{OV+}$

注: 由于InnoSwitch自身的启动序列, 在接收逻辑高电平信号之前, InnoSwitch需要首先导通。

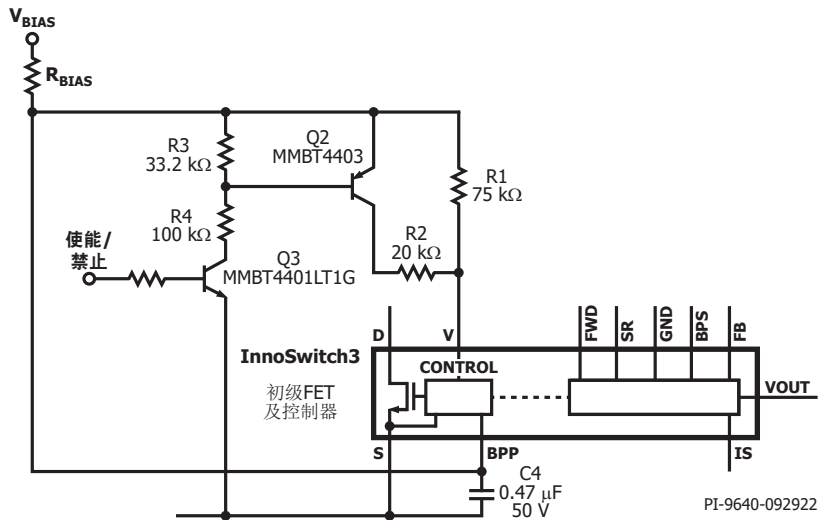


图29 (续). 增强设计的参考电路

## 应用范例

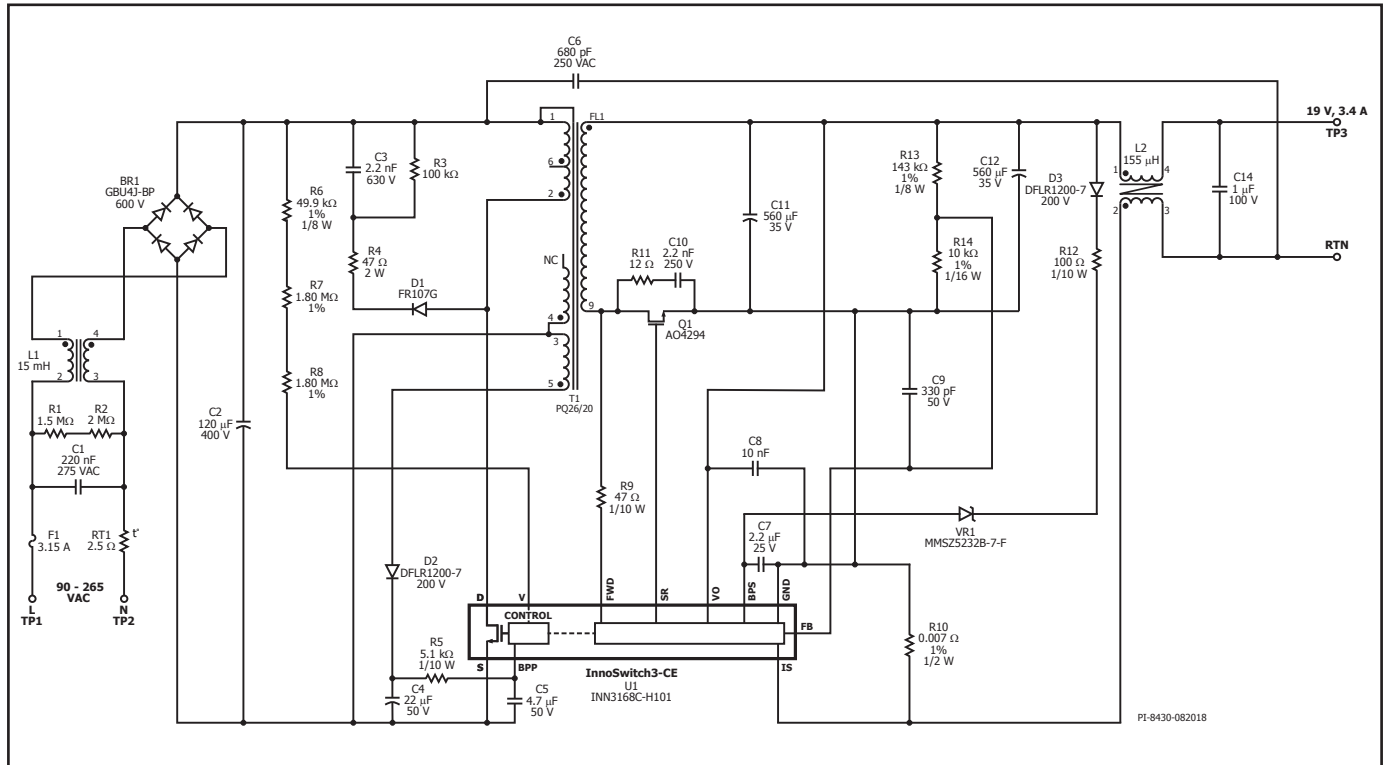


图30. DER-535电路原理图 - 使用INN3168C的65 W、19 V电源

## 高效率的65W通用输入电源(InnoSwitch3-CE)

图30所示为使用INN3168C设计的输入电压90V到265VDC、效率超过90%的65W (19V/3.4A)的电源电路。

泄放电阻R1和R2用于对存储在C1中的能量进行放电，以便满足安全要求。输入电容C2足以在90VAC输入下维持全功率输出，电阻R6、R7和R8提供输入电压检测。在约为100VDC时，流经这些电阻的电流会超过输入欠压阈值，从而使能U1。在约为420VDC时，流经这些电阻的电流会超过输入过压阈值，从而禁止U1。由D1、R3、R4和C3形成的低成本RCD钳位可限制峰值漏极电压（受变压器漏抗与输出走线电感的相互作用而产生）。

INN3168C的次级侧提供输出电压、输出电流检测并提供对同步整流MOSFET的驱动。对19V输出的输出整流由SR FET Q1提供。具有极低ESR值的电容C11和C12提供滤波。由用于Q1的R11和C10组成的RC缓冲器网络可抑制SR FET上的高频振铃，这种振铃产生自变压器绕组的漏感和次级走线。电容C8对U1提供ESD保护。在输出电压引脚和接地引脚之间添加一个小SMD陶瓷电容可增强ESD和浪涌保护。过压保护检测稳压管VR1通过R12提供次级侧输出过压保护。输出共模扼流圈L2可降低高频共模噪声，并对U1提供共模浪涌保护。

要求使用均热片，使InnoSwitch3器件的温度在满载、低输入电压和最高环境温度条件下始终低于110°C。

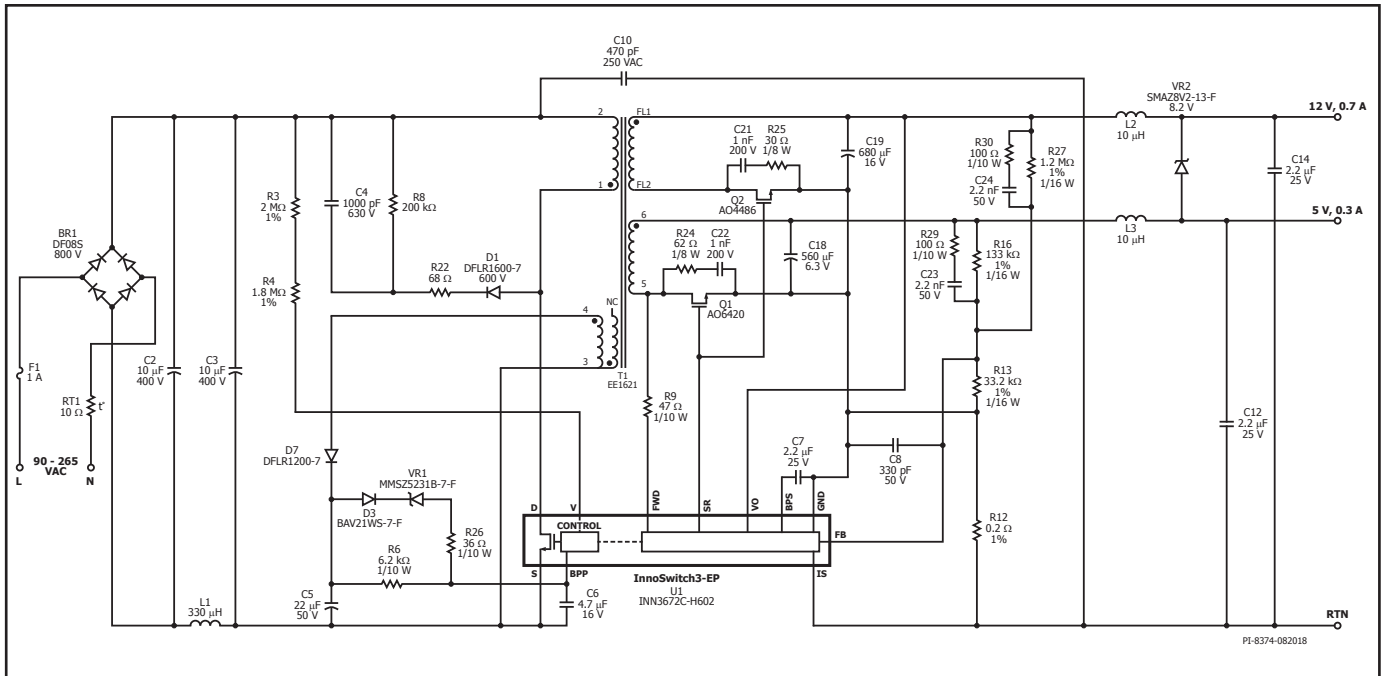


图31. DER-611电路原理图 - 5V/0.3A和12V/0.7A电源，适合HVAC（暖通空调）应用

### 高效率的10W双路输出、通用输入电源(InnoSwitch3-EP)

图31所示为输入电压范围为90VAC到265VAC的10W输出功率的电源电路。在90VAC下满载效率超过84%（使用InnoSwitch3-EP产品系列的INN3672C实现），并且能够在两个输出之间提供高精度交叉调整率（使用两个SR FET）。

使用稳压管VR1可提供初级侧过压保护。当任何输出端出现过压时，偏置绕组输出端升高的电压会使稳压管VR1导通，并触发InnoSwitch3-EP IC初级侧控制器的过压保护锁存。

5V输出的输出整流由SR FET Q1提供，12V输出的输出整流由SR FET Q2提供。Q1和Q2的时序由5V绕组电压（通过R9和IC的正激引脚检测）进行控制。电阻R16、R27和R13形成分压器网络，可检测来自两个输出端的输出电压，从而提供更好的交叉调整率。12V输出与5V输出的反馈电流比值为1:3，这样可为5V输出提供更好的调整率并实现良好的交叉调整率。由电容C23和C24组成的反馈补偿网络可降低输出纹波电压。电容C8提供去耦，可防止出现干扰电源工作的高频率噪声。12V输出出现空载时，只有5V输出满载，此时的稳压管VR2可改善交叉调整率。

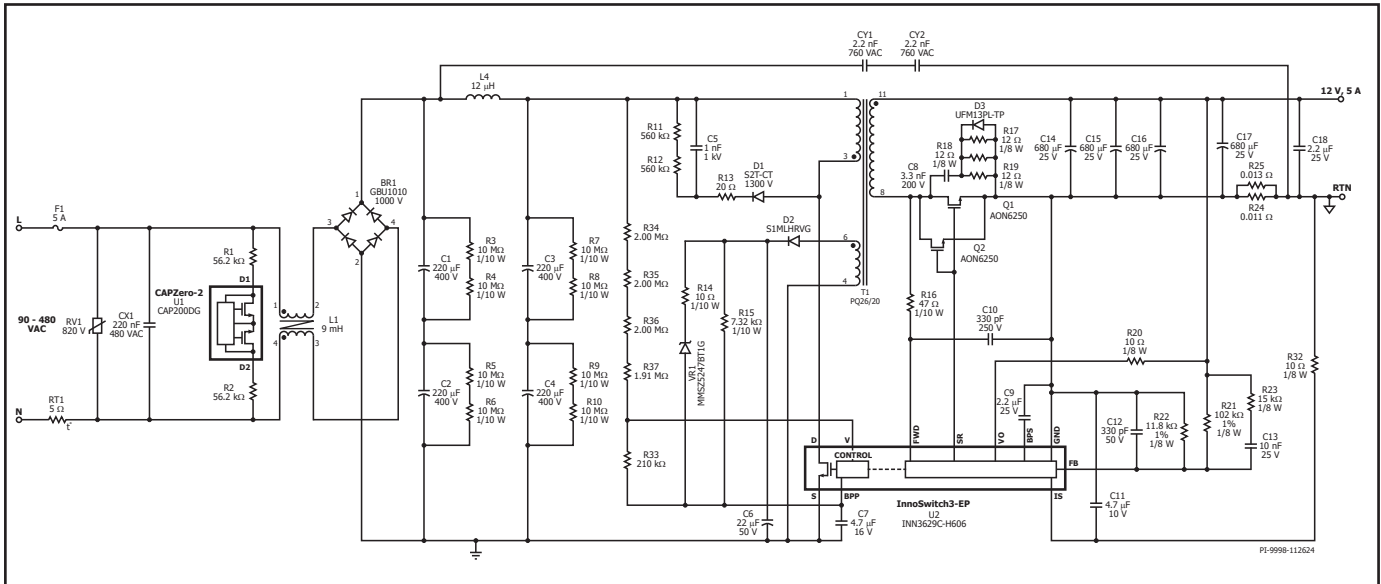


图32. 使用INN3629C的高效率60W高输入电压(480VAC)电源

### 高效率的60W高输入电压(480VAC)电源(InnoSwitch3-EP)

图32所示为使用INN3629C设计的输入电压90VAC到480VAC、效率超过90%的60W (12V/5A)的电源电路。

CAPZero U1与泄放电阻R1和R2用于对存储在CX1中的能量进行放电，以满足低空载输入功率的安全要求。四个输入电容C1至C4用于在宽输入电压范围内提供输出功率。由D1、R11、R12、R13和C5组成的低成本RCD钳位可限制峰值漏极电压（受变压器漏抗与输出走线电感的相互作用而产生）。

INN3629C的次级侧提供输出电压、输出电流检测并提供对同步整流MOSFET的驱动。12V输出的整流由并联的SR FET Q1和Q2提供，而极低ESR电容C14 - C17提供滤波。由用于Q1和Q2的R17-R19、C8和D3组成的RCD缓冲器网络可抑制SR FET上的高频振铃，这种振铃产生自变压器绕组的漏感和次级走线。

电容C18对U1提供ESD保护。在输出电压引脚和接地引脚之间添加一个小SMD陶瓷电容可增强ESD和浪涌保护。输出电流检测电阻R24和R25配合RC滤波器R32与C11共同限制输出过流。

修订版本	注释	日期
A	初始版本。	10/18
B	更新了图21中的说明文字。	06/19
C	更新了图18b中的公式。	01/20
D	新增了PowiGaN信息。	05/20
E	更新了第19页中的公式。	07/22
F	在第34页添加了新的使能/禁止电路。	09/22
G	新增了900V功率MOSFET/900V PowiGaN、1250V PowiGaN和1700V开关的规格。	11/25

。

---

有关最新产品信息，请访问：[www.power.com](http://www.power.com)

有关专利信息、生命支持政策、商标信息以及获取Power Integrations全球销售与工程支持网络及服务列表，请使用以下链接。



<https://www.power.com/company/sales/sales-offices>

---