

애플리케이션 노트 AN-72

InnoSwitch3 제품군

디자인 가이드

소개

InnoSwitch™3 디바이스는 고전압 전력 MOSFET 스위치를 1차측 및 2차측 컨트롤러와 결합한 혁신적인 고속 자기 커플링 통신 기술이자 안전성이 입증된 단일한 절연 디바이스에 들어가는 동기 정류 드라이버입니다. 절연 배리어 전체에 정보를 안전하고 안정적으로 전송하는 Fluxlink™의 통합으로 인해, 기존 전력 변환 회로의 피드백 루프에 사용되는 옵토커플러가 필요하지 않습니다. 이는 부품 수를 줄여주고 옵토 피드백 디바이스에 내재하는 수명 및 안정성 제한을 해결합니다. InnoSwitch3 통합 회로는 가변 주파수, 유사 공진 스위칭 및 동기 정류가 포함된 가변 피크 전류 제어 구성을 제공하여 부하 범위 전체에 걸쳐 매우 높은 변환 효율성을 보장합니다. 이 제품군을 사용하여 평균 파워 서플라이 효율성 요구 사항을 쉽게 충족하고 매우 낮은 무부하 입력 전력 및 뛰어난 대기 성능을 제공하는 CV/CC 충전기를 포함하여 최대 65W 출력의 파워 서플라이를 생성할 수 있습니다. InnoSwitch3 IC에 사용된 파워 인테그레이션스(Power Integrations)의 EcoSmart™ 기술은 15mW의 무부하 전력을 사용하는 설계를 실현하며 이로 인해 이 제품군은 미국 에너지국(DoE) 6, 캘리포니아 에너지 위원회(CEC), 유럽 CoC(Code of Conduct) 같은 에너지 효율 표준을 충족해야 하는 애플리케이션에 사용하기에 적합합니다.

InnoSwitch3의 1차측 플라이백 컨트롤러는 DCM, QR, CCM 스위칭 간에 원활하게 전환할 수 있습니다. 1차측 컨트롤러는 기동 회로, 주파수 지터 오실레이터, 2차측에 자기적으로 커플링된 리시버 회로, 전류 제한 컨트롤러, 가청 노이즈 감소 엔진, 과전압 감지 회로, 무손실 입력 라인 센싱 회로, 과열 보호, 650V 또는 725V 전력 MOSFET으로 구성됩니다.

InnoSwitch3 2차측 컨트롤러는 1차측에 자기적으로 커플링된 송신기 회로, 정전압(CV) 및 정전류(CC) 제어 회로, 동기 정류기 MOSFET 드라이버, QR 모드 회로, 그리고 출력 과전압, 과부하, 전력 제한, 히스테리시스 썬들 과부하 보호를 비롯한 각종 통합 보호 기능으로 구성됩니다.

기동 시 1차측 컨트롤러는 최대 스위칭 주파수인 25kHz 및 최대 프로그래밍 전류 제한의 70%로 제한됩니다. 오토 리스타트 기능은 과부하, 회로 단락 또는 오픈 루프 고장 상태에서 스위칭 MOSFET, 트랜스포머, 출력 SR MOSFET의 전력 손실을 제한합니다.

기본적인 회로 구성

그림 1의 회로는 InnoSwitch3를 사용하여 설계된 플라이백 파워 서플라이의 기본 구성을 보여줍니다. 일부 회로 부품의 경우 출력 전력 레벨마다 값이 달라야 할 수 있지만 일반적인 회로 구성은 비슷하게 유지됩니다. 매우 적은 패시브 부품을 사용하여 라인 과전압 및 저전압 보호, 1차측 또는 2차측 센싱 출력 과전압 보호 및 정전류 제한 프로그래밍 같은 고급 기능이 구현됩니다.

그림1에 나와 있는 파워 서플라이에 사용된 기본구성은 본 애플리케이션 노트 전반의 설명에서 사용되는 부품 식별의 참조 회로 역할을 합니다.

이 애플리케이션 노트 외에, 엔지니어링 프로토타입 보드 및 작동 중인 파워 서플라이의 예시를 제공하는 디바이스 샘플이 포함된 InnoSwitch3 레퍼런스 디자인 키트(RDK)도 있습니다. PI Expert 다운로드, RDK 획득 및 이 문서에 대한 업데이트는 www.power.com에서 확인할 수 있습니다.

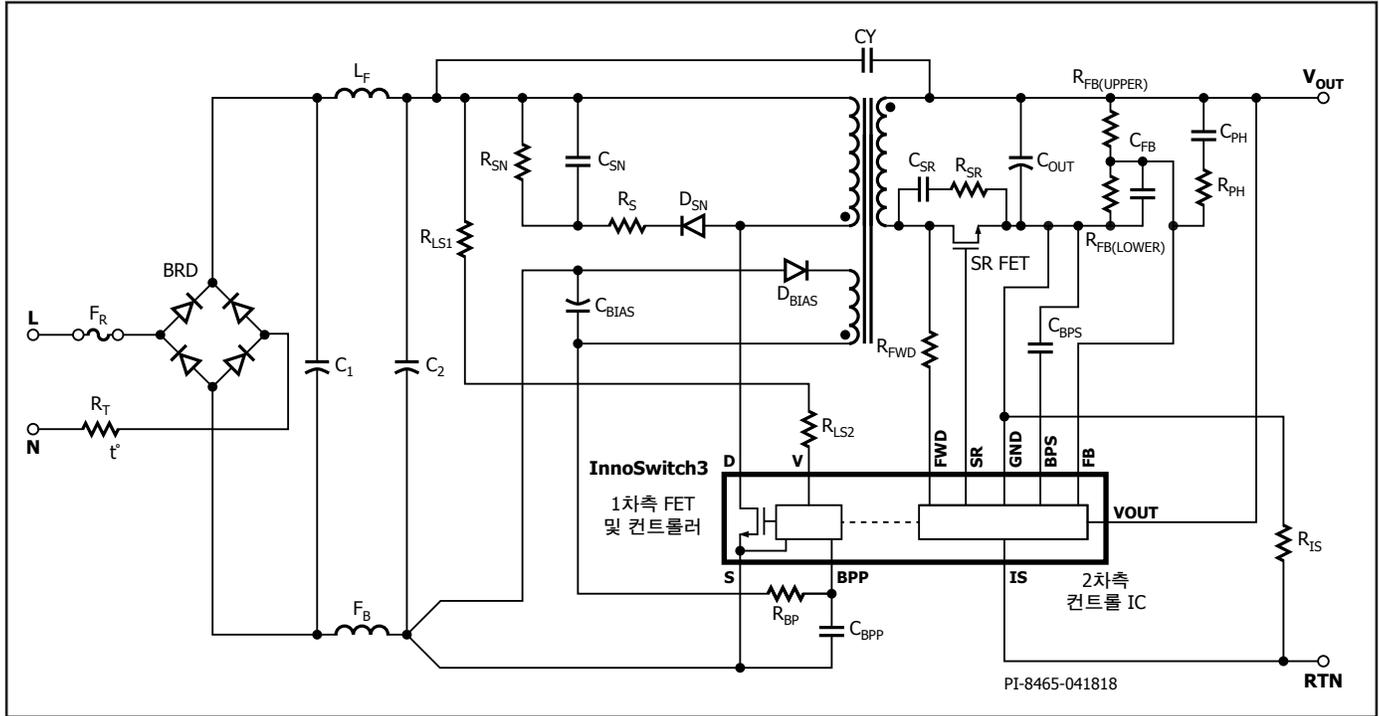


그림 1. 라인 저전압 록아웃, 라인 과전압 섯다운, 일정한 출력 전류 제한, 유사 공진 동기 MOSFET 정류기, 통합된 출력 과전압 보호 기능을 갖춘 InnoSwitch3를 사용하는 일반적인 어댑터 파워 서플라이 회로도

범위

이 애플리케이션 노트는 InnoSwitch3 디바이스 제품군을 사용하여 절연형 AC-DC 플라이백 파워 서플라이 또는 충전기를 설계하는 엔지니어를 위해 제작되었습니다. 이 애플리케이션 노트에서는 엔지니어가 신속하게 주요 부품을 선택하고 적절한 트랜스포머 설계도 완료할 수 있는 지침을 제공합니다. 작업을 간소화하는데 도움이 될 수 있도록 이 애플리케이션 노트에서는 온라인에서 제공되는 PI Expert™ 설계 소프트웨어 제품군의 일부인 PIXI 설계 스프레드 시트를 직접 참조하고 있습니다(<https://piexpertonline.power.com/site/login>).

퀵 스타트

파워 서플라이 설계 및 파워 인테그레이션스(Power Integrations) 설계 소프트웨어에 익숙한 사용자는 나중에 설명하는 단계별 설계 방법을 건너뛰고, 다음 정보를 사용하여 트랜스포머를 빠르게 설계하고 첫 번째 프로토타입의 부품을 선택할 수 있습니다. 이러한 방법의 경우, 아래에 설명된 정보만 PIXI 스프레드시트에 입력하면 됩니다. 기타 파라미터는 일반적인 설계를 기준으로 자동으로 선택됩니다. 스프레드시트 라인 번호는 대괄호로 묶인 [라인 참조]를 참조하여 주십시오.

- AC 입력 전압 범위 및 라인 주파수 입력, VAC_MIN [B3], VAC_MAX [B4], LINEFREQ [B6]
- 입력 커패시턴스 입력, CAP_INPUT [B7]
 - 유니버설(85~265VAC) 또는 단일(100/115VAC) 라인의 경우 3 μ F/W. 홀드업 시간 요구 사항을 충족할 필요가 없는 대다수 충전기 설계에는 더욱 강력한 값인 2 μ F/W를 사용할 수 있습니다.
 - 230VAC 또는 단일(185~265VAC) 라인의 경우 1 μ F/W를 사용합니다. 이 셀이 빈 칸으로 남아 있는 경우 70V(유니버설 입력) 또는 150V(단일 230VAC)의 VMIN에 대한 커패시턴스 값이 계산됩니다. 이는 최적의 입력 필터 커패시턴스 값으로 이어지는 경우가 많습니다.
- 공칭 출력 전압 입력, VOUT [B8]
- 케이블 전압 강하 보정 입력, PERCENT_CDC [B9]
 - 케이블 보정이 없는 경우 "0%"
 - 제공되는 H-코드 트림의 경우 "1%~6%"
- 연속 출력 전류 입력, IOUT [B10]
- 효율 예상치 입력, EFFICIENCY [B12]
 - 유니버설 입력 전압(85~265VAC) 또는 단일 100/115VAC (85~132VAC) 설계의 경우 0.83을 입력하고, 단일 230VAC (185~265VAC) 설계의 경우 0.85를 입력합니다. 최대 부하 및 VACMIN에서 첫 번째 프로토타입 보드의 효율성을 측정 한 후 수치를 조정하십시오.
- 파워 서플라이 케이스 선택, ENCLOSURE [B14]
- 전류 제한 모드 선택, ILIMIT_MODE [B19]
 - 두 가지 전류 제한 구성 사용 가능, STANDARD 또는 INCREASED

- 드롭다운 목록에서 InnoSwitch3 선택 또는 직접 입력 [B20]
 - 출력 전력, 입력 전압 및 애플리케이션에 따라 표 1에서 디바이스 선택
 - CV/CC 플라이백 애플리케이션의 경우 InnoSwitch3-CE
 - 725V MOSFET인 CV/CC 플라이백 애플리케이션의 경우 InnoSwitch3-EP
 - 최대 부하 시 원하는 최대 스위칭 주파수 입력, FSWITCHING_MAX [B34]
 - 원하는 반사 출력 전압 입력, VOR [B35]
 - 드롭다운 메뉴에서 코어 타입(원하는 경우) 입력, CORE [B63]
 - 아무것도 입력하지 않은 경우 권장 코어 크기가 자동으로 선택됨 [B63]
 - 맞춤형 코어의 경우 CORE CODE [B64]를 입력하고 [B65]~[B72] 중에서 코어 파라미터 입력
 - 2차 턴 수 입력 [B88]

경고가 생성될 경우 스프레드시트의 D열에 있는 지침에 따라 설계를 변경하십시오.

- "트랜스포머 구성" 탭의 권장 사항에 따라 트랜스포머 제작
- 주요 부품 선택
- 예상치(예: 효율, V_{MIN})가 사용되는 스프레드시트에 측정된 값을 입력하여 필요에 따라 프로토타입 제작 및 설계 반복. 초기 효율 예상치는 매우 보수적입니다.

출력 전력표					출력 전력표		
제품 ³	230VAC \pm 15%		85-265VAC		제품 ³	230VAC \pm 15%	85-265VAC
	어댑터 ¹	오픈 프레임 ²	어댑터 ¹	오픈 프레임 ²		피크 또는 오픈 프레임 ^{1,2}	피크 또는 오픈 프레임 ^{1,2}
INN3162C	10 W	12 W	10 W	10 W	INN3672C	12 W	10 W
INN3163C	12 W	15 W	12 W	12 W	INN3673C	15 W	12 W
INN3164C	20 W	25 W	15 W	20 W	INN3674C	25 W	20 W
INN3165C	25 W	30 W	22 W	25 W	INN3675C	30 W	25 W
INN3166C	35 W	40 W	27 W	36 W	INN3676C	40 W	36 W
INN3167C	45 W	50 W	40 W	45 W	INN3677C	45 W	40 W
INN3168C	55 W	65 W	50 W	55 W			

참고:
 1. 일반적 밀폐구조(non-ventilated enclosed)인 일반 크기 어댑터에서의최소 연속 파워(주위 온도 40°C에서 측정). 최대 출력 전력은 설계에 따라 다름. (패키지 온도 < 125°C)
 2. 최소 피크 전력 성능.
 3. 패키지: InSOP-24D.

표 1. InnoSwitch3-CE 및 EP의 출력 전력표

단계별 설계 절차

이 설계 절차에서는 InnoSwitch3 플라이백 파워 서플라이 설계에 필요한 주요 계산을 자동으로 수행하는 PI Expert 설계 소프트웨어 (파워 인테그레이션스(Power Integrations)에서 제공)를 사용합니다. 설계자는 PI Expert를 사용하여 통상적으로 반복이 많은 설계 프로세스를 피할 수 있습니다. 이 절차에서는 해당되는 경우 조희 표와 검증 설계 지침이 제공되어 설계 작업을 간소화할 수 있도록 합니다.

설계를 반복하여 경고를 없앱니다. 권장 값 범위를 벗어난 모든 파라미터는 다음의 지침에 따라 수정할 수 있습니다. 모든 경고가 해결되면 출력 트랜스포머 설계 파라미터를 사용하여 프로토타입 트랜스포머를 생성할 수 있습니다.

1단계 – 애플리케이션 변수

입력: VIN_MIN, VIN_MAX, LINEFREQ, CAP_INPUT, VOUT, PERCENT_CDC, IOU, EFFICIENCY, FACTOR_Z, ENCLOSURE

최소 및 최대 입력 전압, V_MIN, V_MAX(VAC)

표 2에서 특정 지역별 요구 사항에 알맞은 입력 전압 범위를 결정합니다.

라인 주파수, LINEFREQ(Hz)

유니버설 또는 단일 100VAC의 경우 50Hz, 단일 115VAC 입력의 경우 60Hz입니다. 단일 230VAC 입력의 경우 50Hz 입니다. 이러한 값은 최소값이 아닌 일반적인 라인 주파수를 나타냅니다. 대부분의 애플리케이션에 대해서 이 값은 전반적으로 적절한 설계 마진을 제공합니다. Worst-case 또는 제품 사양에 따라 해당 수치를 6%까지 줄여서 설계하십시오.(47Hz 또는 56Hz).

총 입력 커패시턴스, CAP_INPUT(μF)

표 3를 참조해 총 입력 커패시턴스를 입력합니다.

2	애플리케이션 변수				설계 타이틀
3	VIN_MIN	85	85	V	최소 AC 입력 전압
4	VIN_MAX	265	265	V	최대 AC 입력 전압
5	VIN_RANGE		UNIVERSAL		AC 입력 전압의 범위
6	LINEFREQ		60	Hz	AC 입력 전압 주파수
7	CAP_INPUT		40.0	μF	입력 커패시터
8	VOUT	5.00	5.00	V	보드의 출력 전압
9	PERCENT_CDC	0%	0%		최대 부하에서 원하는 케이블 전압 강하 보정의 백분율 (출력 전압의)
10	IOU	4.00	4.00	A	출력 전류
11	POUT		20.00	W	출력 전력
12	EFFICIENCY	0.89	0.89		정류된 최소 입력 AC 전압의 밸리에서 컨버터가 스위칭되는 것을 고려한 AC-DC 효율 예상치
13	FACTOR_Z		0.50		Z 계수 예상치
14	ENCLOSURE	ADAPTER	ADAPTER		파워 서플라이 케이스

그림 2. 회색 오버라이드 셀이 있는 InnoSwitch3-CE 설계 스프레드시트의 애플리케이션 변수 섹션

지역	정격 입력 전압(VAC)	최소 입력 전압(VAC)	최대 입력 전압(VAC)	정격 라인 주파수(Hz)
일본	100	85	132	50/60
미국, 캐나다	120	90	132	60
오스트레일리아, 중국, 유럽 연합 국가, 인도, 대한민국, 말레이시아, 러시아	230	185	265	50
인도네시아, 태국, 베트남	220	185	265	50
유럽 기타 국가, 아시아, 아프리카, 아메리카 및 전 세계 기타 국가	115, 120, 127	90	155	50/60
	220, 230	185	265	50/60
	240	185	265	50

방문: https://en.wikipedia.org/wiki/Mains_electricity_by_country

표 2. 전 세계 표준 입력 라인 전압 범위 및 라인 주파수

AC 입력 전압(VAC)	출력 전력(W)당 총 입력 커패시턴스($\mu\text{F}/\text{W}$)	출력 전력(W)당 총 입력 커패시턴스($\mu\text{F}/\text{W}$)
	전파 정류	
	홀드업 시간 요구 사항이 있는 어댑터	홀드업 시간 요구 사항이 없는 오픈 프레임 또는 충전기/어댑터
100/115	3	2
230	1	1
85-265	3	2

표 3. 다양한 입력 전압 범위에서의 권장 총 입력 커패시턴스

커패시턴스는 벌크 커패시터 전반의 최소 및 최대 DC 전압의 계산에 사용되며 최소 DC 입력 전압, VMIN을 70V보다 높게 유지할 수 있도록 선택해야 합니다.

정격 출력 전압, VOUT(V)

최대 부하에서 메인 출력의 정격 출력 전압을 입력합니다. 일반적으로 메인 출력은 피드백이 파생되는 출력입니다.

케이블 보정, PERCENT_CDC(%)

설계에 알맞은 케이블 선택에 따라 적절한 케이블 보정을 선택하십시오. 이 파워 서플라이에 케이블이 제공되지 않은 경우 기본값 0%를 사용하십시오. (InnoSwitch3-EP에는 이 기능이 제공되지 않음)

파워 서플라이 출력 전류, IOUT(A)

이는 파워 서플라이의 최대 연속 부하 전류입니다.

출력 전력, POUT(W)

이는 계산된 값이며 선택된 케이블 보정에 따라 자동으로 조정됩니다.

파워 서플라이 효율, EFFICIENCY(η)

피크 부하 상태에서 라인이 가장 안 좋은 경우(일반적으로 가장 낮은 입력 전압), 입력 출력단에서 측정된 전체 전원공급장치의 예상 효율성을 입력합니다. 아래 표는 참조로 사용할 수 있습니다. 프로토타입이 제작된 후에는 측정된 효율을 입력해야 합니다. 그리고 필요한 경우 트랜스포머 반복을 추가로 수행할 수 있습니다.

파워 서플라이 손실 배분 계수, FACTOR_Z

이 계수는 파워 서플라이의 1차와 2차 간의 손실 배분을 설명합니다. Z 계수는 효율과 함께 사용하여 전력단에서 제공해야 하는 실제 전력을 결정합니다. 예를 들어, 입력단(EMI 필터, 정류 등)에서의 전력 손실은 전력단에서 처리되지 않습니다. 따라서 이러한 손실이 효율성을 낮추긴 하지만 트랜스포머 설계에는 영향을 미치지 않습니다.

$$Z = \frac{\text{Secondary Losses}}{\text{Total Losses}}$$

피크 전력 요구 사항이 없는 설계의 경우, 권장 값은 0.5입니다. 피크 전력 요구 사항이 있는 설계에는 0.65를 입력합니다. 수치가 높을수록 2차측 손실이 더욱 크다는 것을 나타냅니다.

케이스

전력 디바이스 선택은 애플리케이션 환경에 따라서도 달라집니다. 작동 주변 온도가 밀폐형 어댑터보다 더 낮은 오픈 프레임 애플리케이션의 경우, PIXI는 동일한 출력 전력에 대해 더 작은 디바이스를 권장합니다.

효율은 출력 전력의 기능이기도 하며, 저전력 설계는 효율이 약 84%~85%일 가능성이 가장 높은 반면 동기 정류기(SR)를 사용할 경우 효율이 일반적으로 90%에 달합니다.

정격 출력 전압(VOUT)	일반 로우 라인 범위		일반 유니버설 범위		일반 하이 라인 범위	
	85VAC~132VAC		85VAC~265VAC		185VAC~265VAC	
	쇼트키 다이오드 정류기	동기 정류기	쇼트키 다이오드 정류기	동기 정류기	쇼트키 다이오드 정류기	동기 정류기
5	0.84	0.87	0.84	0.88	0.87	0.89
12	0.86	0.90	0.86	0.90	0.88	0.90

표 4. 출력 케이블이 없는 효율 예상치

2단계 – 1차측 컨트롤러 선택

입력: 디바이스 전류 제한 모드, **ILIMIT** 및 일반 디바이스 코드, **DEVICE_GENERIC**

18	1차측 컨트롤러 선택					
19	ILIMIT_MODE	STANDARD		STANDARD	디바이스 전류 제한 모드	
20	DEVICE_GENERIC	자동		INN31X5	일반 디바이스 코드	
21	DEVICE_CODE			INN3165C	실제 디바이스 코드	
22	POUT_MAX			22	W	썬열 성능을 기반으로 한 디바이스의 전력 기능
23	RDSON_100DEG			3.47	Ω	1차측 MOSFET 온타임 드레인 저항 (100°C)
24	ILIMIT_MIN			0.88	A	1차측 MOSFET의 최소 전류 제한
25	ILIMIT_TYP			0.95	A	1차측 MOSFET의 일반 전류 제한
26	ILIMIT_MAX			1.02	A	1차측 MOSFET의 최대 전류 제한
27	VDRAIN_BREAKDOWN			650	V	디바이스 항복 전압
28	VDRAIN_ON_MOSFET			0.87	V	1차측 MOSFET 온타임 드레인 저항
29	VDRAIN_OFF_MOSFET			508.4	V	턴오프 동안 1차측 MOSFET의 피크 드레인 전압

그림 3. 전류 제한 모드 선택이 포함된 InnoSwitch3-CE 설계 스프레드시트의 1차측 컨트롤러 선택

일반 디바이스 코드, DEVICE_GENERIC

기본 옵션은 입력 전압 범위, 최대 출력 전력 및 애플리케이션(예: 어댑터 또는 오픈 프레임)에 따라 자동으로 선택됩니다.

디바이스 크기를 수동 선택할 경우 데이터시트에서 InnoSwitch3 전력표를 참조하고 피크 출력 전력을 기준으로 디바이스를 선택하십시오. 그런 다음 연속 전력을 전력표에 있는 어댑터 열 수치와 비교(파워 서플라이가 완전 밀폐된 유형인 경우)하거나, 오픈프레임 열과 비교(파워 서플라이가 오픈 프레임 설계인 경우)하십시오. 연속 전력이 전력표(표 1)에 나온 값을 초과하는 경우 그 다음으로 큰 디바이스를 선택해야 합니다. 이와 마찬가지로, 연속 전력이 전력표에 나온 최대 어댑터 전력에 가까운 경우 프로토타입의 측정된 썬열 성능을 기준으로 더 큰 디바이스로 전환해야 할 수 있습니다.

디바이스 전류 제한 모드, ILIMIT_MODE

썬열이 까다롭지 않고(예: 오픈 프레임 애플리케이션) 최저 비용이 중요 요구 사항인 설계의 경우, ILIMIT MODE를 사용하면 INCREASED 전류 제한 모드를 선택할 수 있습니다. 이 모드를 선택하면 디바이스의 피크 전류가 다음으로 큰 디바이스 전류 제한과 동일하게 설정되며 더

높은 출력 전력이 허용됩니다. 기본적으로 ILIMIT는 STANDARD로 설정됩니다.

온타임 드레인 전압, VDRAIN_ON_MOSFET(V)

이 파라미터는 RDSON_100DEG 및 1차 RMS 전류를 기준으로 계산됩니다.

드레인 피크 전압, VDRAIN_OFF_MOSFET(V)

이 파라미터는 오프 타임 동안 디바이스에 인식된 드레인 전압으로 가정합니다. 이 계산에서는 내부 MOSFET의 항복 정격 전압에서 10% 최소 마진을 가정하며 이를 초과할 경우 경고가 발생합니다.

$$VDRAIN < (VIN_MAX * 1.414) + VOR + VLK_{PRI} - (BV_{DSS} * 10\%).$$

VLK_{PRI}는 MOSFET이 꺼진 경우 트랜스포머의 누설 인덕턴스로 인한 전압입니다.

다른 전기적 파라미터는 데이터 시트를 기준으로 표시됩니다.

RDSON_100DEG, ILIMIT_MIN, ILIMIT_TYP, ILIMIT_MAX, VDRAIN_BREAKDOWN.

3단계 – 최악의 경우 전기적 파라미터

입력: FSWITCHING_MAX, VOR 및 LPRIMARY_TOL 또는 VMIN

33	최악의 경우 전기적 파라미터				
34	FSWITCHING_MAX	80000	80000	Hz	최대 부하에서 최대 스위칭 주파수 및 정류된 최소 AC 입력 전압의 밸리
35	VOR		65.0	V	1차측 MOSFET가 꺼진 경우 1차측에 반사된 2차측 전압
36	VMIN		85.95	V	최대 전력에서 정류된 최소 AC 입력 전압의 밸리
37	KP		0.66		연속/불연속 작동 모드의 측정
38	MODE_OPERATION		CCM		작동 모드
39	DUTYCYCLE		0.433		1차측 MOSFET 듀티 사이클
40	TIME_ON		7.46	us	1차측 MOSFET 온-타임
41	TIME_OFF		7.09	us	1차측 MOSFET 오프-타임
42	LPRIMARY_MIN		805.6	uH	최소 1차측 인덕턴스
43	LPRIMARY_TYP		830.5	uH	일반 1차측 인덕턴스
44	LPRIMARY_TOL	3.0	3.0	%	1차측 인덕턴스 오차
45	LPRIMARY_MAX		855.4	uH	최대 1차측 인덕턴스
46					
47	1차측 전류				
48	IPEAK_PRIMARY		0.95	A	1차측 MOSFET 피크 전류
49	IPEDESTAL_PRIMARY		0.30	A	1차측 MOSFET 전류 초기값
50	Iavg_PRIMARY		0.25	A	1차측 MOSFET 평균 전류
51	IRIPPLE_PRIMARY		0.76	A	1차측 MOSFET 리플 전류
52	IRMS_PRIMARY		0.41	A	1차측 MOSFET RMS 전류
53					
54	2차측 전류				
55	IPEAK_SECONDARY		12.24	A	2차측 권선 피크 전류
56	IPEDESTAL_SECONDARY		3.79	A	2차측 권선 전류 초기값
57	IRMS_SECONDARY		6.44	A	2차측 권선 RMS 전류

그림 4. 회색 오버라이드 셀이 포함된 InnoSwitch3-CE 설계 스프레드시트의 최악의 경우 전기적 파라미터 섹션

스위칭 주파수, FSWITCHING_MAX(Hz)

이 파라미터는 최소 정류 AC 입력 전압에서 최대 부하의 스위칭 주파수입니다. 정상 동작 시 InnoSwitch3의 최대 스위칭 주파수는 100kHz이고, 일반적인 과부하 감지 주파수는 110kHz입니다. 정상 동작 조건에서 최대 부하의 스위칭 주파수는 과부하 감지 주파수와 가까워서 안 됩니다.

프로그래밍 가능 스위칭 주파수 범위는 25~95kHz이지만, 1차측 인덕턴스 및 피크 전류 공차를 고려하여 평균 주파수가 110kHz 이상을 넘지 않도록 이 범위를 지속해야 합니다. 이를 넘을 경우 과부하로 인해 오토-리스타트가 트리거되기 때문입니다. 주파수를 더 높이 푸시하여 트랜스포머 크기를 줄이는 것이 좋으나, 표 5에서는 내부 고전압 MOSFET의 크기를 기준으로 한 권장 주파수를 제공하며 전반적인 디바이스 손실(예: 전도 및 스위칭 손실)의 최적의 절충안을 보여줍니다.

반사 출력 전압, VOR(V)

이 파라미터는 다이오드/동기 정류기 MOSFET(SR FET) 전도 시간 동안의 2차 권선 전압으로, 트랜스포머의 권선비를 통해 1차측으로 다시 반사됩니다. 표 6에서는 VOR의 권장 값을 제공합니다. VOR을 조정하여 트랜스포머 및 SR FET에 대한 설계 규칙을 위반하지

InnoSwitch3 제품군	최대 스위칭 주파수
INN3xx2C 및 INN3xx3C	85~90kHz
INN3xx4C 및 INN3xx5C	80kHz
INN3xx6C	75 kHz
INN3xx7C	70 kHz
INN3xx8C	65 kHz

표 5. 권장 최대 스위칭 주파수

않으면서 동시에 1차측 MOSFET의 충분히 낮은 드레인-소스 전압을 달성할 수 있습니다. 필요에 따라 VOR을 조정하여 스프레드시트에 경고가 트리거되지 않도록 할 수 있습니다. 설계 최적화를 위해 다음 계수를 고려해야 합니다.

- 높은 VOR은 VMIN에서 전력 공급을 늘릴 수 있습니다. 즉, 입력 커패시터의 값을 최소화하며 제공되는 전력 공급을 최대화합니다.

- 높은 VOR은 출력 다이오드 및 SR FET의 전압 스트레스를 줄여줍니다. 경우에 따라 더 낮은 정격 전압으로 인해 더 높은 효율성이 실현될 수 있습니다.
- VOR을 높이면 누설 인덕턴스를 증가시켜 파워 서플라이의 효율성을 감소시킵니다.
- VOR이 높으면 2차측 피크 전류와 RMS 전류가 증가하여 2차측 동손, 다이오드 및 SR FET 손실이 늘어날 수 있습니다.

이러한 지침에는 예외가 있다는 점을 고려해야 하며, 특히 매우 높은 출력 전류의 경우 최상의 효율성을 얻기 위해 VOR을 줄여야 합니다. 높은 출력 전압(15V 이상)은 높은 VOR을 사용하여 출력 SR FET 전반에 걸쳐 피크 역전압(PIV)을 유지해야 합니다.

VOR 값의 최적의 선택은 특정 애플리케이션에 따라 다르며 위에 언급한 계수 사이의 절충안을 기준으로 합니다.

출력 전압	권장 VOR값	권장 범위
5 V	55 V	45 V~60 V
9 V	85 V	80 V~90 V
12 V~20 V	110 V	100V~120 V

표 6. VOR의 권장 값

작동 모드, K_p

K_p 는 스위칭 모드의 불연속 또는 연속 정도에 대한 측정값입니다. $K_p > 1$ 은 불연속 작동(DCM)을, $K_p < 1$ 은 연속 작동(CCM)을 나타냅니다.

피크 전류에 대한 리플 전류의 비, K_p

1보다 낮은(연속 전도 모드를 나타냄) K_p 는 1차측 피크 전류에 대한 리플 전류의 비율입니다(그림 5).

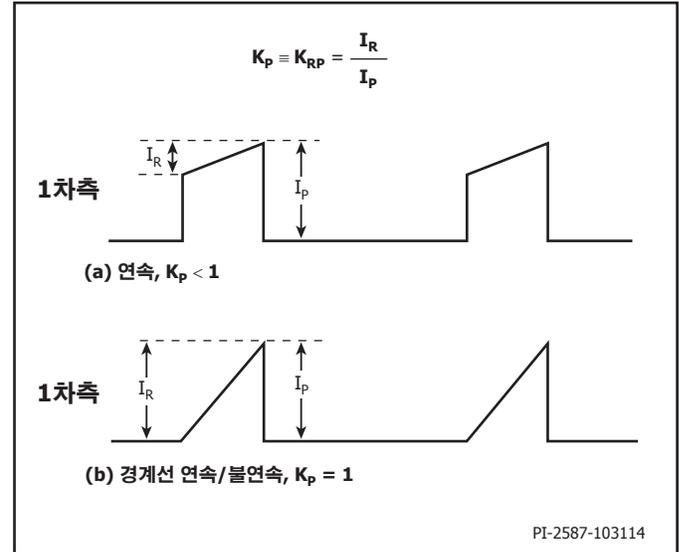


그림 5. 연속 모드 전류 파형, $K_p \leq 1$

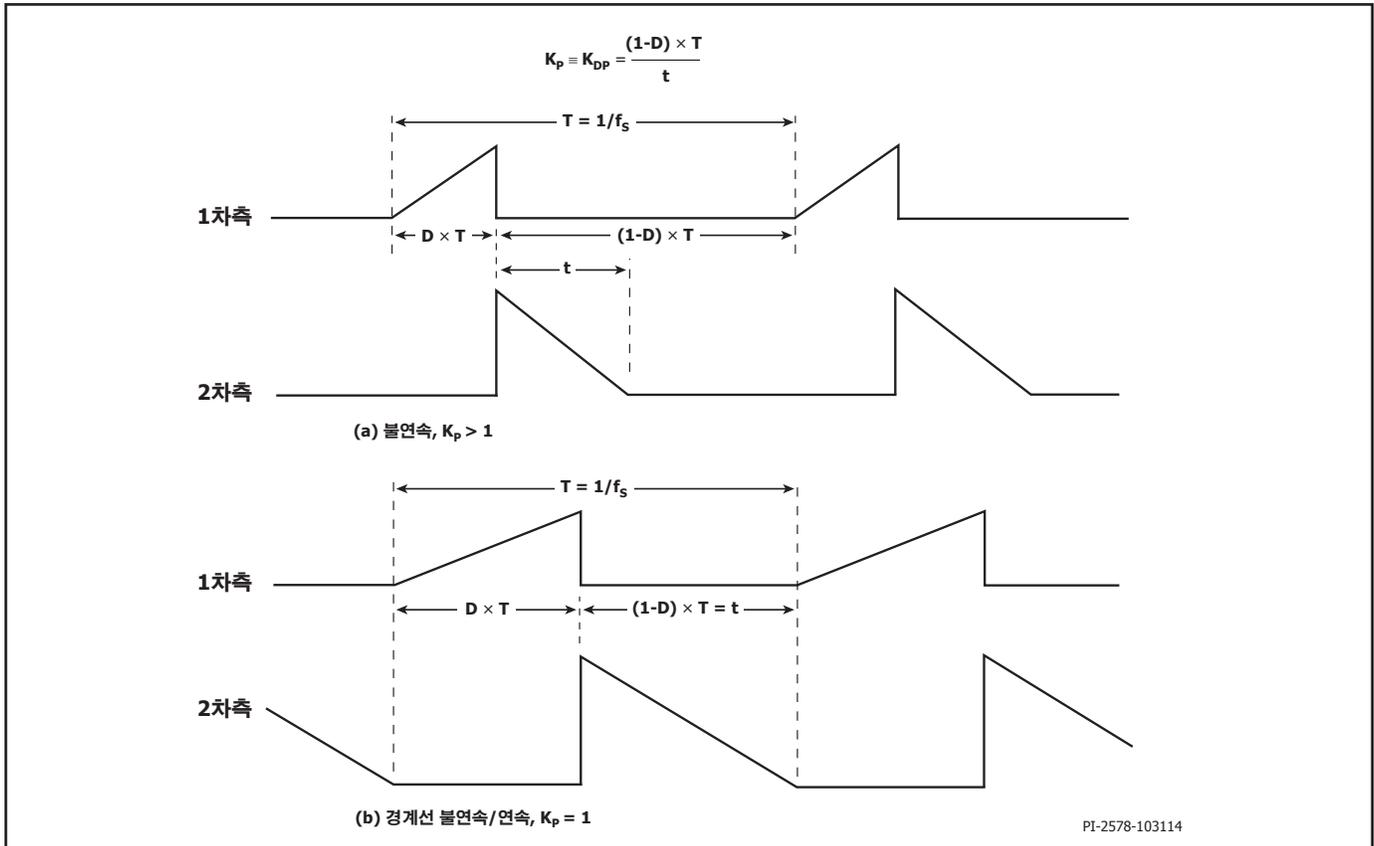


그림 6. 불연속 모드 전류 파형, $K_p \geq 1$

$$K_P \equiv K_{RP} = \frac{I_R}{I_P}$$

1보다 높은(불연속 전도 모드를 나타냄) K_p 는 2차측 SR_FET 전도 시간과 1차측 MOSFET 오프 타임의 비율입니다.

$$K_P \equiv K_{DP} = \frac{(1-D) \times T}{t} \\ = \frac{V_{OR} \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

K_p 값의 범위는 $0.5 < K_p < 6$ 여야 합니다. K_p 값이 이 범위를 벗어난 경우 의견 셀에 지침이 제공됩니다.

경험에 따르면 0.8~1 사이의 K_p 값은 대부분의 충전기 설계에 적합한 DCM 또는 임계 동작 모드(CRM)를 보장하여 더 높은 효율성을 실현합니다.

스프레드시트는 이러한 파라미터의 선택을 기준으로 1차측 피크 전류, 1차측 RMS 전류, 1차측 리플 전류, 1차측 평균 전류, 설계에 대한 최대 듀티 사이클을 계산합니다.

일반적인 1차측 인덕턴스, LPRIMARY_TYP(μH)

이는 일반적인 트랜스포머 1차측 인덕턴스 목표치입니다.

1차측 인덕턴스 공차, LPRIMARY_TOL(%)

이 파라미터는 예상 1차측 인덕턴스 공차입니다. 기본적으로 사용되는 값은 7%이지만 트랜스포머 공급업체에서 특정 정보를 제공할 경우에는 이 값이 회색 오버라이드 셀에 입력될 수 있습니다. 7% 값은 장치간 편차를 줄이는 데 도움이 되며 대부분의 마그네틱 공급업체가 손쉽게 충족할 수 있는 값입니다. 3% 값은 생산 공차를 더욱 개선하는 데 도움이 되지만 공급업체가 더 어려움을 겪을 수 있습니다.

다른 중요한 전기 파라미터는 스프레드시트에 의해 자동으로 계산됩니다. 이를 사용하여 그림 1에 설명된 것처럼 회로에서 입력 퓨즈(F_R) 및 EMI 필터(L_p), 브릿지 정류기(B_{RD}), 출력 정류기(SR_{FET}) 및 커패시터(C_{OUT}) 같은 다른 부품을 적절하게 선택할 수 있습니다.

1차측 전류

IPEAK_PRIMARY – 1차측 피크 전류

IPEDESTAL_PRIMARY – CCM 모드의 1차측 MOSFET 전류 초기값

IAVG_PRIMARY – 1차측 MOSFET 평균 전류

IRIPPLE_PRIMARY – 1차측 MOSFET 리플 전류

IRMS_PRIMARY – 1차측 MOSFET RMS 전류

2차측 전류

IPEAK_SECONDARY – 2차측 피크 전류

IPEDESTAL_SECONDARY – 2차측 권선 전류 초기값

IRMS_SECONDARY – 2차측 권선 RMS 전류

최소 정류 입력 전압, VMIN

최대 전력 시 정류 최소 AC 입력 전압의 밸리는 입력 커패시턴스 (CAP_INPUT)를 기준으로 계산됩니다.

4단계 – 트랜스포머 구성 파라미터

입력: CORE, AE, LE, AL, VE, BOBBIN, AW, BW, MARGIN

최대 출력 전력을 기준으로 Core 및 Bobbin을 선택합니다.

61	트랜스포머 구성 파라미터					
62	코어 선택					
63	CORE	RM6	정보	RM6		트랜스포머 권선이 맞지 않을 수 있음: 더 큰 코어 또는 보빈을 선택하고 트랜스포머 파라미터 탭을 참조하여 알맞은 계산 확인
64	CORE CODE			PC95RM06Z		코어 코드
65	AE			37.00	mm ²	코어 교차 단면적
66	LE			29.20	mm	코어 마그네틱 경로 길이
67	AL			2150	nH/turns ²	갭이 없는 코어 유효 인덕턴스
68	VE			1090.0	mm ³	코어 부피
69	BOBBIN			B-RM06-V		보빈
70	AW			15.52	mm ²	보빈의 권폭
71	BW			6.20	mm	보빈 폭
72	MARGIN			0.0	mm	안전 마진 폭(1차측 대 2차측 연면거리의 절반)
73						
74	PRIMARY WINDING					
75	NPRIMARY			77		1차측 턴 수
76	BPEAK			3125	Gauss	피크 자속 밀도
77	BMAX			2844	Gauss	최대 자속 밀도
78	BAC			933	Gauss	AC 자속 밀도
79	ALG			140	nH/turns ²	일반적인 갭 코어 유효 인덕턴스
80	LG			0.310	mm	코어 갭 길이
81	LAYERS_PRIMARY	4		4		1차측 레이어 수
82	AWG_PRIMARY			30	AWG	1차측 권선 전선 AWG
83	OD_PRIMARY_INSULATED			0.303	mm	절연이 포함된 1차측 권선 전선 외경
84	OD_PRIMARY_BARE			0.255	mm	절연이 포함되지 않은 1차측 권선 전선 외경
85	CMA_PRIMARY			248	Cmil/A	1차측 권선 와이어 CMA
86						
87	SECONDARY WINDING					
88	NSECONDARY	6		6		2차측 턴 수
89	AWG_SECONDARY			19	AWG	2차측 권선 전선 AWG
90	OD_SECONDARY_INSULATED			1.217	mm	절연이 포함된 2차측 권선 전선 외경
91	OD_SECONDARY_BARE			0.912	mm	절연이 포함되지 않은 2차측 권선 전선 외경
92	CMA_SECONDARY			216	Cmil/A	2차측 권선 와이어 CMA
93						
94	BIAS WINDING					
95	NBIAS			15		바이어스 턴 수

그림 7. InnoSwitch3 PIXL 스프레드시트의 트랜스포머 코어 및 구성 변수 섹션

코어 타입, CORE

기본적으로 코어 타입 셀이 빈 칸으로 남아 있는 경우, 스프레드시트에서는 지정된 연속(평균) 출력 전력에 적합한 일반적으로 제공되는 가장 작은 코어가 선택됩니다. 사용자 기본 설정 코어가

제공되지 않는 경우 드롭다운 목록에서 서로 다른 코어 타입과 크기를 선택할 수 있으며, 회색 오버라이드 셀(AE, LE, AL, VE, AW 및 BW)을 사용하여 제조업체의 데이터 시트에서 코어 및 보빈 파라미터를 입력할 수 있습니다.

75kHz에서 출력 전력	코어 및 보빈 표								
	코어	코드 가져오기	코어				보빈		
			AE (mm ²)	LE (mm)	AL (nH/T ²)	VE (mm ³)	코드 가져오기	AW (mm ²)	BW (mm)
0W~10W	EE10	PC47EE10-Z	12.1	26.1	850	300	B-EE10-H	12.21	6.60
0W~10W	EE13	PC47EE13-Z	17.1	30.2	1130	517	B-EE13-H	18.43	7.60
0W~10W	EE16	PC47EE16-Z	19.2	35.0	1140	795	B-EE16-H	14.76	8.50
0W~10W	EE19	PC47EE19-Z	23.0	39.4	1250	954	B-EE19-H	29.04	8.80
10W~20W	EE22	PC47EE22-Z	41.0	39.4	1610	1620	B-EE22-H	19.44	8.45
10W~20W	EE25	PC47EE25-Z	41.0	47.0	2140	1962	B-EE25-H	62.40	11.60
20W~50W	EE30	PC47EE30-Z	111.0	58.0	4690	6290	B-EE30-H		13.20
0W~10W	RM5	PC95RM05Z	24.8	23.2	2000	574	B-RM05-V		4.90
10W~20W	RM6	PC95RM06Z	37.0	29.2	2150	1090	B-RM06-V		6.20
20W~30W	RM8	PC95RM08Z	64.0	38.0	5290	2430	B-RM08-V	30.00	8.80
30W~50W	RM10	PC95RM10Z	96.6	44.6	4050	4310	B-RM10-V		10.00

표 7. 일반적으로 사용 가능한 코어 및 이러한 코어를 일반적인 설계에 사용할 수 있는 파워 레벨

안전 마진, MARGIN(mm)

1차와 2차 사이에 안전 절연거리가 필요하지만 3중 절연 와이어를 사용하지 않는 설계의 경우, 각 보빈 측면에 사용할 안전 마진 폭을 여기에 입력해야 합니다. 일반적으로 유니버설(85~265VAC) 입력 설계의 경우 6.2mm의 총 마진이 필요하며 3.1mm의 값을 스프레드시트에 입력해야 합니다. 수직타입 보빈의 경우 마진은 대칭적이지 않습니다. 하지만 6.2mm의 총 마진이 필요한 경우, 물리적 마진이 보빈의 한쪽 면에만 존재해도 3.1mm는 여전히 입력됩니다. 3중 절연 와이어를 사용하는 설계의 경우, 필요한 안전 규격 연면거리를 충족시키기 위해 작은 마진이 필요할 수 있습니다. 일반적으로 각 코어 크기에 대해 여러 보빈이 존재하며 각각 구조적 공간 거리가 서로 다릅니다. 보빈의 데이터 시트를 참조하거나 문의하여 설계에 필요한 특정 마진을 확인하시기 바랍니다.

마진은 권선 가능한 영역을 줄이므로 마진 구조는 크기가 작은 코어에 적합하지 않을 수 있습니다. 1차측 레이어가 3개 이상 필요한 마진을 입력한 경우, 더 큰 코어를 선택하거나 3중 절연 전선을 사용하는 제로 마진으로 설계를 전환하는 것이 권장됩니다.

1차측 턴 수, NPRIMARY

이는 VOR 및 2차측 턴 수를 기준으로 계산된 트랜스포머의 메인 권선의 턴 수입니다.

피크 자속 밀도, BPEAK(가우스)

최대 전류 제한 및 132kHz 작동 시 피크 자속 밀도를 제한하려면 가우스 최대 값은 3800이 권장됩니다. 이러한 출력 단락 상태에서는 출력 전압이 낮으며 MOSFET이 오프 상태일 때 트랜스포머의 리셋이 거의 발생하지 않습니다. 따라서 트랜스포머 자속 밀도가 정상 동작 레벨 이상에서 "계단식"으로 상승하는 것을 허용합니다. 선택한 디바이스의 최대 전류 제한에서의 3800 가우스 값은 InnoSwitch3에 내장된 보호 기능과 함께 충분한 마진을 제공하여 출력 단락 상태에서 코어 포화를 방지할 수 있습니다.

최대 자속 밀도, BMAX(가우스)

특히 긴 코어가 사용된 경우, 경부하 상태로 인한 낮은 주파수 작동은 트랜스포머 내에서 가청 주파수 성분을 생성할 수 있습니다. 가청 노이즈 생성을 제한하려면 트랜스포머 코어의 최대 자속 밀도가 3000 가우스(300mT)보다 낮도록 설계해야 합니다. 이 지침을 따르고 표준 일반 함침 트랜스포머 생산 기술을 사용하면 가청 노이즈를 거의 없앨 수 있습니다. 설계를 승인하기 전에 먼저 양산 트랜스포머 샘플을 사용하여 가청 노이즈 성능을 주의 깊게 평가해야 합니다.

AC 자속 밀도, BAC(가우스)

코어 손실 계산에 BAC 값을 사용할 수 있습니다.

갭 코어 유효 인덕턴스, ALG: (nH/N²)

코어 갭 [LG]을 지정하는 데 사용됩니다.

1차측 레이어, LAYERS_PRIMARY

기본적으로 오버라이드 셀이 비어 있는 경우 값은 3으로 가정합니다. 1차측 레이어의 범위는 $1 \leq L \leq 3$ 이어야 하며, 일반적으로 강제 공기 냉각이 없는 설계의 경우 200~500 원형 mils/ampere의 전류 용량 지침을 충족해야 합니다. 1차측 권선 전선 게이지 AWG_PRIMARY는 셀 [E82]에서 계산됩니다. 3개 이상의 레이어가 가능하지만 증가된 누설 인덕턴스와 권선의 실제 가능 여부에 대한 문제를 고려해야 합니다. 누설 인덕턴스 클램프 전력 소모가 너무 높은 설계의 경우 1차측 분할 구조로 하는 것이 용이합니다. 이러한 방식에서 1차측 권선의 절반이 2차측(및 바이어스) 권선의 양쪽에 샌드위치 배열 방식으로 배치됩니다.

1차측 권선 전선 게이지, AWG_PRIMARY(AWG)

기본적으로 오버라이드 셀이 비어 있는 경우 이중 절연 전선인 것으로 가정하며 표준 전선 직경이 선택됩니다. 회색 오버라이드 셀을 사용하여 사용자가 전선 게이지를 직접 입력하거나, 표준 이중 절연 타입과 다른 전선이 사용된 경우에도 직접 입력할 수 있습니다.

2차측 턴 수, NSECONDARY

기본적으로 회색 오버라이드 셀이 빈 칸으로 남아 있는 경우 2차측 최소 턴 수가 계산됩니다. 예를 들어 피크 작동 자속 밀도 B_{PEAK} 는 권장 최대값인 3800 가우스(380mT) 이하로 유지됩니다. 일반적으로 더 낮은 작동 자속 밀도가 필요한 경우를 제외하고는 오버라이드 셀 수를 입력하지 않아도 됩니다.

바이어스 턴 수, NBIAS

VBIAS 설정 전압 또는 2차측 턴 수를 기준으로 결정됩니다.

스프레드시트에서 자동으로 계산된 다른 트랜스포머 파라미터에는 다음이 포함됩니다.

OD_PRIMARY_INSULATED(mm), 절연이 포함된 1차측 권선 외경

OD_PRIMARY_BARE(mm), 절연이 포함되지 않은 외경

CMA_PRIMARY(Cmil/A), 권선 CMA

OD_SECONDARY_INSULATED(mm), 절연이 포함된 2차측 권선 전선 외경

OD_SECONDARY_BARE(mm), 절연이 포함되지 않은 외경

CMA_SECONDARY (Cmil/A), 권선 CMA

5단계 - 1차측 부품 선택

입력: BROWN-IN VOLTAGE, VBIAS, VF_BIAS

실제 브라운아웃

브라운아웃 중에는 브라운아웃 기준점 전류가 IUV- 기준점 이하로 떨어질 경우 파워 서플라이가 스위칭을 억제합니다.

라인 과전압, OVERVOLTAGE_LINE

이는 과전압 기준점(I_{OV+})을 넘었을 때 파워 서플라이가 즉시 스위칭을 중단하는 입력 AC 전압입니다. 라인 과전압 히스테리시스($I_{OV(H)}$) 레벨에 도달하면 스위칭이 다시 활성화됩니다. 라인 OV 전압은 대략 $I_{OV+} \times (RLS1 + RLS2)/1.414$ 와 동일합니다.

정류 바이어스 전압, VBIAS

기본값은 12V인 것으로 가정합니다. 전압은 다른 값으로 설정할 수 있습니다(예: 바이어스 권선 출력이 비절연 1차측 보조 출력으로도 사용된 경우의 애플리케이션). 전압이 높으면 일반적으로 무부하 입력 전력이 높아집니다. 경부하에서 PRIMARY BYPASS 핀에 전류를 공급하기에 전압이 충분하지 않아 무부하 입력 전력이 증가하므로 10V 이하의 값은 권장하지 않습니다. 바이어스 권선 정류 필터 커패시터, CBIAS로는 22µF 50V 낮은 ESR 전해 커패시터를 권장합니다. 낮은 ESR 전해 커패시터는 무부하 입력 전력을 향상시킵니다.

BPP 핀 커패시터, CBPP

커패시턴스 값은 필요한 ILIMIT_MODE에 의해 결정됩니다. 표준은 0.47µF이거나, 증가된 전류 제한은 4.7µF입니다. 전해 커패시터를

99	1차측 부품 선택				
100	라인 저전압				
101	BROWN-IN REQUIRED	74.0	74.0	V	필수 AC RMS 라인 전압 브라운인 기준점
102	RLS		3.74	MΩ	1.87MΩ 저항 두 개를 필수 UV/OV 기준점에 대한 V-핀에 연결
103	BROWN-IN ACTUAL		75.0	V	실제 AC RMS 브라운인 기준점
104	BROWN-OUT ACTUAL		67.8	V	실제 AC RMS 브라운아웃 기준점
105					
106	라인 과전압				
107	OVERVOLTAGE_LINE		312.5	V	실제 AC RMS 라인 과전압 기준점
108					
109	바이어스 다이오드				
110	VBIAS		12.0	V	정류된 바이어스 전압
111	VF_BIAS		0.70	V	바이어스 권선 다이오드 순방향 전압 강하
112	VREVERSE_BIASDIODE		84.73	V	바이어스 다이오드 역전압(기생 전압 링은 고려하지 않음)
113	CBIAS		22	µF	바이어스 권선 정류 커패시터
114	CBPP		0.47	µF	BPP 핀 커패시터

그림 8. InnoSwitch3 PIXL 스프레드시트의 1차측 부품 선택.

필요한 라인 저전압 브라운인, BROWN-IN REQUIRED

이는 파워 서플라이가 커지는(브라운인 기준점(IUV+))을 넘는 경우 입력 AC 전압입니다. 일반적인 값은 최소 AC 입력 전압(VIN_MIN) 이하입니다. 브라운인 전압은 셀 [C101]에서 필요한 특정 전압으로 변경할 수 있습니다.

라인 저전압/과전압 센싱 저항, RLS

PIXL은 브라운인 전압을 기준으로 저항 값을 계산합니다. 그림 13의 RLS1 + RLS2에 나와 있는 것처럼, 이는 일반적으로 브릿지 정류기 뒤에 연결됩니다. RLS1 + RLS2의 일반적인 합계 값은 3.8MΩ입니다. RLS는 대략 $V_{BROWN-IN} \times 1.414 / I_{UV+}$ 와 같습니다.

사용할 수도 있지만, 표면 실장 적층형 세라믹 커패시터가 IC에 가까이 커패시터를 배치할 수 있으므로 일반적으로 양면 보드에는 표면 실장 적층형 세라믹 커패시터가 선호됩니다. 최소 25V 정격의 세라믹 X7R(또는 그 이상) 타입 커패시터가 권장됩니다.

바이어스 다이오드 순방향 강하, VF_BIAS

기본값 0.7V가 사용됩니다. 단, 이는 바이어스 권선을 정류하는 데 사용된 다이오드 타입과 일치하도록 변경할 수 있습니다.

6단계 – 2차측 부품

입력: RFB_UPPER

118	2차측 부품					
119	RFB_UPPER			100.00	kΩ	상단 피드백 저항(첫 번째 출력 전압에 연결됨)
120	RFB_LOWER			34.00	kΩ	낮은 피드백 저항
121	CFB_LOWER			330	pF	낮은 피드백 저항 디커플링 커패시터

그림 9. InnoSwitch3 PIXL 스프레드시트의 2차측 부품 섹션

125	다중 출력 파라미터					
126	출력 1					
127	VOUT1			5.00	V	출력 1 전압
128	IOUT1			4.00	A	출력 1 전류
129	POUT1			20.00	W	출력 1 전력
130	IRMS_SECONDARY1			5.95	A	출력 1에 대한 2차측 전류의 제공 평균 제공근
131	IRIPPLE_CAP_OUTPUT1			4.41	A	출력 1의 2차측 파형에서 전류 리플
132	AWG_SECONDARY1			19	AWG	출력 1의 와이어 크기
133	OD_SECONDARY1_INSULATED			1.217	mm	출력 1에 절연이 포함된 2차측 권선 와이어 외경
134	OD_SECONDARY1_BARE			0.912	mm	출력 1에 절연이 포함되지 않은 2차측 권선 와이어 외경
135	CM_SECONDARY1			1191	Cmils	출력 1의 베어 컨덕터 유효 면적(Circular mils 단위)
136	NSECONDARY1			6		출력 1에 대한 턴 수
137	VREVERSE_RECTIFIER1			34.09	V	출력 1에 대한 SRFET 역전압(기생 전압 링은 고려하지 않음)
138	SRFET1	자동		AON6266		출력 1에 대한 SRFET 선택
139	VF_SRFET1			0.076	V	출력 1에 대한 SRFET 온타입 드레인 전압
140	VBREAKDOWN_SRFET1			60	V	출력 1에 대한 SRFET 항복 전압
141	RDSON_SRFET1			19.0	mΩ	출력 1의 25degC 및 VGS=4.4V에서 SRFET 온타입 드레인 저항

그림 10. InnoSwitch3 PIXL 스프레드시트의 2차측 부품 섹션

상단 피드백 저항, RFB_UPPER

RFB_UPPER 저항 값은 VOUT 및 IC의 정격 내부 참조 전압(1.265V)을 기준으로 계산됩니다.

상단 피드백 저항, RFB_LOWER

RFB_LOWER 저항은 VOUT 및 1.265V 내부 참조 전압을 기준으로 계산됩니다. 이 값은 RFB_UPPER 저항에 지정된 값이 사용될 경우 변경됩니다.

낮은 피드백 저항 디커플링 커패시터, CFB_LOWER

FEEDBACK의 핀과 IC의 GROUND 핀에 가까이 배치할 수 있으므로 330pF 표면 장착 세라믹 X7R 타입 커패시터(또는 그 이상)가 권장됩니다.

7단계 – 다중 출력 파라미터

사용자는 이 섹션을 활용하여 2차측 출력(바이어스 서플라이 제외)을 최대 3개까지 설계하고, 동기 정류에 적합한 MOSFET 크기를 선택할 수 있습니다. 다중 출력의 총 전력은 POUT 셀에 설명된 전력을 넘어야 한다는 경고가 스프레드시트에 표시됩니다.

단일 출력 설계의 경우 VOUT1, IOUT1 및 POUT1은 섹션 1에 입력된 메인 출력 파라미터가 됩니다.

각 출력은 드롭다운 메뉴에서 동기 정류기 MOSFET(SRFET)을 선택할 수 있도록 합니다(표 10 참조). 선택한 SR FET를 기준으로 ON 상태 순방향 전압 VF_SRFET(V), 항복 전압 VBREAKDOWN_SRFET(V), 온타입 드레인 저항 RDSON_SRFET(mΩ)이 스프레드시트에 표시됩니다.

스프레드시트에서는 각 2차측 출력에 대한 주요 전기적 파라미터도 계산합니다.

2차측 출력의 RMS 전류, RMS_SECONDARY(A)

- 2차측 권선 와이어의 크기를 조정하는 데 사용됩니다.

2차측의 전류 리플, IRIPPLE_CAP_OUTPUT(A)

- 출력 필터 커패시터의 크기를 조정하는 데 사용됩니다.

-출력의 턴 수, NSECONDARY

- 각 출력의 턴 수가 계산됩니다.

마그네틱 와이어의 추가 정보 제공됩니다. AWG_SECONDARY(AWG), OD_SECONDARY_INSULATED(mm) 및 OD_SECONDARY_BARE(mm).

143	출력 2					
144	VOUT2			0.00	V	출력 2 전압
145	IOUT2			0.00	A	출력 2 전류
146	POUT2			0.00	W	출력 2 전력
147	IRMS_SECONDARY2			0.00	A	출력 2에 대한 2차측 전류의 제공 평균 제공근
148	IRIPPLE_CAP_OUTPUT2			0.00	A	출력 2의 2차측 파형에서 전류 리플
149	AWG_SECONDARY2			0	AWG	출력 2의 와이어 크기
150	OD_SECONDARY2_INSULATED			0.000	mm	출력 2에 절연이 포함된 2차측 권선 와이어 외경
151	OD_SECONDARY2_BARE			0.000	mm	출력 2에 절연이 포함되지 않은 2차측 권선 와이어 외경
152	CM_SECONDARY2			0	Cmils	출력 2의 베어 컨덕터 유효 면적(Circular mils 단위)
153	NSECONDARY2			0		출력 2에 대한 턴 수
154	VREVERSE_RECTIFIER2			0.00	V	출력 2에 대한 SRFET 역전압(기생 전압 링은 고려하지 않음)
155	SRFET2	자동		해당 없음		출력 2에 대한 SRFET 선택
156	VF_SRFET2			해당 없음	V	출력 2에 대한 SRFET 온타임 드레인 전압
157	VBREAKDOWN_SRFET2			해당 없음	V	출력 2에 대한 SRFET 항복 전압
158	RDSON_SRFET2			해당 없음	mΩ	출력 2의 25degC 및 VGS=4.4V에서 SRFET 온타임 드레인 저항
159						
160	출력 3					
161	VOUT3			0.00	V	출력 3 전압
162	IOUT3			0.00	A	출력 3 전류
163	POUT3			0.00	W	출력 3 전력
164	IRMS_SECONDARY3			0.00	A	출력 3에 대한 2차측 전류의 제공 평균 제공근
165	IRIPPLE_CAP_OUTPUT3			0.00	A	출력 3의 2차측 파형에 대한 전류 리플
166	AWG_SECONDARY3			0	AWG	출력 3의 전선 크기
167	OD_SECONDARY3_INSULATED			0.000	mm	출력 3에 절연이 포함된 2차측 권선 와이어 외경
168	OD_SECONDARY3_BARE			0.000	mm	출력 3에 절연이 포함되지 않은 2차측 권선 와이어 외경
169	CM_SECONDARY3			0	Cmils	출력 3의 베어 컨덕터 유효 면적(Circular mils 단위)
170	NSECONDARY3			0		출력 3에 대한 턴 수
171	VREVERSE_RECTIFIER3			0.00	V	출력 3에 대한 SRFET 역전압(기생 전압 링은 고려하지 않음)
172	SRFET3	자동		해당 없음		출력 3에 대한 SRFET 선택
173	VF_SRFET3			해당 없음	V	출력 3에 대한 SRFET 온타임 드레인 전압
174	VBREAKDOWN_SRFET3			해당 없음	V	출력 3에 대한 SRFET 항복 전압
175	RDSON_SRFET3			해당 없음	mΩ	출력 3의 25degC 및 VGS=4.4V에서 SRFET 온타임 드레인 저항
176						
177	PO_TOTAL			20.00	W	모든 출력의 총 전력
178	마이너스 출력	N/A		N/A		마이너스 출력이 있을 경우 출력 번호를 입력하십시오. (예: VO2가 마이너스 출력이면 2 선택)

그림 11. InnoSwitch3 PiXL 스프레드시트의 다중 출력 파라미터 섹션(계속)

8단계 – 오차 분석

이는 디바이스 전류 제한 **CORNER_ILIMIT**의 코너 값에 대한 스위칭 주파수 (**FSWITCHING**) 및 트랜스포머 **CORNER_LPRIMARY**의 1차측 인덕턴스 같은 스위칭 파라미터를 제공하는 InnoSwitch3 PIXL 설계 스프레드시트의 유용한 부분입니다.

182	오차 분석					
183	CORNER_VAC			85	V	평가할 입력 AC RMS 코너 전압
184	CORNER_ILIMIT	TYP		0.95	A	평가할 코너 전류 limit
185	CORNER_LPRIMARY	TYP		830.5	uH	평가 대상 1차측 인덕턴스 코너 값
186	MODE_OPERATION			CCM		작동 모드
187	KP			0.728		연속/불연속 작동 모드의 측정
188	FSWITCHING			67267	Hz	최대 부하의 스위칭 주파수 및 정류된 최소 AC 입력 전압의 밸리
189	DUTYCYCLE			0.433		정상 상태 듀티 사이클
190	TIME_ON			6.44	us	1차측 MOSFET 온-타임
191	TIME_OFF			8.43	us	1차측 MOSFET 오프-타임
192	IPEAK_PRIMARY			0.91	A	1차측 MOSFET 피크 전류
193	IPEDESTAL_PRIMARY			0.25	A	1차측 MOSFET 전류 초기값
194	IAVERAGE_PRIMARY			0.25	A	1차측 MOSFET 평균 전류
195	IRIPPLE_PRIMARY			0.66	A	1차측 MOSFET 리플 전류
196	IRMS_PRIMARY			0.40	A	1차측 MOSFET RMS 전류
197	CMA_PRIMARY			252	Cmil/A	1차측 권선 와이어 CMA
198	BPEAK			2835	Gauss	피크 자속 밀도
199	BMAX			2641	Gauss	최대 자속 밀도

그림 12. InnoSwitch3 PIXL 스프레드시트의 공차 분석 섹션

FEEDBACK 핀 분배기 네트워크(RFB_{UPPER}, RFB_{LOWER})

FEEDBACK 핀의 전압이 1.265V인 것처럼 원하는 출력 전압이 있을 경우 파워 서플라이의 출력에서 InnoSwitch3 IC의 FEEDBACK 핀에 적절한 저항 전압을 연결해야 합니다. 330pF의 디커플링 커패시터(C_{FB})를 FEEDBACK 핀에서 GROUND 핀에 연결하는 것이 좋습니다. 이는 FEEDBACK 핀에 대한 디커플링 커패시터로 작동하여 IC의 동작에 영향을 미치는 스위칭 노이즈를 방지합니다.

1차측 권선에 걸친 1차측 클램프 네트워크(D_{SN}, R_{SN}, R_S, and C_{SN})

그림 13 참조. R2CD 클램프는 낮은 전력 서플라이의 클램프에 가장 자주 사용됩니다. 전력이 더 강한 설계의 경우 제너 클램프 또는 R2CD와 제너 클램프를 함께 사용하여 효율을 높일 수 있습니다. 참고로 피크 드레인 전압은 최대 입력 전압, 최대 과부하 파워 또는 출력 단락 등 최악의 상황에서 BV_{DSS}의 90%로 제한하는 것이 좋습니다. 그림 13의 클램프 다이오드 D_{SN}는 standard recovery glass passivated diode 또는 fast recovery 타입으로 역회복 속도가 500ns보다 빠른 것이어야 합니다. standard recovery glass passivated diode를 사용하면 각 스위칭 주기의 클램프 에너지 중 일부를 회복하고 평균 효율을 높이는 데 도움이 됩니다. 이 다이오드는 InnoSwitch3 내부의 MOSFET이 꺼질 때마다 일시적으로 도통되며 누설 리액턴스의 에너지는 클램프 커패시터 C_{SN}으로 전달됩니다. 직렬 경로에 있는 저항 R_S는 누설 리액턴스와 클램프 커패시터 C_{SN} 간의 공진으로 인한 과도한 링잉을 방지하는 댄핑 기능을 제공합니다. 저항 R_{SN}은 커패시터 C_{SN} 내부에 저장된 에너지가 누출됩니다. 제품군의 다른 InnoSwitch3 디바이스를 사용하는 파워 서플라이는 1차측 피크 전류, 누설 인덕턴스가 다르므로 누설 에너지도 다릅니다. 그러므로 커패시터 C_{SN} 저항 R_{SN}, R_S는 반드시 설계별로 최적화되어야 합니다. 일반적인 규칙에 따르면 커패시터 C_{SN}의 값을 최소화하고 R_{SN} 및 R_S의 값을 최대화하는 것이 좋으며, 동시에 최고 입력 전압 및 최대 부하 시 BV_{DSS} 제한은 계속 90%를 충족하는 것이 바람직합니다. R_S의 값은 필요한 시간의 링잉을 댄핑할 만큼 충분히 커야 하지만, 드레인 전압이 BV_{DSS}가 90%를

초과할 만큼 커서는 안 됩니다. Z5U와 같은 유전체를 사용하는 세라믹 커패시터를 클램프 회로 내의 C_{SN}에 사용할 경우 가청 노이즈가 발생할 수 있으므로 폴리에스터 필름형을 사용하는 것이 좋습니다.

다음 공식을 지침으로 사용하여 R2CD 부품 값을 계산할 수 있습니다.

$$R_{SN} = \left[\frac{V_C^2}{\frac{1}{2}L_{IK} \times I_{PK}^2 \times \frac{V_C \times F_S}{(V_C - V_{OR})}} \right] \quad ; \text{공식 (1)}$$

$$C_S = \frac{V_C}{R_{SN} \times F_S \times dV_{CSN}} \quad ; \text{공식 (2)}$$

$$R_S = \left(\frac{L_{IK}}{C_{SN}} \right)^{\frac{1}{2}} \quad ; \text{공식 (3)}$$

참고:

- V_C: 클램프 회로 전체의 전압
- I_{PK}: 피크 스위칭 전류
- F_S: 스위칭 주파수
- L_{IK}: 누설 인덕턴스
- V_{OR}: 반사 출력 전압
- dV_{CSN}: 클램프 커패시터 전체의 최대 리플 전압(10%)

예:

V_C = 205V인 경우, F_S = 100kHz, I_{PK} = 1A, V_{OR} = 100, L_{IK} = 5μH 및 dV_{SN} = 20V입니다.

위 공식을 적용하면 다음과 같습니다.

R_{RSN} = 92.4kΩ, C_S = 1.08nF 및 R_S = 68Ω

일반적인 1차측 클램프 구성

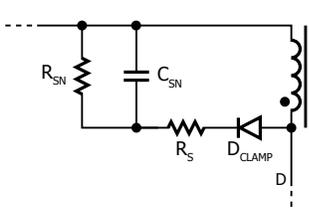
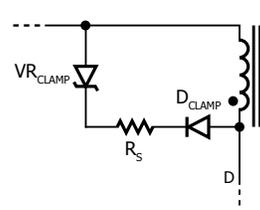
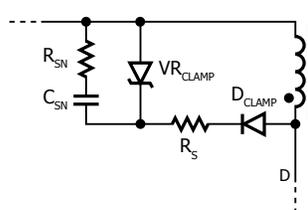
R2CD	제너	R2CD + 제너
 <p>PI-8502-041818</p>	 <p>PI-8504-041818</p>	 <p>PI-8503-041818</p>

그림 14. 권장 1차측 클램프 부품

1차측 클램프 회로

장점	R2CD	제너	R2CD + 제너
부품 비용	낮음	중간	높음
무부하 입력 전력	높음	낮음	중간
경부하 효율	낮음	높음	중간
EMI 억제	높음	낮음	중간

표 9. 1차 클램프 회로의 장점

외부 바이어스 서플라이 부품(D_{BIAS} , C_{BIAS} , R_{BP})

PRIMARY BYPASS 핀에는 파워 MOSFET이 OFF 상태일 때마다 DRAIN 핀에서 전류를 끌어와 PRIMARY BYPASS 핀 커패시터를 V_{BPP} 로 충전하는 내부 레귤레이터가 있습니다. PRIMARY BYPASS 핀은 내부 공급 전압 인터페이스 노드입니다. 파워 MOSFET이 ON 상태일 때 디바이스는 PRIMARY BYPASS 핀 커패시터에 저장된 에너지로 동작합니다. 또한 외부 저항을 통해 PRIMARY BYPASS 핀에 전류가 공급되는 경우 PRIMARY BYPASS 핀 전압을 V_{SHUNT} 까지 클램프합니다. 따라서 바이어스 권선을 통해 외부에서 InnoSwitch3에 전력을 쉽게 공급할 수 있어 무부하 소비 전력을 15 mW(5 V 출력 설계) 미만으로 낮출 수 있습니다.

12V가 권장 바이어스 전압입니다. 전압이 이보다 더 높으면 무부하 입력 전력이 높아집니다. 무부하 전력 소비량을 줄이려면 바이어스 권선 정류기에 초고속 다이오드를 사용하는 것이 좋습니다.

바이어스 서플라이 필터 C_{BIAS} 로는 22 μ F 50V low ESR 전해 알루미늄 커패시터를 권장합니다. Low ESR 전해 커패시터는 무부하 입력 전력을 줄여줍니다. 세라믹 표면 실장형 커패시터는 그 기계적 특성으로 인한 압전 효과로 가청 노이즈를 발생시킬 수 있으므로 권장하지 않습니다.

최소 무부하 입력 전력과 높은 풀부하 전력 효율성을 보장하기 위해 저항 R_{BP} 는 이를 통과하는 전류가 PRIMARY BYPASS 핀의 전류보다 높아지도록 선택해야 합니다.

정상 동작 주파수에서 PRIMARY BYPASS 핀 서플라이 전류는 다음 공식으로 계산할 수 있습니다.

$$I_{SSW} = \frac{F_{SW}}{132 \text{ kHz}} \times (I_{S2} - I_{S1}) + I_{S1}$$

참고:

- I_{SSW} : 동작 스위칭 주파수에서 PRIMARY BYPASS 핀 서플라이 전류
- F_{SW} : 동작 스위칭 주파수(kHz)
- I_{S1} : 스위칭이 없는 경우 PRIMARY BYPASS 핀의 서플라이 전류 (데이터시트 참고)
- I_{S2} : 132kHz에서 PRIMARY BYPASS 핀의 서플라이 전류 (데이터시트 참고)

바이어스 전류가 PRIMARY BYPASS 핀 서플라이 전류보다 높은 경우 BPP 전압은 내부적으로 5.3V로 클램핑됩니다. BPP 전압이 ~5.0V인

경우 이는 R_{BP} 를 통과하는 전류가 PRIMARY BYPASS 핀 서플라이 전류보다 작으며, 기동 중을 제외하고는 DRAIN핀에서 충전 전류를 끌어와 PRIMARY BYPASS핀을 5.0V 이상으로 유지한다는 것을 나타냅니다.

R_{BP} 의 최대 값을 구하려면

$$R_{BP} = [V_{BIAS(NO-LOAD)} - V_{BPP}] / I_{SSW} \cdot V_{BPP} = 5.3 \text{ V}$$

출력 동기 정류기 MOSFET(SR FET)

InnoSwitch3는 동기 정류에 비용이 낮은 저전압 MOSFET을 사용할 수 있도록 지원하는 내장형 동기 정류기(SR) 드라이버를 제공하며 시스템 효율을 높입니다. SR 드라이버는 출력 GND 기준이기 때문에 SR FET는 리턴 라인에 배치됩니다. GND는 플라이백 전도 시간 종료 시 SR FET가 턴오프되도록 하는 통상적인 기준점입니다($V_{SR(TH)}$). 플라이백 사이클 시작 후 SR FET가 턴온될 때까지 전류 슛스루를 방지하려면 약간의 지연 시간이 발생될 수 있습니다. SR FET 전도 중에 인덕터에 저장된 에너지는 부하에 전달되며, SR FET의 $R_{DS(ON)}$ 전체의 전압 강하가 0V로 강해질 때까지 전류가 계속 강해집니다. 이때 SYNCHRONOUS RECTIFIER 핀은 게이트를 낮게 당겨 SR FET가 동시에 턴오프되도록 합니다. 나머지 플라이백 시간 동안 최소 전류는 SR FET 바디 다이오드를 통해 흐릅니다(그림 15 참조). SR FET 전체에 쇼트키 다이오드를 입력하면 사용된 설계 및 SR FET에 따라 효율이 추가로 0.1%~0.2% 증가할 수 있습니다. 연속 전도 모드(CCM)에서 스위칭 사이클을 요청하기 위해 피드백 펄스가 1차측으로 전송되는 경우, SR FET가 꺼지고 SR FET와 1차측 MOSFET 간에 암쇼트가 발생하지 않도록 하면서 뛰어난 최적의 동기화를 제공합니다.

SR FET 드라이버는 서플라이 레일에 SECONDARY BYPASS 핀을 사용하며, 이 전압은 일반적으로 4.4V입니다. 따라서 기준 전압이 너무 높은 SR FET는 적합하지 않습니다. 게이트 전압 기준 전압 범위($V_{G(TH)}$)가 1.5V~2.5V인 SR FET가 권장됩니다.

SR FET의 온-타임 종료는 MOSFET의 드레인-소스 전압이 0V에 도달하는 시점을 기준으로 하므로, 초저 $R_{DS(ON)}$ (< 5m Ω)인 SR MOSFET을 사용하는 전도 사이클 동안 SR FET 구동 신호가 조기에 종료될 수 있습니다. 이 경우 2차측 전류는 바디 다이오드를 통과하는 대신 도통되는데, 이는 SR FET의 $R_{DS(ON)}$ 에 비해 전압이 더 높게 강하하므로 시스템 효율이 약간 감소합니다(그림 16 참조).

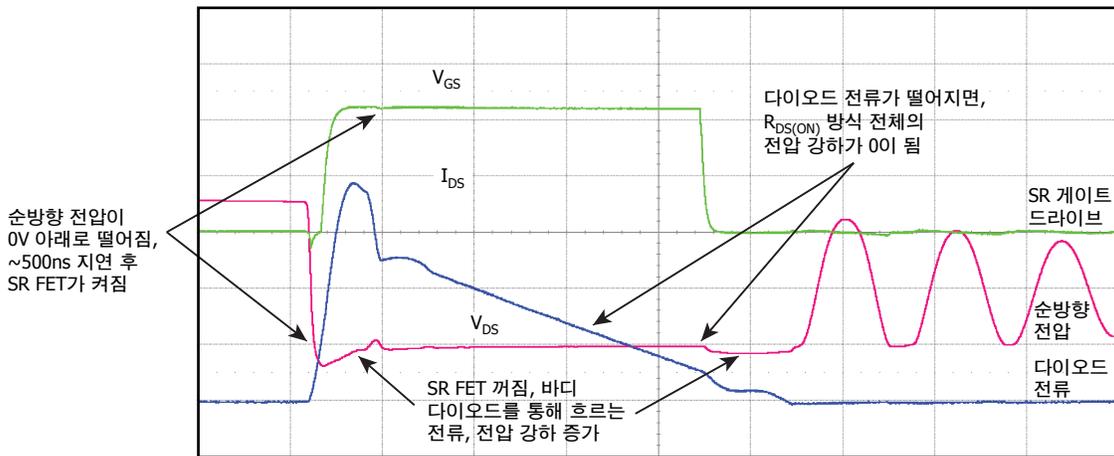


그림 15. DCM 작동 중 SR FET 턴 온 및 턴 오프 이벤트

PI-8514-091318

18mΩ R_{DS(ON)}인 SR FET는 5V, 2A 출력에 적합하며 8mΩ R_{DS(ON)}인 SR FET는 12V, 3A 출력인 정격 설계에 적합합니다.

권장되는 최적의 SR FET 드레인-소스 간 On-저항(R_{DS(ON)})은 대략적으로 다음과 같습니다.

$$R_{DS(ON)} \approx \frac{0.16 \times V_o}{I_p \times VOR}$$

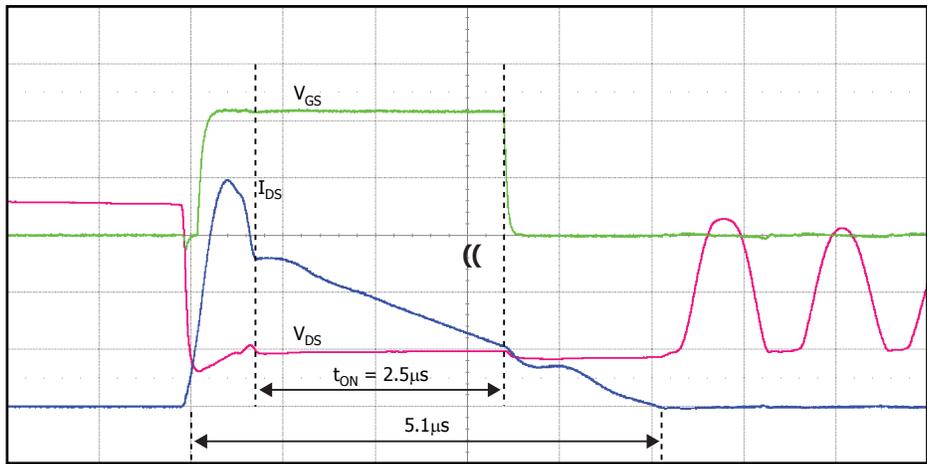
일부 SR FET는 동기 정류에 적합하며 이 섹션의 표 10에 설명된 기준을 충족합니다.

SR FET의 정격 전압은 예상 피크 역전압(PIV)의 최소 1.3배여야 합니다. 피크 역전압은 트랜스포머의 1차~2차측 턴 비를 곱하여 적용된 최대 입력 DC 버스 전압입니다. 스프레드시트에서는 137라인에서 이

예상치를 VREVERSE_RECTIFIER1로 제공합니다. 이 전압은 SR FET 및 역평행 다이오드(사용된 경우)의 BV_{DSS}에 대한 충분한 마진을 확인하기 위해 계속 측정해야 합니다.

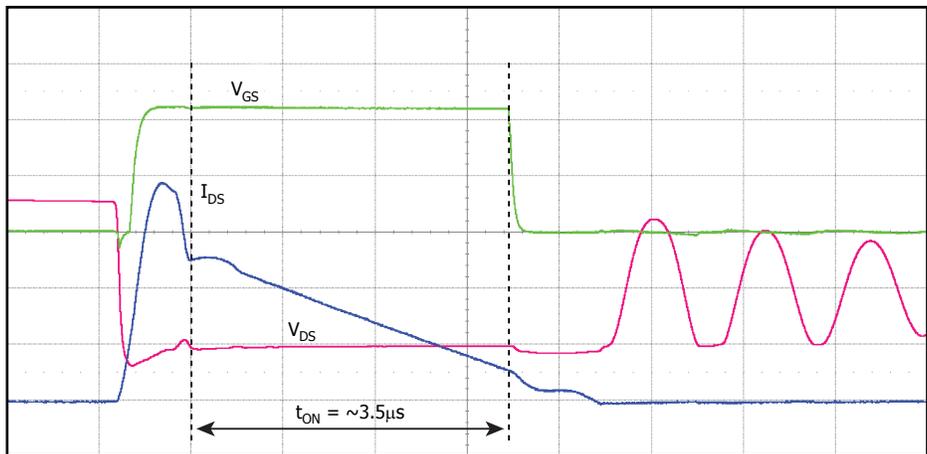
SR FET는 저전압 MOSFET의 비용 감소로 인해 비용 불이익 없이 대폭적인 효율 개선을 제공합니다. 게이트 드라이브를 SYNCHRONOUS RECTIFIER 핀을 그라운드로 단락시켜 쇼트키 또는 fast-recovery diode를 출력 정류에 사용할 수 있습니다. 이 방법은 고전압 출력에 사용하는 것이 바람직할 수 있습니다.

MOSFET의 DC 정격 전류는 평균 출력 전류보다 2 이상이어야 합니다. 온도 상승 및 피크 부하 상태의 기간에 따라, 프로토타입이 제작되면 SR FET 정격 전류 및 열 손실 영역을 높여야 할 수 있습니다.



R_{DS(ON)} = 7.5mΩ 짧은 SR FET 전도 시간이 2.5µs인 것으로 나와 있음.

PI-8516-050918



R_{DS(ON)} = 16 mΩ 긴 SR FET 전도 시간이 3.5µs인 것으로 나와 있음.

PI-8515-050918

그림 16. SR FET 전도 시간에 R_{DS(ON)}가 미치는 영향

부품	PIV	I _{DRAIN}	V _{GS(TH)}	V _{GS(TH)}	CISS	CRSS	CRSS/ CISS	R _G	R _{DS(ON)}	T _{RR}	패키지	제조업체
			최대	최소								
	(V)	(A)	(V)	(V)	(pF)	(pF)	(%)	(Ω)	(Ω)	(ns)		
AO4260	60	18.0	2.4	1.3	4940	32.0	0.65	0.9	6.3	22	8-SOIC(0.154", 3.90mm 폭)	Alpha & Omega
AO4264	60	12.0	2.5	1.4	2007	12.5	0.62	1.2	13.5	15	8-SOIC(0.154", 3.90mm 폭)	Alpha & Omega
AON6244	60	85.0	2.5	1.5	3838	14.5	0.38	1.0	6.2	17	8-PowerSMD, 평면 리드	Alpha & Omega
AON6266	60	30.0	2.5	1.5	1340	10.0	0.75	1.5	19.0	17	8-PowerSMD, 평면 리드	Alpha & Omega
AON7246	60	34.5	2.5	1.5	1340	10.0	0.75	1.5	19.0	15	8-PowerVDFN	Alpha & Omega
AO4294	100	11.5	2.4	1.4	2420	11.0	0.45	0.6	15.5	25	8-SOIC(0.154", 3.90mm 폭)	Alpha & Omega
AON7292	100	23.0	2.6	1.6	1170	8.0	0.68	0.7	32.0	24	8-WDFN 노출 패드	Alpha & Omega
AO4292	100	8	2.7	1.6	1190	7	0.59	3	33	20	SOIC-8	Alpha & Omega
AO4294	100	11.5	2.4	1.4	2420	11	0.45	3	15.5	25	SOIC-8	Alpha & Omega
AO4296	100	13.5	2.3	1.3	3130	12.5	0.40	3	10.6	28	SOIC-8	Alpha & Omega
AOD294A	100	55	2.5	1.5	2305	11.5	0.50	3	15.5	30	TO-252	Alpha & Omega
AOD296A	100	70	2.3	1.3	3130	12.5	0.40	3	10.6	30	TO-252	Alpha & Omega
AOD2910	100	31	2.7	1.6	1190	7	0.59	3	33	30	TO-252	Alpha & Omega
AOD2916	100	25	2.7	1.6	870	3.5	0.40	3	43.5	20	TO-252	Alpha & Omega
AOD2544	150	23.0	2.7	1.7	675	4.0	0.59	2.9	66.0	37	TO-252 DPAK	Alpha & Omega
AON7254	150	17.0	2.7	1.7	675	4.0	0.59	2.9	66.0	37	8-WDFN 노출 패드	Alpha & Omega

표 10. 동기식 정류가 적합한 MOSFET 목록

1차측 MOSFET 턴-온으로 인한 권선의 전압 역전 시, 출력 권선의 누설 리액턴스와 SR FET 커패시턴스(C_{oss}) 간 상호 작용은 전압 파형에서 링잉을 발생시킵니다. 이 링잉은 SR FET에 걸쳐 연결된 RC 스너버를 이용하여 억제할 수 있습니다. 10Ω~47Ω의 스너버 저항을 사용해야 합니다(높은 저항 값은 효율이 현저히 떨어짐). 1nF~2.2nF의 커패시턴스 값은 대부분의 설계에 적합합니다.

1차측 MOSFET가 켜지면 SR FET의 드레인-소스 전반에 걸쳐 트랜스포머를 통해 빠르게 상승하는 전압이 2차측에 전달됩니다. C_{GD} 대 CISS MOSFET 커패시턴스의 높은 비율과 결합된 높은 dv/dt는 SR FET에서 게이트-소스 전압을 유도합니다. 유도된 게이트 전압이 최소 게이트 기준 전압 V_{GS(TH)} 을 초과할 경우, SR FET가 켜져 심각한 고장으로 이어질 수 있는 암쇼트가 발생합니다. 권장되는 C_{GD} (CRSS)는 35pF 이하이며 CRSS 대 CISS의 비율은 2% 미만이어야 합니다.

SR FET 선택 시 또 다른 중요한 파라미터는 해당 바디 다이오드의 역 리커버리 시간(T_{RR})입니다. SR FET의 역 리커버리 특성은 1차측 MOSFET 스위치가 켜졌을 때 드레인에 가해지는 전압 스트레스의 수준에 영향을 미칩니다. 그림 17에 나와 있는 것처럼, 바디 다이오드가 느린(> 40ns T_{RR}) SR FET는 바디 다이오드가 빠른 SR FET에 비해 전압 스트레스가 두 배입니다. 바디 다이오드의 권장 최대 역 리커버리 시간(T_{RR})은 40ns 이하입니다.

출력 필터 커패시턴스(C_{OUT})

출력 커패시터의 리플 전류 정격은 스프레드시트 IRIPPLE_CAP_OUTPUT1에 계산된 값보다 커야 합니다. 그러나 높은 피크와 연속(평균) 전력이 있는 설계 및 지속 기간이 긴 피크 부하 상태인 설계의 경우, 커패시터 정격을 높여야 할 수 있습니다. 여기에서 선택한 항목은 악조건 하의 부하 및 주변 온도 조건에서 측정된 커패시터 온도

상승을 기준으로 해야 합니다. 스프레드시트에서는 평균 출력 전력을 사용하여 출력 커패시터 리플 전류를 계산합니다. 따라서 커패시터의 실제 정격은 설계의 피크 대 평균 전력 비율에 따라 달라집니다. 대부분의 경우, 커패시터 리플 정격은 써멀 제한이고 대부분의 피크 부하 기간은 커패시터의 써멀 시간 상수보다 작으므로(통상 < 1초) 이러한 가정은 유효합니다.

어느 경우에도 적합한 커패시터를 찾을 수 없으면 두 개 이상의 커패시터를 병렬로 사용하여, 결합된 정격 리플 전류가 개별 커패시터 리플 정격의 합과 동일하게 되도록 합니다. 많은 커패시터 제조업체에서는 커패시터 작동 온도가 데이터 시트의 최대값에서 감소하므로, 리플 정격 전류를 높이는 요인을 제공합니다. 이는 커패시터의 크기가 너무 커지지 않도록 하기 위한 것입니다.

알루미늄 폴리머 고체 커패시터는 작은 사이즈, 안정적인 온도 특성, 매우 낮은 ESR 및 높은 RMS 리플 정격 전류로 인해 이를 사용하는 것이 상당히 선호됩니다. 이러한 커패시터를 통해 초소형 충전기 및 어댑터를 설계할 수 있습니다. 일반적으로 출력 전류 1암페어 당 200µF~300µF의 알루미늄 폴리머 커패시턴스가 적절합니다. 커패시턴스 선택에 영향을 미치는 다른 요인에는 허용 가능한 출력 리플이 있습니다. 가장 높은 출력 전압보다 더 높은 전압 정격(적합한 마진 포함)의 커패시터만 사용하는지 확인해야 합니다.

스위칭 리플 전압은 출력 커패시터의 ESR로 곱한 피크 2차측 전류와 동일합니다. 따라서 리플 전압을 줄이려면 낮은 ESR 커패시터 타입을 선택하는 것이 중요합니다. 일반적으로 높은 리플 정격 전류 커패시터를 선택하면 허용 가능한 ESR 값을 얻습니다.

커패시터의 정격 전압은 출력 전압(VOUT)의 최소 1.2배여야 합니다.

출력 전류 센싱 저항(R_{IS})

정전류(CC) 출력 작동시 경우, 외부 전류 센싱 저항 R_{IS}는 IS 핀과 IC의 2차측 GROUND 핀 사이에 연결해야 합니다. 정전류(CC) 레귤레이션이 필요하지 않은 경우 IS 핀을 IC의 GROUND 핀에 직접 연결해야 합니다.

저항 전체에 생성된 전압은 약 35mV인 내부 전류 제한 전압 기준점(I_{SV(TH)})과 비교됩니다.

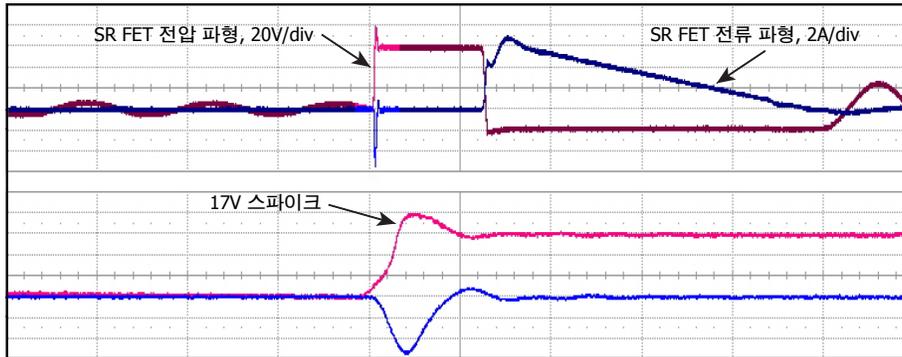
외부 전류 센싱 저항 R_{IS}는 다음을 사용하여 예측할 수 있습니다.

$$R_{IS} = I_{SV(TH)} / I_{OUT(CC)}$$

저항 전체에 흐르는 전압은 내부 참조 V_{SV(TH)}(35mV)에 연결되며, 정전류 작동시 그라운드 임피던스 노이즈 불안정성을 방지하려면 R_{IS} 저항을 연결 패턴이 짧은 IS 및 GROUND 핀에 가까이 배치해야 합니다.

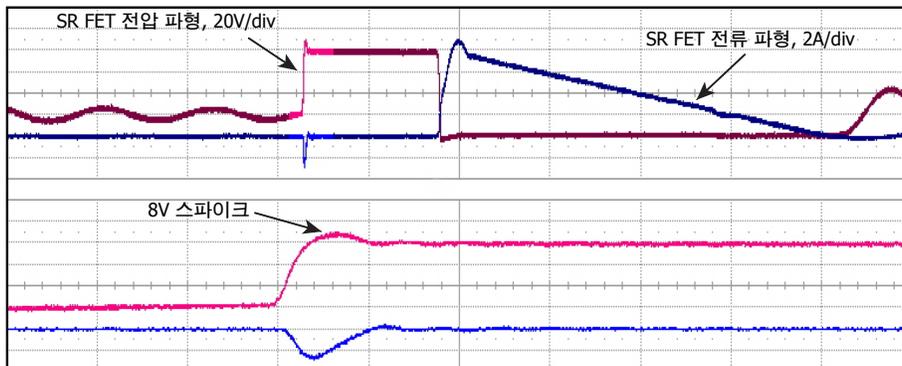
출력 포스트 필터 부품(L_{PF}, C_{PF})

필요 시 포스트 필터(L_{PF} 및 C_{PF})를 추가하여 고주파수 스위칭 노이즈 및 리플을 줄일 수 있습니다. 인덕터 L_{PF}는 1µH~3.3µH의 범위 내에 있어야 하며 정격 전류는 피크 출력 전류보다 높아야 합니다. 커패시터 C_{PF}는 100~330µF 범위 내에 있어야 하며 정격 전압은 ≥ 1.25 × V_{OUT} 이어야 합니다. 포스트 필터를 사용하는 경우 출력 전압 센싱 저항을 포스트 필터 인덕터 앞에 연결해야 합니다.



느린 바디 다이오드가 포함된 SR FET, 고전압 스파이크가 17V로 표시됨.

PI-8517-100118



빠른 바디 다이오드가 포함된 SR FET, 매우 낮은 전압 스파이크가 8V로 표시됨.

PI-8518-100118

그림 17. V_{DS}에 바디 다이오드 역 리커버리 시간이 미치는 영향

주요 애플리케이션 설계 고려 사항

출력 전력표

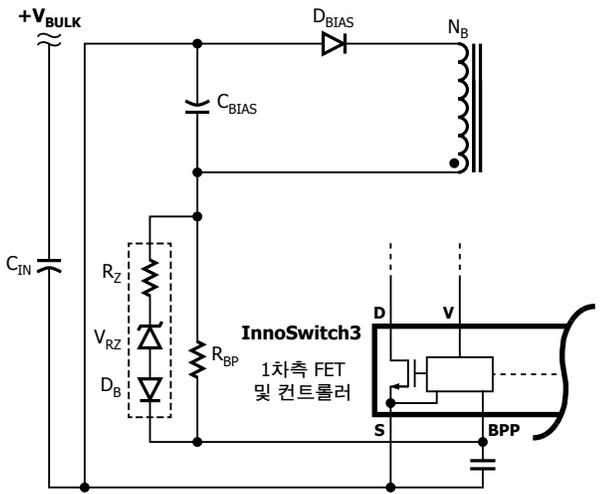
데이터 시트의 출력 전력표(표 1)는 다음과 같이 가정된 조건에서 얻을 수 있는 최대 실제 연속 출력 전력을 나타냅니다.

1. 최소 DC 입력 전압은 85VAC 입력의 경우 90V 이상, 230VAC 입력 또는 115VAC(배전압)의 경우 220V 이상입니다. 이러한 AC 입력 설계 조건을 충족하도록 입력 커패시턴스 전압을 조정해야 합니다.
2. 효율성에 대한 가정은 파워 레벨에 따라 달라집니다. 최소 디바이스 파워 레벨은 84% 이상의 효율성이 최대 디바이스에서 89% 이상으로 증가하며 매우 보수적인 것으로 간주합니다.
3. 트랜스포머 1차측 인덕턴스 오차: ±10%
4. 권선비에 의해 발생된 전압(V_{OR})은 유니버설 라인에 대해 최소 입력 전압에서 $K_p = 0.8$ 을, 하이 라인 설계에 대해 $K_p = 1$ 을 유지하도록 설정됩니다.
5. 어댑터의 최대 전도 손실은 0.6W로, 오픈 프레임 설계에 대해 0.8W로 제한됩니다.
6. 피크 및 오픈 프레임 전력 설계에서 Increased 전류 제한을 선택하고, 어댑터 설계에서 Standard 전류 제한을 선택합니다.

7. SOURCE 핀이 PCB의 충분한 면적의 동판에 납땜되어 있고 SOURCE 핀 온도를 110°C 이하로 유지하기 위해 히트싱크가 사용됩니다.
8. 주변 온도는 오픈 프레임 설계의 경우 50°C이고, 밀폐형 어댑터의 경우 40°C로 보장됩니다.
9. 스위칭 사이클의 조기 종료로 인한 전력 제공량 감소를 방지하기 위해 과도 상태 K_p 의 한계점이 0.5 이상으로 사용됩니다. 이는 MOSFET 턴 온 시 초기 전류 제한(I_{LIMIT})이 초과되지 않도록 방지합니다.
10. 이는 InnoSwitch3의 고유한 기능으로, 설계자는 트랜스포머 설계에 따라 동작 스위칭 주파수를 25kHz~95kHz 범위로 설정할 수 있습니다. 디바이스 온도를 효과적으로 낮추는 방법 중 하나는 트랜스포머가 낮은 스위칭 주파수에서 작동하도록 설계하는 것입니다. 사이즈가 8인 큰 디바이스의 경우 시작점으로 60kHz가 적당한 반면, 사이즈가 2인 작은 디바이스는 80kHz가 적합합니다.

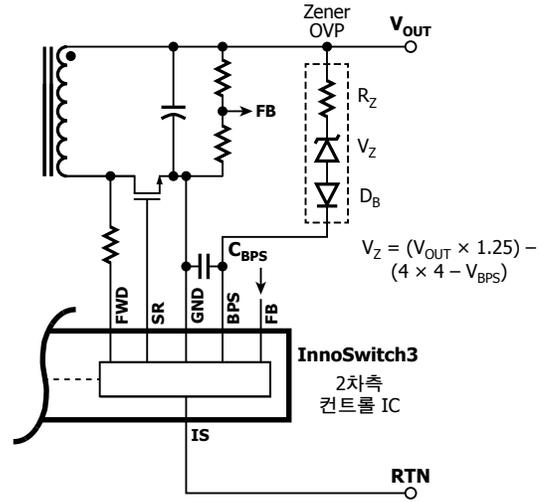
1차측 과전압 보호

InnoSwitch3 IC에서 제공하는 1차측 출력 과전압 보호 기능은 PRIMARY BYPASS 핀으로 전달되는 기준 전류 I_{SD} 에 의해 트리거되는 내부 래치를 사용합니다. 바이패스 커패시터는 고주파 필터로 효과적이기 위해서는 커패시터를 디바이스의 SOURCE 및 PRIMARY BYPASS 핀 가까이 위치시켜야 합니다.



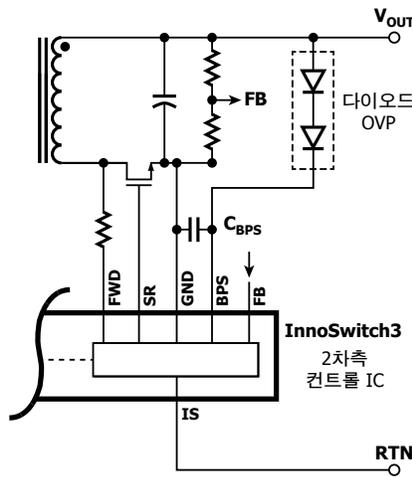
a. 제너 V_{RZ} 를 통해 BPP로 푸시된 고전류에 대한 1차측 OVP.

PI-8481-101017



b. 제너 V_Z 및 저항 R_Z 를 통해 BPS로 푸시된 고전류에 대한 2차측 OVP.

PI-8476-101017



PI-8480-091318

그림 18. 출력 과전압 보호 회로

c. 두 개의 다이오드(5V 출력에만 해당)를 통해 BPS로 푸시된 고전류에 대한 2차측 OVP.

1차 감지 OVP는 정류 및 필터링된 바이어스 권선 전압 서플라이로부터 PRIMARY BYPASS 핀까지 일련의 제너 다이오드, 저항, 차단 다이오드를 연결함으로써 구현할 수 있습니다(그림 18-a 참조). 정류 및 필터링된 바이어스 권선 출력 전압은 바이어스 권선과 출력 권선 간의 커플링에 따라 바이어스 권선 전압 파형의 링잉이 발생하여 최대 기대 전압의 1.5배 및 2배 등 예상보다 높을 수 있습니다. 그러므로 정류된 바이어스 권선 전압을 측정하는 것이 좋습니다. 이 측정은 최저 입력 전압 및 최대 출력 부하를 적용하여 실시하는 것이 이상적입니다. 이 측정된 전압을 이용하여 1차 감지된 OVP에 필요한 부품을 선택해야 합니다. 클램프 전압이 OVP가 트리거될 것으로 예상되는 바이어스 권선 정류 전압보다 약 6V 낮은 제너 다이오드를 사용하는 것이 좋습니다. 블로킹 다이오드에 대해서는 1V의 포워드 전압 하락을 예상할 수 있습니다. 소신호용 standard recovery diode를 사용해야 합니다. 블로킹 다이오드는 기동 중에 바이어스 커패시터의 역전류 충전을 방지합니다. 마지막으로, 직렬 저항의 값은 출력 과전압 시 I_{SD} 보다 높은 전류가 PRIMARY BYPASS 핀으로 흐르도록 설정됩니다.

2차측 과전압 보호

InnoSwitch3 IC는 2차측 출력 과전압 보호를 제공합니다. 이는 $I_{BPS(SD)}$ 기준점을 초과하는 입력 전류가 SECONDARY BYPASS 핀에 공급되었을 때 내부 오토-리스타트가 트리거된 경우 활성화됩니다. 직접 출력 센싱 OVP 기능은 제너 다이오드를 출력에서 SECONDARY BYPASS 핀으로 연결하여 구현할 수 있습니다. 제너 다이오드의 정격 전압은 $1.25V_{OUT}$ 와 SECONDARY BYPASS 핀 전압인 4.4V의 차이값이어야 합니다. OVP 제너 다이오드와 직렬로 연결된 낮은 값의 저항을 추가하여 SECONDARY BYPASS 핀으로 흐르는 최대 전류를 제한해야 합니다 (그림 18-b 참조).

5V 출력의 OVP는 두 개의 다이오드를 직렬로 연결하여 구현할 수 있습니다(그림 18-c에 나와 있음). 필터 커패시터의 정격은 6.3V여야 합니다.

회로 기판 레이아웃에 대한 권장 사항

단일 지점 그라운드

입력 필터 커패시터에서 SOURCE 핀에 연결된 동판까지 단일 지점 그라운드를 사용합니다. 그림 19 및 20을 참조하십시오.

바이패스 커패시터

PRIMARY BYPASS(C_{BPP})와 SECONDARY BYPASS(C_{BPS}) 디커플링 커패시터는 각각 PRIMARY BYPASS-SOURCE, SECONDARY BYPASS-GROUND, FEEDBACK-GROUND(C_{FB}) 핀에 바로 인접해 있어야 하고 이러한 커패시터에 대한 연결 패턴은 짧아야 합니다.

신호 부품

피드백 정보를 모니터링하는 데 사용되는 외부 부품인 R_{LS} , R_{BP} , $R_{FB(UPPER)}$, $R_{FB(LOWER)}$, R_{IS} 는 반드시 짧은 연결패턴으로 IC 핀에 최대한 가까이 배치해야 합니다.

주요 루프 면적

dv/dt 또는 di/dt 가 높은 회로는 최대한 작아야 합니다. 입력 필터 커패시터, 1차측 트랜스포머 및 IC를 연결하는 1차측 루프의 영역은 가능한 한 작게 유지해야 합니다.

루프 안에 또 다른 루프 영역이 배치되지 않는 것이 이상적입니다(그림 21 참조). 이는 회로 간 혼선을 최소화해줍니다.

1차측 클램프 회로

클램프는 턴오프 시 DRAIN 핀의 피크 전압을 제한하는 데 사용됩니다. 이는 1차측 권선에 RCD 클램프 또는 제너 다이오드(~200V)와 다이오드 클램프를 사용하여 구성할 수 있습니다. EMI를 줄이려면 클램프 부품, 트랜스포머와 IC 간의 루프를 최소화해야 합니다.

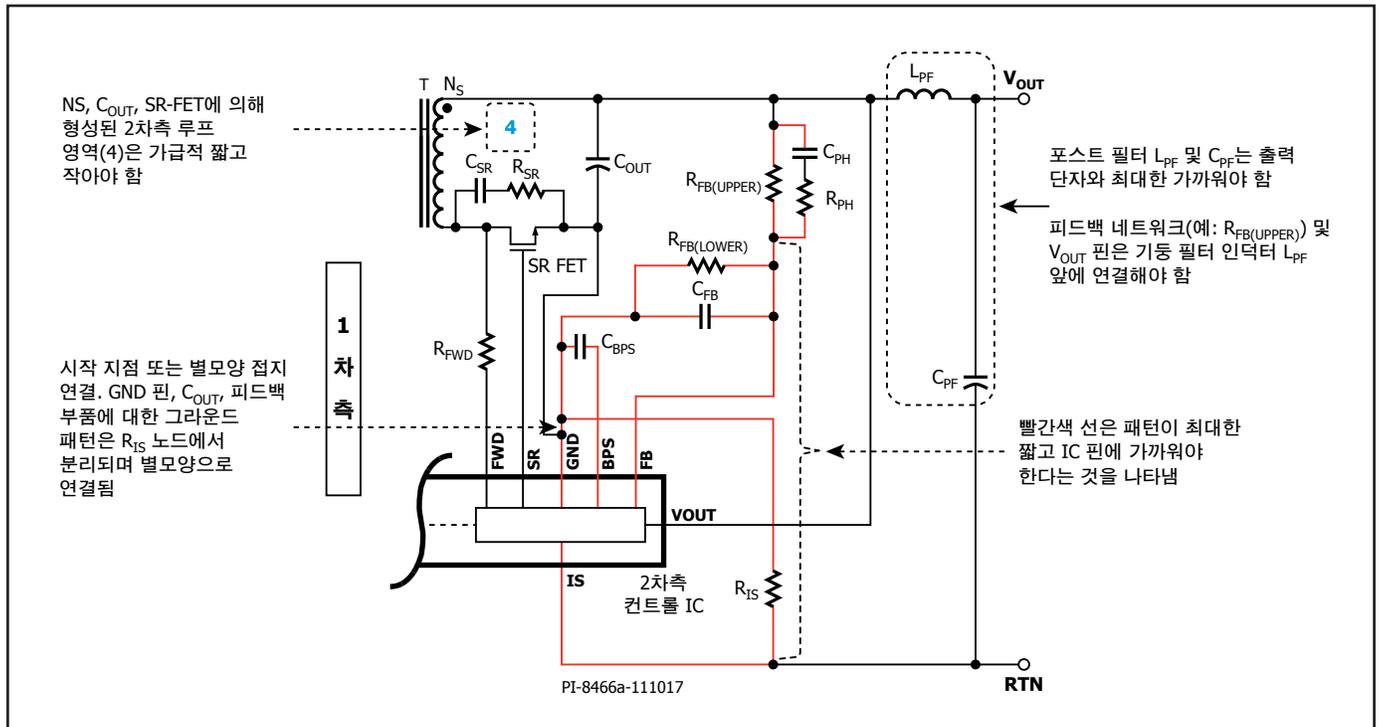


그림 19. 핵심 루프 영역, 핵심 부품 패턴 및 단일 지점 또는 별모양 접지를 보여주는 InnoSwitch3 1차측의 일반적인 회로도

Y 커패시터

Y 커패시터는 1차측 입력 필터 커패시터 플러스 단자에서 트랜스포머 2차측 출력 플러스 또는 복귀 단자까지 직접 연결되어야 합니다. 이런 배치는 큰 커먼 모드 서지 전류를 IC로부터 떨어져 흐르게 할 수 있습니다. 입력 파이 EMI 필터 C1, L_F, C2를 사용할 경우, 필터 내의 인덕터를 입력 필터 커패시터의 마이너스 단자 사이에 배치해야 합니다.

출력 SR MOSFET

최상의 성능을 위해 2차측 권선, 출력 SR MOSFET 및 출력 필터 커패시터의 루프 연결 면적을 최소화해야 합니다. 또한 히트싱크용으로 SR MOSFET의 단자에 충분한 동판 영역이 필요합니다. SR FET 소스와 InnoSwitch3 GROUND 핀 사이의 거리는 짧아야 합니다. 마이너스 전류가 1차측 MOSFET를 통해 흐르는 것을 방지하기 위해서입니다.

ESD 내성

ESD 또는 Hi-Pot 절연 요건을 쉽게 충족하려면 1차측과 2차측 회로 사이에 충분한 거리(8mm 이상)를 유지해야 합니다. 스파크 갭은 출력

리턴 및/또는 양극 단자와 AC 입력단(퓨즈 뒤) 중 하나 사이에 직접 배치하는 것이 가장 좋습니다. 이 구성에서는 관련 안전 표준의 연면거리 및 공간거리 요건을 충족하려는 경우 6.4mm(5.5mm가 적합하며 고객 요구 사항에 따라 다름)의 스파크 갭이면 충분합니다. 스파크 갭의 전압은 AC 피크 입력을 초과하지 않으므로 이러한 간격은 1차측에서 2차측까지의 간격보다 작습니다. 그림 21의 레이아웃 예시를 참조하십시오.

커먼 모드 초크 또는 인덕터 전반의 스파크 갭은 ESD 또는 커먼 모드 서지로 인한 높은 에너지 방전에 대해 낮은 임피던스 경로를 제공하는 데 도움이 됩니다.

드레인 노드

드레인 스위칭 노드에서 주로 노이즈가 생성됩니다. 따라서 드레인 노드에 연결된 부품은 IC에 가까이 배치하지만 민감한 피드백 회로에서는 멀리 떨어져 배치해야 합니다. 클램프 회로 부품은 PRIMARY BYPASS 핀에서 물리적으로 멀리 떨어져 배치해야 하며, 이 회로 내의 패턴 폭과 길이를 최소화해야 합니다.

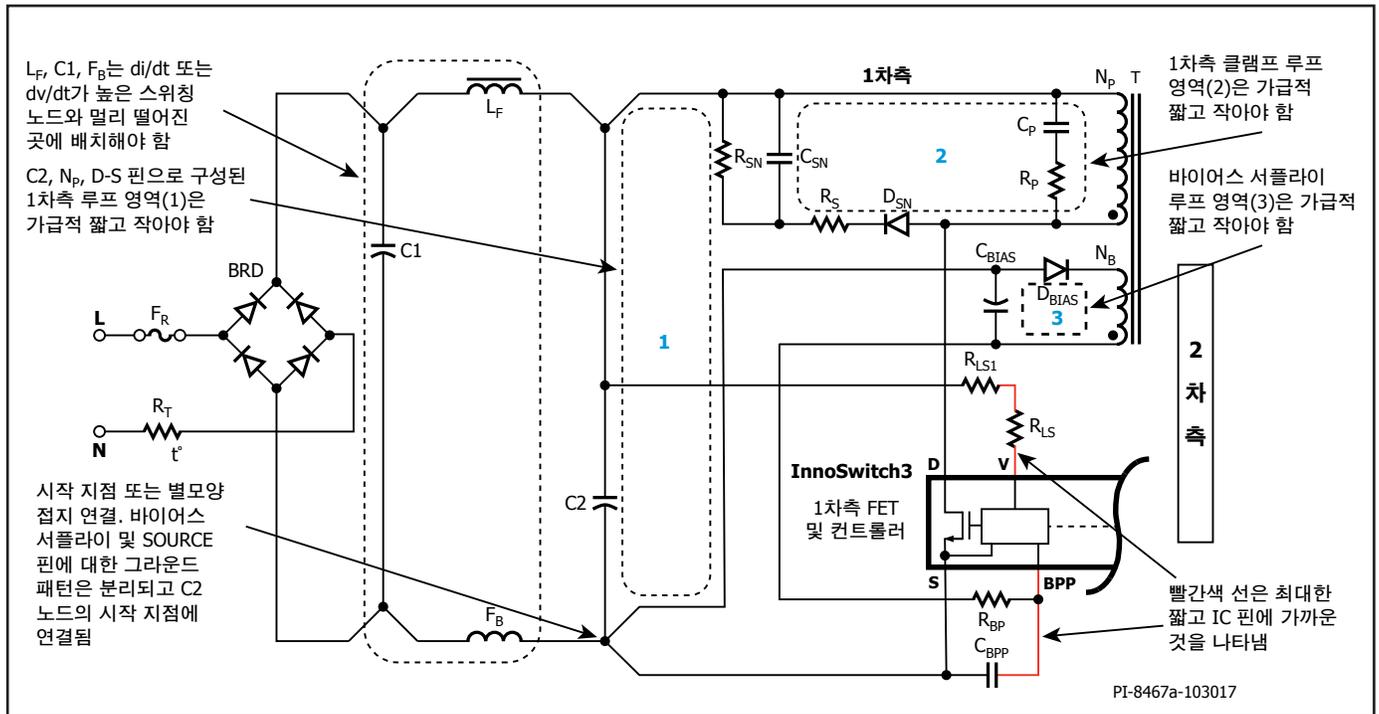


그림 20. 핵심 루프 영역, 핵심 부품 패턴 및 시작 지점 또는 별모양 접지를 나타내는 일반적인 InnoSwitch3 2차측 회로도. 선택 사항인 기동 필터 LC가 포함됨

레이아웃 예시

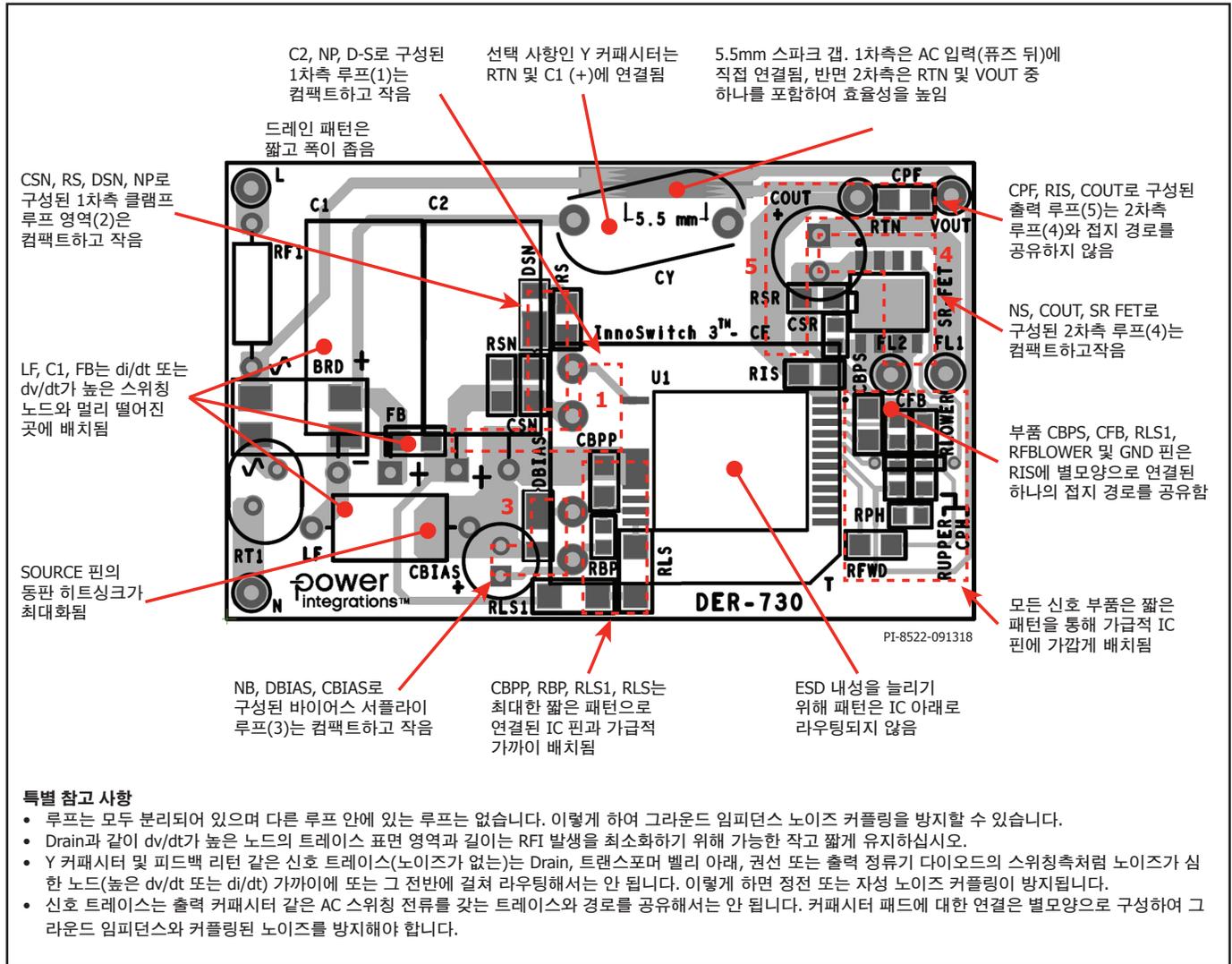


그림 21. TOP and BOTTOM Sides – dv/dt 또는 di/dt가 높은 짧은 루프 영역, 부품 배치, 그림 19 및 20의 참조에서 스파크 갭의 위치를 나타내는 이상적인 레이아웃 예시

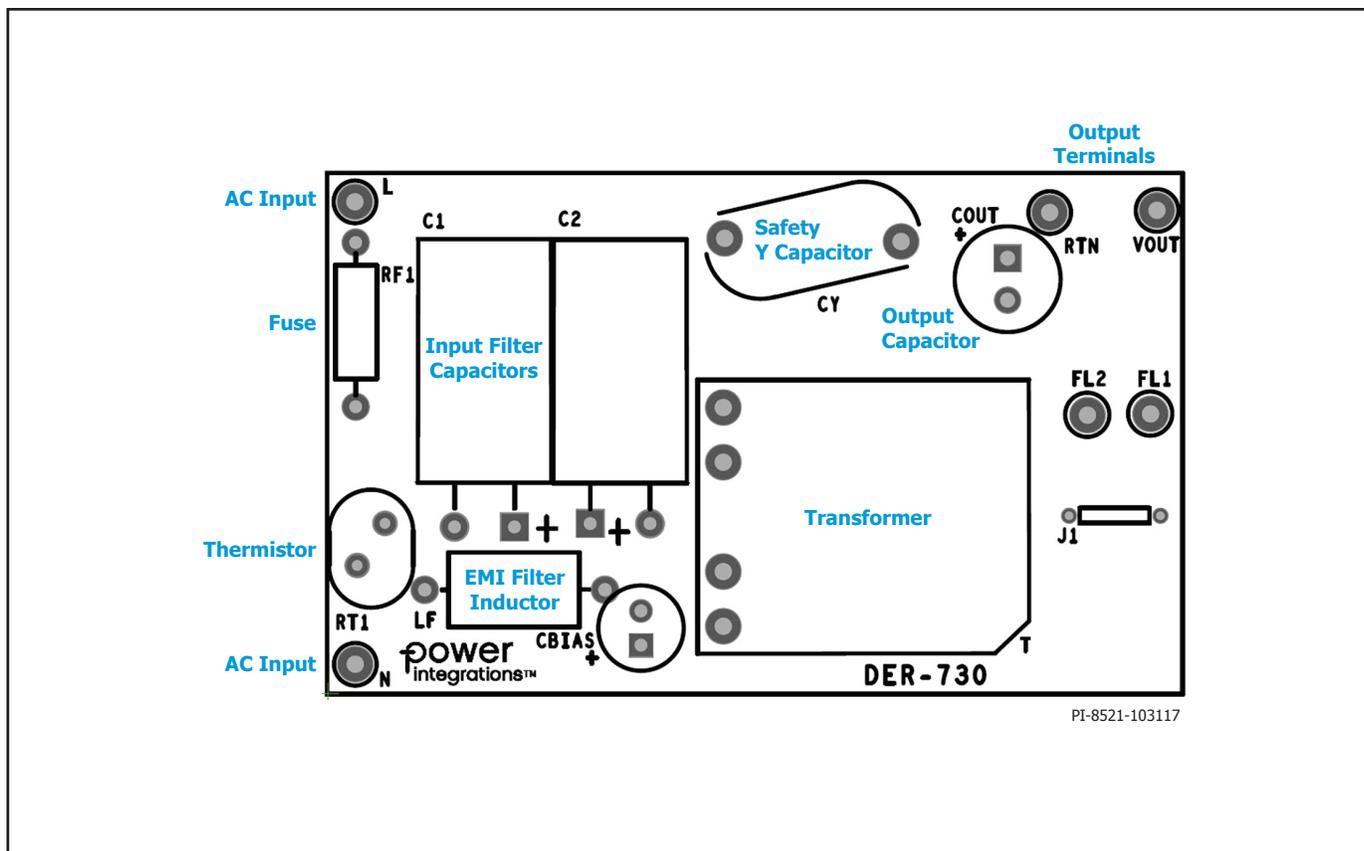


그림 22. TOP Side - 스루홀 부품을 나타내는 레이아웃 예제

트랜스포머 관련 InSOP-24D 패키지 권장 위치

트랜스포머와 InSOP-24D 아래의 PCB는 견고해야 합니다. 대형 트랜스포머 코어를 1.5mm 미만의 얇은 PCB로 된 보드에서 사용할 시에는 트랜스포머를 InSOP로부터 멀리 두는 것이 좋습니다. InSOP

패키지에 인접하거나 아래로 연결되는 슬롯을 PCB에 내는 방법은 PCB를 약화시키므로 추천하지 않습니다. PCB가 긴 경우, 기계적인 지지대 또는 기둥을 보드의 가운데나 InSOP 패키지 가까이에 두는 것이 좋습니다.

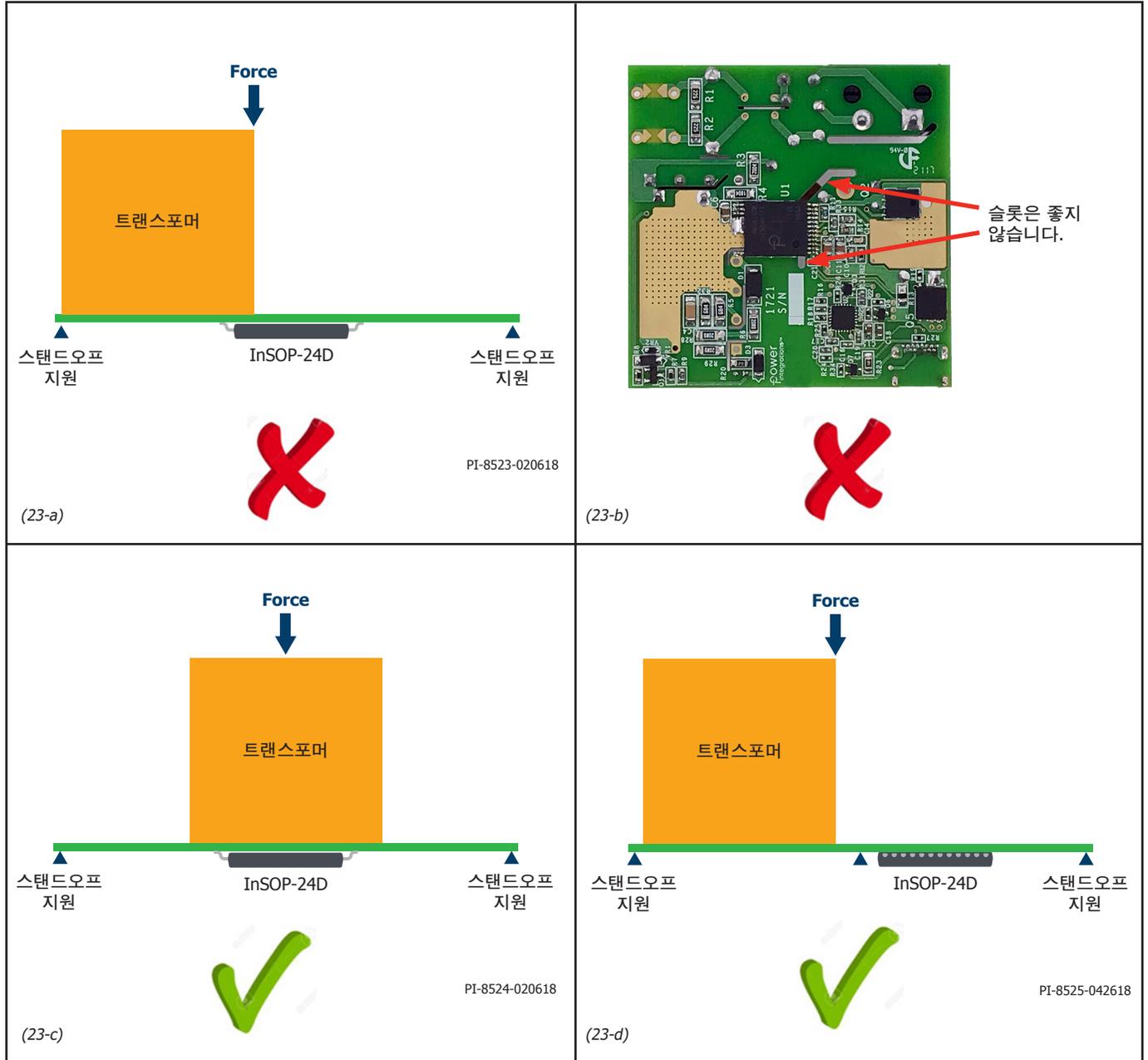


그림 23. 체크 표시된 InSOP-24D 패키지 권장 위치

무부하 소비 전력 감소를 위한 권장사항

InnoSwitch3 IC는 내부 전류 소스에서 충전되는 BYPASS 핀 커패시터에서 전력을 받아 자체 전원 공급 모드로 시작할 수 있습니다. InnoSwitch3 IC가 스위칭을 시작하면 PRIMARY BYPASS 핀에 전류를 공급하기 위해 바이어스 권선을 사용해야 합니다. PRIMARY BYPASS 핀에 바이어스 권선 서플라이를 추가하면 무부하 소비 전력이 15mW 미만인 파워 서플라이를 실현할 수 있습니다. 가장 낮은 무부하 입력 전력을 위해서는 그림 13에 표시된 저항 R_{BP} 를 조정해야 합니다.

그 외 무부하 전력소비량을 더욱 낮추는 데 도움이 될 수 있는 부품으로는 다음과 같은 것이 있습니다.

1. 낮은 값의 1차측 클램프 커패시터 C_{SN} .
2. 바이어스 서플라이 정류기 D_{BIAS} 에 대한 쇼트키 또는 초고속 다이오드
3. 바이어스 서플라이 커패시터 C_{BIAS} 에 대한 낮은 ESR 커패시터
4. 낮은 값의 SR FET RC 스너버 커패시터 C_{SR} .
5. 1차측 권선 레이어 간의 테이프와 1차측-2차측 권선 간의 멀티레이어 테이프는 내부 권선간 커패시턴스를 줄여줍니다.

EMI 감소를 위한 권장사항

1. 적절한 부품 배치와 1차측 및 2차측 전원 회로의 루프 면적을 작게 유지하면 방사 및 전도 EMI를 최소화할 수 있습니다. 루프 면적을 작게 유지하도록 주의를 기울여야 합니다. (그림 19 및 20 참조)
2. 1차측의 클램프 다이오드에 병렬로 연결된 작은 커패시터는 방사 EMI를 줄일 수 있습니다.
3. 바이어스 권선과 직렬로 연결된 저항(2~47Ω)은 방사 EMI를 줄일 수 있습니다.
4. 소형 저항과 세라믹 커패시터(22pf 미만)를 그림 20에 표시된 1차측 또는 2차측 권선(100pf 미만)에 걸쳐 직렬 연결하면 전도/방사 EMI를 줄이는 데 도움이 될 수 있습니다. 그러나 값이 클 경우에는 무부하 소비량이 증가합니다.
5. 커먼 모드 노이즈를 충분히 줄이려면 일반적으로 파워 서플라이 입력에 커먼 모드 초크가 필요합니다. 단, 트랜스포머에서 실드 권선을 사용해도 동일한 성능을 얻을 수 있습니다. 또한 실드 권선은 입력 시 커먼 모드 필터 인덕터와 함께 사용하여 전도성 및 방사 EMI를 개선하는 데 사용할 수 있습니다.
6. SR MOSFET RC 스너버 부품값을 조절하면 고주파 방사 및 전도된 EMI를 줄이는 데 도움이 됩니다.
7. Differential 인덕터 및 커패시터로 구성된 pi-filter 를 입력 정류 회로에 사용하여 저주파수 differential EMI를 줄일 수 있습니다. 그림 20에 나와 있는 것처럼 페라이트 비드를 추가하여 최소한의 비용으로 EMI 마진을 더욱 개선할 수 있습니다.
8. Differential 인덕터에 걸쳐 저항을 사용하면 10MHz를 넘는 EMI를 줄일 수 있는 Q factor를 감소시킵니다. 그러나 이로 인해 5MHz 미만의 EMI가 약간 높아질 수 있습니다.
9. 파워 서플라이 출력단에 연결된 1μF 세라믹 커패시터는 방사 EMI를 줄이는 데 도움이 될 수 있습니다.
10. 바이어스 정류기(D_{BIAS})처럼 느린 다이오드(예: $250ns < t_{RR} < 500ns$)는 일반적으로 20MHz를 넘는 전도 EMI 및 30MHz를 넘는 방사 EMI를 줄이는 데 적합합니다.

ESD 내성을 늘리기 위한 권장사항

1. 1차측과 2차측 회로 사이에 충분한 거리(8mm 이상)를 유지해야 합니다(특히 InSOP 패키지와 트랜스포머 아래에).
 - a. InSOP 패키지 근처 또는 사이에 스파크 갭을 배치하지 않는 것이 좋습니다.
2. 두 개의 스파크 갭을 사용하여 2차측 단자(출력 리턴 및 양극)와 퓨즈 뒤의 AC 입력 중 하나에 연결하십시오(그림 21 참조). 이러한 구성에서 5.4mm 이상의 스파크 갭은 안전 규격에 적용할 수 있는 연면거리 및 공간거리 요구 사항을 충족하는 데 충분합니다.
 - a. USB 커넥터가 있는 애플리케이션의 경우, 커넥터의 다리에 연결된 PCB를 플로팅하십시오.
3. 스파크 갭을 커먼 모드 초크 또는 인덕터에 걸쳐 사용하여 ESD 또는 커먼 모드 서지로 인해 높은 에너지 방전에 대한 낮은 임피던스 경로를 제공하십시오.
4. Y 커패시터를 사용하여 양극 또는 음극 출력 단자로부터 입력 벌크 커패시터의 양극 단자 또는 퓨즈 뒤의 AC 입력에 연결하십시오.
5. 애플리케이션 노트에서 올바른 레이아웃 사례를 활용하고 PCB 레이아웃 권장사항을 따르십시오.
6. 바이어스와 2차측 권선 사이에 다중 레이어 테이프를 적용하고, 2차측과 1차측 권선 사이에도 적용하십시오.

열관리를 위한 고려사항

SOURCE 핀은 IC 리드 프레임과 내부적으로 연결되며 디바이스의 열을 방출하는 주 경로가 됩니다. 따라서 SOURCE 핀은 단일 지점 그라운드 및 히트싱크 역할을 하도록 IC 아래의 동판 영역에 연결해야 합니다. 이 영역은 노이즈가 없는 소스 노드에 연결되기 때문에 EMI 문제를 야기하지 않고 IC의 좋은 방열을 위해 이 영역을 최대화해야 합니다. 출력 SR MOSFET도 마찬가지로, 열이 방출되는 패키지의 핀에 연결되는 PCB 영역을 최대화하십시오.

IC 온도를 최대 절대 제한값 아래로 안전하게 유지하려면 보드에 충분한 동판 영역을 제공해야 합니다. 최대 정격 부하 및 최저 정격 입력 AC 서플라이 전압에서 파워 서플라이를 동작하는 경우(정상 주변 온도에서), IC의 SOURCE 핀이 있는 PCB의 동판 영역은 IC 온도를 90°C 아래로 유지할 수 있을 정도로 넓어야 합니다. 필요에 따라 더 많은 디레이팅을 적용할 수 있습니다.

히트 스프레더

써멀 요구 사항이 엄격한 경우, 그림 23-d에 나와 있는 것처럼 IC를 트랜스포머 가까이 배치하십시오. 이렇게 하면 트랜스포머에서 IC로 전달되는 열이 감소합니다. 노트북 어댑터와 같은 밀폐된 고전력 애플리케이션이나 주위의 온도가 높은 환경에서 사용하는 유사한 애플리케이션의 경우, PCB를 히트싱크로 사용하면 지정된 작동 온도 내에서 IC를 작동하는 데 충분하지 않을 수 있습니다. 따라서 IC를 차갑게 유지하기 위해 메탈 히트 스프레더가 필요할 수 있습니다. 세라믹 재질이 히트싱크로 사용된 경우를 제외하고, 주의를 기울여 안전 제한을 극대화해야 합니다. 히트 스프레더는 히트 스프레더 재질(구리 또는 알루미늄), 절연 강화용 0.4mm의 마일라 패드, IC와 스프레더 간에 더 효과적으로 열을 전달하기 위한 열전도성 패드가 조합된 형태로 구성됩니다.

그림 24에는 InSOP-24D 패키지에 부착된 히트 스프레더를 구현하는 방법과 InnoSwitch3 IC의 1차측 및 2차측 핀 사이의 연면거리를 유지하는 방법에 대한 기본적인 개념이 나와 있습니다.

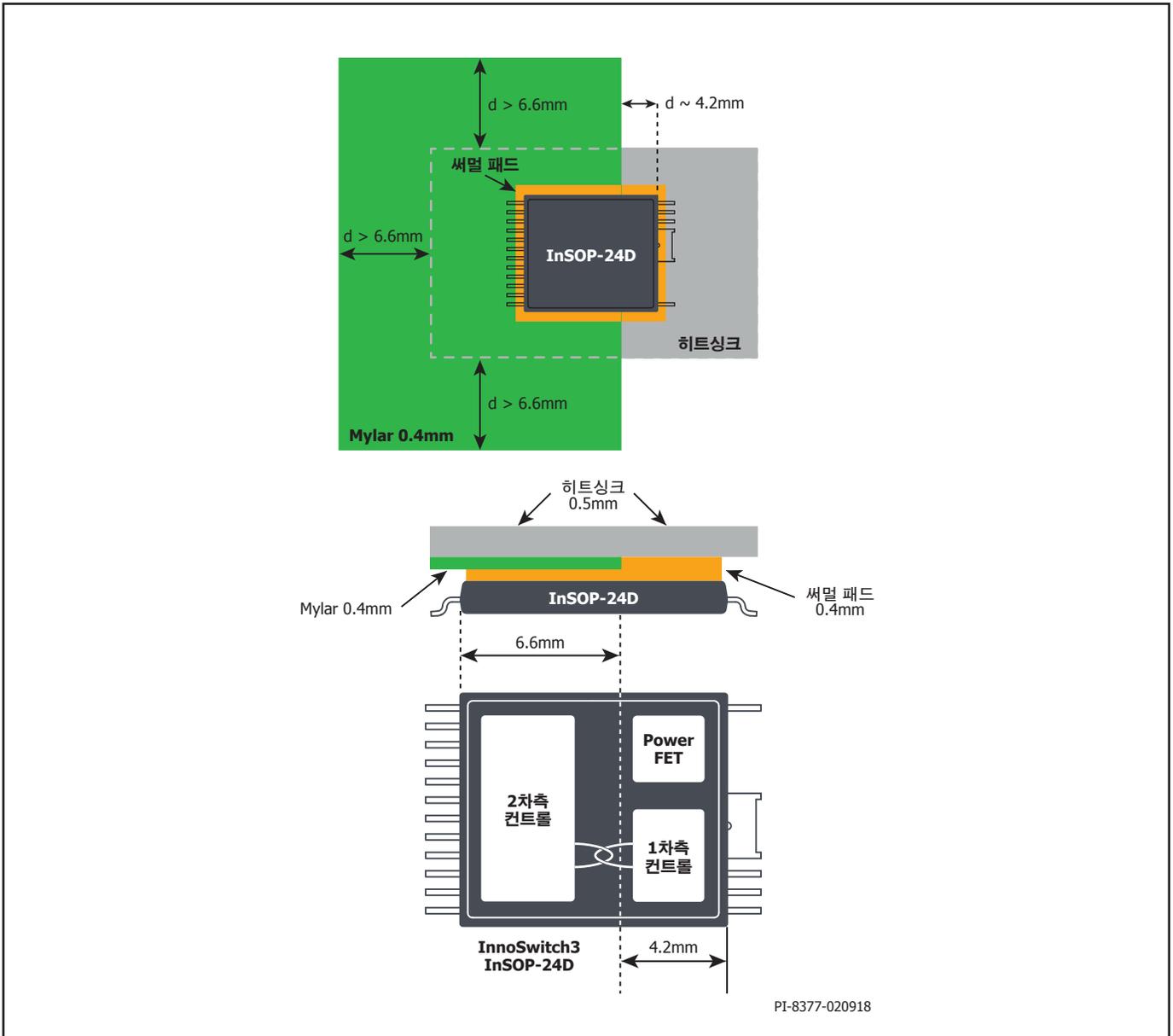


그림 24. InSOP-24D 패키지에 부착된 히트 스프레더를 단순화한 개념도

빠른 설계 체크 리스트

어떤 파워 서플라이를 설계하든 최악의 경우에도 부품의 정격을 초과하지 않는다는 점을 보증하기 위해 모든 InnoSwitch3 설계를 검증해야 합니다. 최소한 다음과 같은 시험을 실시할 것을 강력히 권장합니다:

최대 드레인 전압

- InnoSwitch3 및 SR FET의 V_{DS} 가 정상 동작 및 기동 시 최고 입력 전압 및 최대 (과부하) 출력 전력에서 항복 전압의 90%를 넘지 않는지 검증해야 합니다.

최대 드레인 전류

최고 주위 온도, 최대 입력 전압 및 피크(과부하) 출력 전력에서 측정합니다. 기동 시 나타나는 트랜스포머의 포화 또는 과도한 리딩

및 전류 스파이크의 신호가 드레인 전류 파형에서 나타나는지 확인하십시오. 정상 상태 조건에서 테스트를 반복하고 리딩 및 전류 스파이크가 $t_{LEB(MIN)}$ 의 끝에서 $I_{LIMIT(MIN)}$ 이하인지 확인합니다. 모든 조건에서 1차측 MOSFET의 최대 드레인 전류는 지정된 최대 정격 절대값 이하가 되어야 합니다.

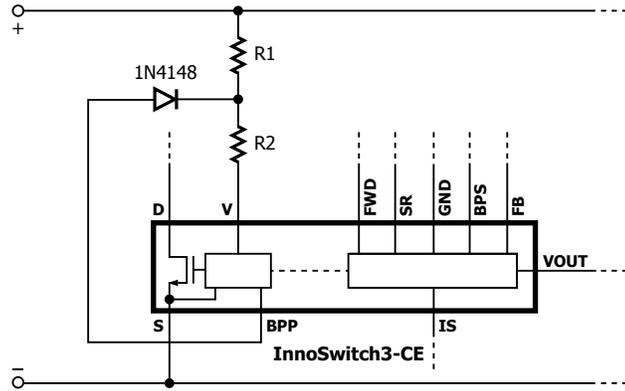
써멀 검사

지정된 최대 출력 전력에서의 최대 입력 전압 및 최대 주변 온도입니다. InnoSwitch3 IC, 트랜스포머, 출력 SR FET, 출력 커패시터의 온도 사양 제한이 초과되지 않았는지 확인합니다. MOSFET $R_{DS(ON)}$ 의 부품간 편차 때문에 충분한 써멀 마진이 필요합니다. 로우 라인, 최대 전력에서 $R_{DS(ON)}$ 편차를 허용하려면 최대 InnoSwitch3 SOURCE 핀 온도 110°C가 권장됩니다.

단순 회로 개념

라인 OV 전용

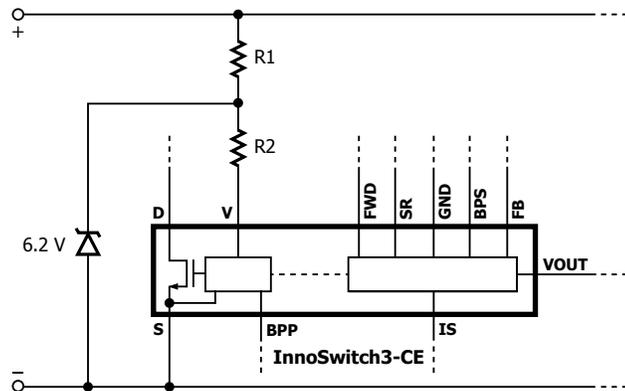
다이오드가 BPP에서 바이어스되며 I_{UV} 이상의 R2를 통해 VOLTAGE 핀에 정전류를 제공하므로, IC의 UV 기능이 비활성화됩니다.



PI-8403-081617

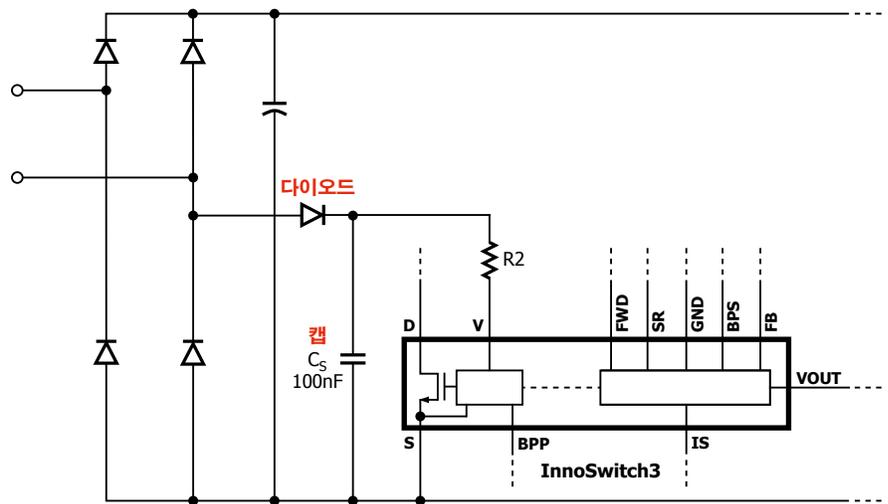
라인 UV 전용

제너 다이오드는 R1-R2 노드의 전압을 클램핑하며 I_{UV} 기준점 이상의 정전압을 제공하므로, IC의 OV 기능을 비활성화합니다.



PI-8404-081617

OV 래치 기능으로 IC에 대한 빠른 AC 리셋
다이오드를 사용하면 VOLTAGE 핀으로 OV/UV 감지에 대한 라인 전압을 모니터링할 수 있습니다. 커패시터는 라인 리플을 필터링할 수 있는 크기로 조정됩니다. VOLTAGE 핀이 충분히 빠르게 방전되어 I_{UV} 기준점 이하로 낮아져 래치를 리셋하려면 C_s 가 작아야 합니다.

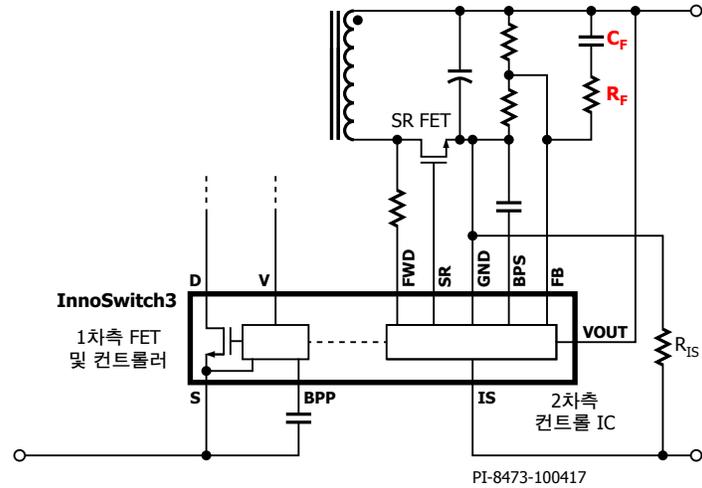


PI-8468-100417

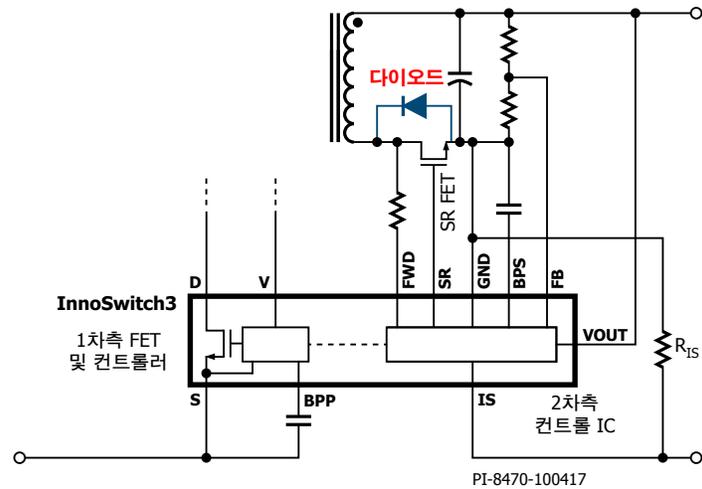
그림 25. 설계를 향상하기 위한 회로 관련 개념

RFB_{UPPER} 전반의 RC 네트워크

낮은 출력 리플 전압이 필요한 일부 애플리케이션의 경우, RC 위상 부스트 네트워크 회로를 상단 피드백 저항과 병렬로 추가하여 피드백 센싱 속도를 높여야 합니다. 적절한 시작 값은 1nF 및 1kΩ입니다.

**SR FET 전반의 다이오드**

SR FET 전반에 걸쳐 쇼트키 다이오드를 입력하면 입력 및 사용된 SR FET에 따라 효율을 0.1~0.2% 더 높일 수 있습니다.

**OUTPUT VOLTAGE-GROUND 핀 전반의 커패시터**

OUTPUT VOLTAGE의 소형 세라믹 커패시터 (최대 10μF)를 GROUND 핀에 넣으면 출력 리플을 줄일 수 있습니다.

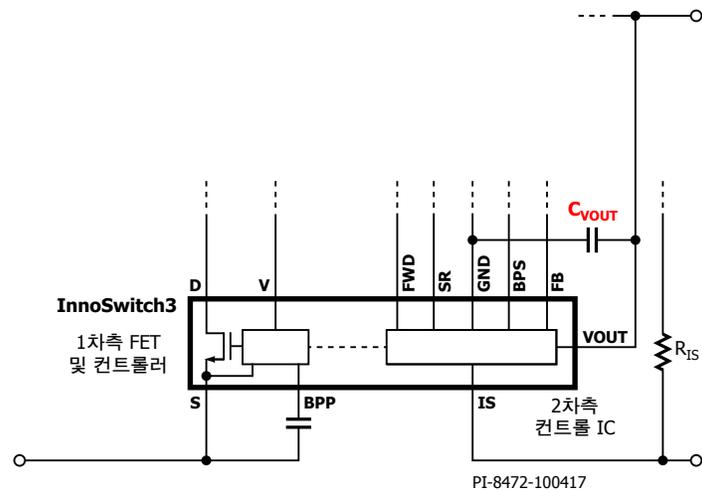
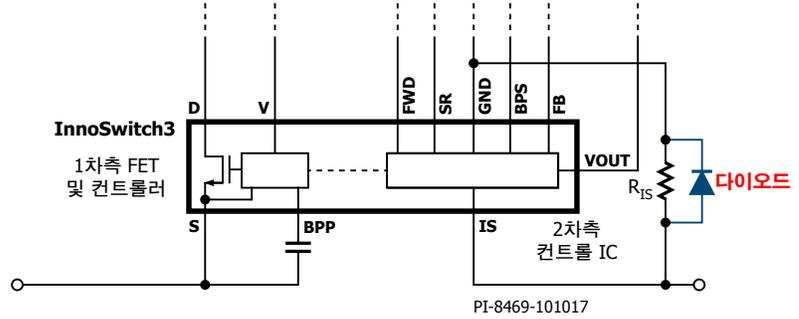


그림 25(계속). 설계를 향상하기 위한 회로 관련 개념

전류 센싱 R_{IS} 전반의 다이오드

전류 센싱 저항(R_{IS}) 전반에 걸쳐 배치된 다이오드(쇼트키 또는 초고속)는 회로 단락이 발생한 동안 매우 높은 전류 및 전압 서지에 대한 바이패스 역할을 하며, 잠재적으로 R_{IS} 를 손상시킬 수 있다. 이는 출력전압과 출력 필터 커패시턴스가 높은 설계의 경우 더 가능성이 높습니다.



전류 센싱 R_{IS} 전반의 커패시터

R_{IS} 이 IC와 멀리 떨어져서 배치된 경우 IS 및 GND 핀 전체에 커패시터(10~100nF)를 넣으면 CC 작동 시 펄스 그룹화(번칭)가 줄어듭니다.

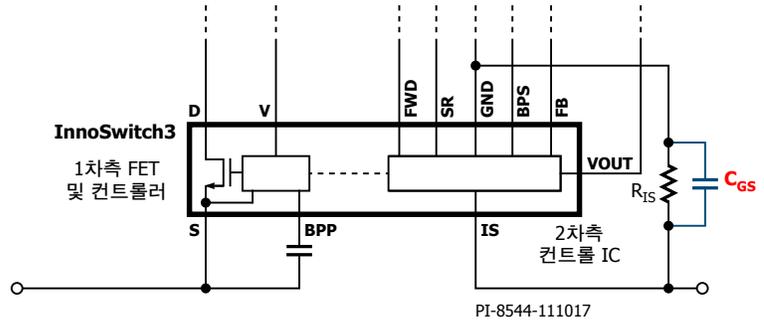


그림 25(계속). 설계를 향상하기 위한 회로 관련 개념

애플리케이션의 예

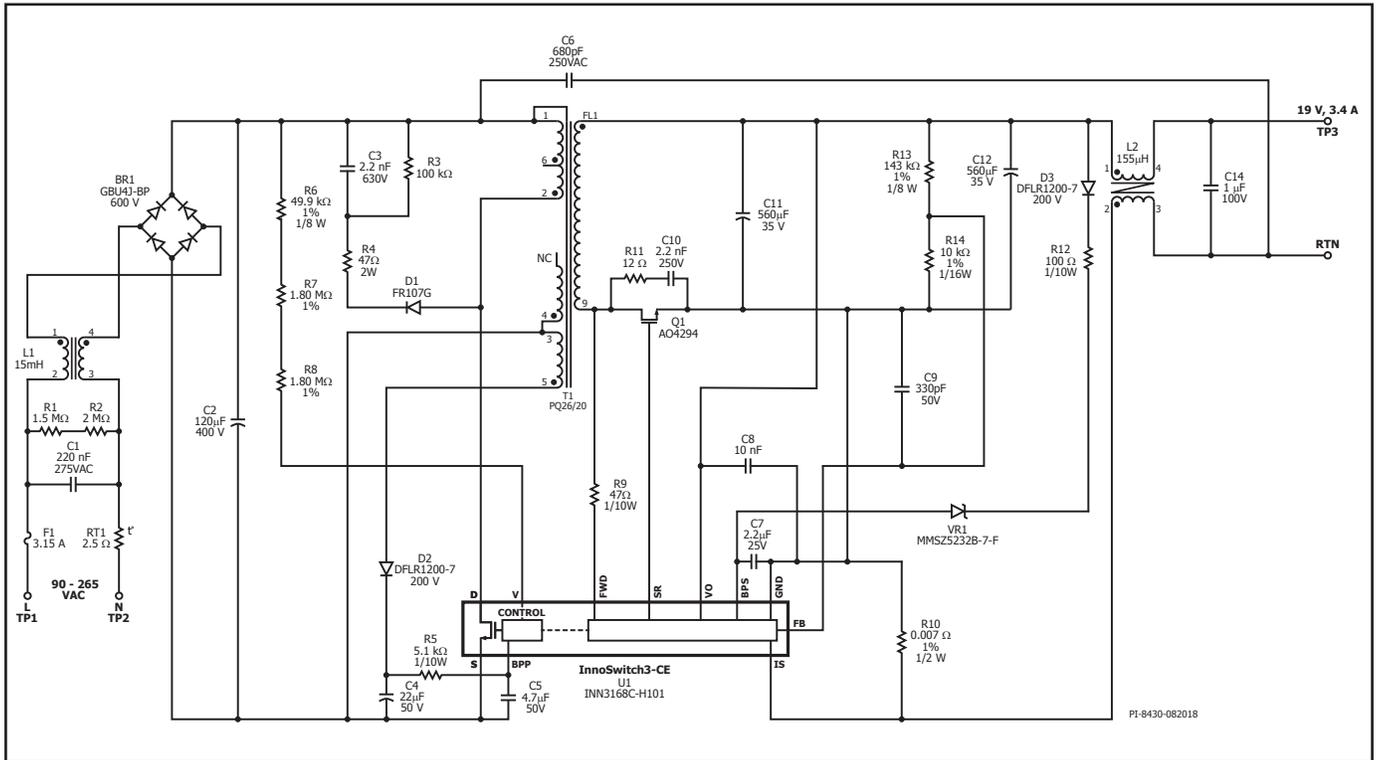


그림 26. INN3168C를 사용하는 DER-535 65W, 19V 파워 서플라이의 회로도

고효율 65W 유니버설 입력 파워 서플라이(InnoSwitch3-CE)

그림 26에 나와 있는 회로는 INN3168C를 사용하여 90VAC~265VAC 입력에서 90% 평균 효율보다 높은 65W(3.4A에서 19V)를 제공합니다.

블리딩 저항 R1 및 R2를 사용하여 C1에 저장된 에너지를 방전시켜 안전 요구 사항을 충족할 수 있도록 합니다. 입력 커패시터 C2는 90VAC 입력에서 최대 출력 전력 제공을 유지하기에 충분하며, 저항 R6, R7, R8은 라인 전압 센싱을 제공합니다. 약 100V DC에서는 이 저항에 흐르는 전류가 라인 저전압 기준점을 초과하여 U1을 활성화합니다. 약 420V DC에서는 이러한 저항에 흐르는 전류가 라인 과전압 기준점을 초과하여 U1을 비활성화합니다. D1, R3, R4 및 C3으로 구성된 저가의 RCD 클램프는 트랜스포머 누설 리액턴스와 출력 패턴 인덕턴스의 상호 작용에 의해 발생하는 피크 드레인 전압을 제한합니다.

INN3168C의 2차측은 출력 전압 및 출력 전류 감지 기능을 제공하고, 동기 정류 MOSFET를 동작시키기 위한 구동력을 제공합니다. 19V 출력에 대한 출력 정류는 SR FET Q1을 통해 이루어집니다. 매우 낮은 ESR 커패시터 C11 및 C12는 필터링을 제공합니다. Q1의 R11 및 C10으로 구성된 RC 스너버 네트워크는 SR FET에서 트랜스포머 권선의 누설과 2차측 패턴으로 인해 발생한 고주파 링잉을 댐핑합니다. 커패시터 C8은 ESD로부터 U1을 보호합니다. OUTPUT VOLTAGE 핀과 GROUND 핀 사이에 소형 SMD 세라믹 커패시터를 추가하면 ESD 및 서지 보호가 개선됩니다. OVP 센싱 제너 다이오드 VR1은 R12를 통해 2차측 출력 과전압 보호를 제공합니다. 출력 커먼 모드 초크 L2는 고주파 커먼 모드 노이즈를 줄이고 커먼 모드 서지로부터 U1을 보호합니다.

최대 외부 온도에서 최대 부하, 로우 라인에서 작동하는 경우, InnoSwitch3 디바이스를 110°C 이하로 유지하려면 히트 스프레더가 필요합니다.

참고

개정	참고	날짜
A	최초 출시.	10/18

최신 업데이트에 대한 자세한 내용은 당사 웹사이트를 참고하십시오. www.power.com

파워 인테그레이션스(Power Integrations)는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. 파워 인테그레이션스(Power Integrations)는 본 문서에서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. 파워 인테그레이션스(Power Integrations)는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하며 이에 국한되지 않음)을 명백하게 부인합니다.

특허 정보

본 문서에서 설명하는 제품 및 애플리케이션(제품의 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허 또는 파워 인테그레이션스(Power Integrations)에서 출원 중인 미국 및 해외 특허에 포함될 수 있습니다. 파워 인테그레이션스(Power Integrations)의 전체 특허 목록은 www.power.com에서 확인할 수 있습니다. 파워 인테그레이션스(Power Integrations)는 고객에게 www.power.com/ip.htm에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

파워 인테그레이션스(Power Integrations)의 제품은 파워 인테그레이션스(Power Integrations) 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 자세한 정의는 다음과 같습니다.

1. 수명 유지 장치 또는 시스템이란 (i) 신체에 외과적 이식을 목적으로 하거나, (ii) 수명을 지원 또는 유지하고, (iii) 사용 지침에 따라 올바르게 사용되는 경우에도 작동이 실패하여 사용자에게 상당한 부상 또는 사망을 초래할 수 있는 장치 또는 시스템입니다.
2. 핵심 부품이란 부품의 작동이 실패하여 수명 유지 장치 또는 시스템의 작동이 실패하거나, 해당 디바이스 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 장치 또는 시스템에 사용되는 모든 부품입니다.

파워 인테그레이션스(Power Integrations), 파워 인테그레이션스(Power Integrations) 로고, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, SCALE, SCALE-1, SCALE-2, SCALE-3 및 SCALE-iDriver는 Power Integrations, Inc.의 상표이며, 기타 상표는 각 회사의 재산입니다. ©2018, Power Integrations, Inc.

파워 인테그레이션스(Power Integrations) 전 세계 판매 지원 지역

<p>본사 5245 Hellyer Avenue San Jose, CA 95138, USA 본사 전화: +1-408-414-9200 고객 서비스: 전 세계: +1-65-635-64480 북미: +1-408-414-9621 이메일: usasales@power.com</p>	<p>독일(AC-DC/LED 판매) Lindwurmstrasse 114 D-80337 München Germany 전화: +49-89-5527-39100 이메일: eurosales@power.com</p>	<p>이탈리아 Via Milanese 20, 3rd. Fl. 20099 Sesto San Giovanni (MI) Italy 전화: +39-024-550-8701 이메일: eurosales@power.com</p>	<p>싱가포르 51 Newton Road #19-01/05 Goldhill Plaza Singapore, 308900 전화: +65-6358-2160 이메일: singaporesales@power.com</p>
<p>중국(상하이) Rm 2410, Charity Plaza, No. 88 North Caoxi Road Shanghai, PRC 200030 전화: +86-21-6354-6323 이메일: chinasales@power.com</p>	<p>독일(게이트 드라이버 판매) HellwegForum 1 59469 Ense Germany 전화: +49-2938-64-39990 이메일: igbt-driver.sales@power.com</p>	<p>일본 Yusen Shin-Yokohama 1-chome Bldg. 1-7-9, Shin-Yokohama, Kohoku-ku Yokohama-shi, Kanagawa 222-0033 Japan 전화: +81-45-471-1021 이메일: japansales@power.com</p>	<p>대만 5F, No. 318, Nei Hu Rd., Sec. 1 Nei Hu Dist. Taipei 11493, Taiwan R.O.C. 전화: +886-2-2659-4570 이메일: taiwansales@power.com</p>
<p>중국(셴젠) 17/F, Hivac Building, No. 2, Keji Nan 8th Road, Nanshan District, Shenzhen, China, 518057 전화: +86-755-8672-8689 이메일: chinasales@power.com</p>	<p>인도 #1, 14th Main Road Vasanthanagar Bangalore-560052 India 전화: +91-80-4113-8020 이메일: indiasales@power.com</p>	<p>대한민국 RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea 전화: +82-2-2016-6610 이메일: koreasales@power.com</p>	<p>영국 Building 5, Suite 21 The Westbrook Centre Milton Road Cambridge CB4 1YG 전화: +44 (0) 7823-557484 이메일: eurosales@power.com</p>