

# アプリケーション ノート AN-72

## InnoSwitch3 ファミリー

### 設計ガイド

#### はじめに

InnoSwitch™3 デバイスは、高耐圧パワー MOSFET スイッチ、一次側コントローラ、二次側コントローラ、同期整流ドライバ、さらに、安全規格に適合した絶縁性能を持つ革新的な高速磁気結合通信技術を 1 つのデバイスに内蔵しています。絶縁バリアを越えて制御信号を安全かつ確実に伝送する Fluxlink™ が組み込まれているため、従来の電力変換回路のフィードバックループで使用されるフォトカプラが不要になります。これにより、部品数の削減を実現し、フォトカプラフィードバック特有の寿命と信頼性の制約を排除します。InnoSwitch3 集積回路には、可変周波数、可変ピーク電流の制御方式が備わっており、疑似共振スイッチング及び同期整流を併用することで、全負荷範囲にわたって非常に高い変換効率を実現します。このファミリーを使用して、最大出力 65 W の電源に対応します。また、電源の平均効率要求を容易にクリアし、非常に低い無負荷時入力電力及び優れた待機時特性を有する、CV/CC チャージャーなどにも対応します。InnoSwitch3 IC で使用されている Power Integrations の EcoSmart™ 技術は、無負荷時の消費電力をわずか 15 mW に抑制します。このファミリーは、米国エネルギー省 DoE 6、カリフォルニア州エネルギー委員会 (CEC)、ヨーロッパ行動規範などのエネルギー効率基準を満たす必要があるアプリケーションに最適な製品です。

InnoSwitch3 の一次側フライバック コントローラは、DCM、QR、及び CCM のスイッチング動作をシームレスに移行できます。一次側コントローラは、起動回路、周波数ジッター発振器、磁気的に二次側と結合している受信回路、カレント リミット コントローラ、可聴ノイズ低減エンジン、過電圧検出回路、無損失入力電圧検出回路、過熱保護、及び 650 V または 725 V のパワー MOSFET で構成されます。

InnoSwitch3 の二次側コントローラは、磁気的に一次側と結合している送信回路、定電圧 (CV) 及び定電流 (CC) 制御回路、同期整流 MOSFET ドライバ、QR モード回路、及び多くの内蔵保護機能 (出力過電圧保護、過負荷時の電力制限、自動復帰タイプ過熱保護など) で構成されます。

起動時、一次側コントローラは、スイッチング周波数が 25 kHz に制限され、最大プログラム カレント リミットの 70% に制限されます。オートリスタート機能は、過負荷時、短絡時、またはオープンループ異常時のスイッチング MOSFET、トランス、及び出力 SR MOSFET の電力損失を制限します。



- AC 入力電圧範囲及び入力周波数、VAC\_MIN [B3]、VAC\_MAX [B4]、LINEFREQ [B6] を入力します。
- 入力コンデンサ容量、CAP\_INPUT [B7] を入力します。
  - 3  $\mu$ F/W (ユニバーサル (85 ~ 265 VAC) または単一 (100/115 VAC)) の入力。保持時間の要件を満たす必要がない充電器の設計の場合は、2  $\mu$ F/W という値を使用することもできます。
  - 230 VAC または単一 (185 ~ 265 VAC) の入力には、1  $\mu$ F/W を使用します。このセルを空のままにすると、VMIN が 70 V (ユニバーサル入力) または 150 V (単一 230 VAC) の容量値が計算されます。これは多くの場合、最適な入力フィルタ容量値になります。
- 出力電圧の公称値 VOUT を入力します [B8]。
- 希望するケーブル電圧降下補正 PERCENT\_CDC を入力します [B9]。
  - ケーブル補正なしの場合は 0% です。
  - H コードトリムの場合は 1% ~ 6% です。
- 連続出力電流 IOUT を入力します [B10]。
- 効率予測値 EFFICIENCY を入力します [B12]。
  - ユニバーサル入力電圧 (85 ~ 265 VAC) または単一 100/115 VAC (85 ~ 132 VAC) では 0.83、単一 230 VAC (185 ~ 265 VAC) の設計では 0.85 を入力します。最大負荷及び VACMIN で最初のプロトタイプボードの効率を測定した後、結果に応じて数値を調整します。
- 電源エンクロージャ ENCLOSURE を選択します [B14]。
- カレントリミットモード ILIMIT\_MODE を選択します [B19]。
  - 2つのカレントリミット構成 (STANDARD または INCREASED) から選択できます。
- InnoSwitch3 をドロップダウン リストから選択するか、直接入力します [B20]。
- 出力電力、入力電圧、及びアプリケーションに基づいて、テーブル 1 からデバイスを選択します。
  - CV/CC フライバック アプリケーションの場合は InnoSwitch3-CE を選択します。
  - CV/CC フライバック アプリケーション (725 V MOSFET) の場合は InnoSwitch3-EP を選択します。
- 希望する最大負荷時の最大スイッチング周波数 FSWITCHING\_MAX を入力します [B34]。
- 希望する跳ね返り電圧 VOR を入力します [B35]。
- コアタイプ (必要な場合) CORE をドロップダウン メニューから入力します [B63]。
  - 値を入力しない場合は、推奨されるコアサイズが自動的に選択されます [B63]。
  - カスタム コアの場合は CORE CODE を入力します [B64]。コアパラメータは [B65] ~ [B72] です。
- 二次側ターン数を入力します [B88]。

警告が発生した場合は、計算シートの D 列にある指示に従って設計を変更します。

- トランス構造のタブで推奨されているように、トランスを作成します。
- 主要部品を選択します。
- プロトタイプを作成し、必要に応じて設計を繰り返します。推奨値が使用されていた計算シートに測定値を入力します (効率、 $V_{MIN}$  など)。最初の効率予測値は非常に控えめな値です。

## 出力電力テーブル

製品 <sup>3</sup>	230 VAC $\pm$ 15%		85-265 VAC	
	アダプタ <sup>1</sup>	オープンフレーム <sup>2</sup>	アダプタ <sup>1</sup>	オープンフレーム <sup>2</sup>
<b>INN3162C</b>	10 W	12 W	10 W	10 W
<b>INN3163C</b>	12 W	15 W	12 W	12 W
<b>INN3164C</b>	20 W	25 W	15 W	20 W
<b>INN3165C</b>	25 W	30 W	22 W	25 W
<b>INN3166C</b>	35 W	40 W	27 W	36 W
<b>INN3167C</b>	45 W	50 W	40 W	45 W
<b>INN3168C</b>	55 W	65 W	50 W	55 W

注:

- 周囲温度 40°C で測定された、標準的な換気なしの密閉型標準サイズ アダプタでの最小連続電力。最大出力電力は、パッケージ温度を 125 °C 未満にした状態で、設計によって異なります。
- 最小のピーク電力容量。
- パッケージ: InSOP-24D。

## 出力電力テーブル

製品 <sup>3</sup>	230 VAC $\pm$ 15%	85-265 VAC
	ピークまたはオープンフレーム <sup>1,2</sup>	ピークまたはオープンフレーム <sup>1,2</sup>
<b>INN3672C</b>	12 W	10 W
<b>INN3673C</b>	15 W	12 W
<b>INN3674C</b>	25 W	20 W
<b>INN3675C</b>	30 W	25 W
<b>INN3676C</b>	40 W	36 W
<b>INN3677C</b>	45 W	40 W

注:

- 周囲温度 40°C で測定された、標準的な換気なしの密閉型標準サイズ アダプタでの最小連続電力。最大出力電力は、パッケージ温度を 125 °C 未満にした状態で、設計によって異なります。
- 最小のピーク電力容量。
- パッケージ: InSOP-24D。

テーブル 1. InnoSwitch3-CE 及び EP の出力電力テーブル

### ステップバイステップ形式の設計手順

この設計手順では、InnoSwitch3 フライバック電源の設計に必要な主な計算を自動的に実行する、PI Expert 設計ソフトウェア (Power Integrations が提供) を使用します。PI Expert を使用すると、繰り返しの多い一般的な設計プロセスを回避できます。この手順では、設計作業を簡素化するために、ルックアップ テーブル及び実証的設計ガイドラインが適宜提供されます。

設計を繰り返して警告を取り除きます。推奨範囲外のパラメータは、すべて右側の列に記述されているガイダンスに従って修正できます。すべての警告がクリアされたら、出力トランス設計パラメータを使用して、プロトタイプトランスを作成できます。

### ステップ 1 – アプリケーション変数

入力内容: **VIN\_MIN**、**VIN\_MAX**、**LINEFREQ**、**CAP\_INPUT**、**VOUT**、**PERCENT\_CDC**、**IOUT**、**EFFICIENCY**、**FACTOR\_Z**、及び **ENCLOSURE**。

最小及び最大入力電圧、**V\_MIN**、**V\_MAX (VAC)**

特定の地域要件に応じて、テーブル 2 から入力電圧範囲を決定します。

入力周波数、**LINEFREQ (Hz)**

ユニバーサル電圧または単一 100 VAC 入力では 50 Hz、単一 115 VAC 入力では 60 Hz です。単一 230 VAC 入力では 50 Hz です。これらの値は、最小値ではなく標準的な入力周波数を示しています。ほとんどのアプリケーションでは、この値により適切な設計マージン全体が決まります。条件が極めて厳しい場合、または製品の仕様によっては、これらの数値を 6% (47 Hz または 56 Hz) まで低減できます。

入力容量の合計、**CAP\_INPUT (μF)**

指針として、テーブル 3 を使用して総入力容量を入力します。

2	アプリケーション変数					デザイン タイトル
3	VIN_MIN	85		85	V	最小 AC 入力電圧
4	VIN_MAX	265		265	V	最大 AC 入力電圧
5	VIN_RANGE			UNIVERSAL		AC 入力電圧の範囲
6	LINEFREQ			60	Hz	AC 入力電圧周波数
7	CAP_INPUT			40.0	μF	入力コンデンサ
8	VOUT	5.00		5.00	V	基板での出力電圧
9	PERCENT_CDC	0%		0%		最大負荷時に必要なケーブル電圧降下補正の割合 (出力電圧の割合)
10	IOUT	4.00		4.00	A	出力電流
11	POUT			20.00	W	出力電力
12	EFFICIENCY	0.89		0.89		最大負荷時の AC-DC 推定効率 (整流された最小入力 AC 電圧の谷でコンバータがスイッチングする場合)
13	FACTOR_Z			0.50		Z 係数の推定
14	ENCLOSURE	ADAPTER		ADAPTER		電源エンクロージャ

図 2. InnoSwitch3-CE 設計計算シートのアプリケーション変数セクション (灰色はオーバーライドセル)

地域	公称入力電圧 (VAC)	最小入力電圧 (VAC)	最大入力電圧 (VAC)	公称入力周波数 (Hz)
日本	100	85	132	50/60
米国、カナダ	120	90	132	60
オーストラリア、中国、欧州連合諸国、インド、韓国、マレーシア、ロシア	230	185	265	50
インドネシア、タイ、ベトナム	220	185	265	50
ヨーロッパのその他の地域、アジア、アフリカ、南北アメリカ、その他の国	115、120、127	90	155	50/60
	220、230	185	265	50/60
	240	185	265	50

参照先: [https://en.wikipedia.org/wiki/Mains\\_electricity\\_by\\_country](https://en.wikipedia.org/wiki/Mains_electricity_by_country)

テーブル 2. 世界の標準的な入力電圧範囲と入力周波数

	出力電力 (ワット) あたりの合計入力容量 ( $\mu\text{F}/\text{W}$ )	出力電力 (ワット) あたりの合計入力容量 ( $\mu\text{F}/\text{W}$ )
<b>AC 入力電圧 (VAC)</b>	全波整流	
	保持時間の要件があるアダプタ	オープン フレームまたは保持時間の要件がないチャージャー/アダプタ
100/115	3	2
230	1	1
85-265	3	2

テーブル 3. さまざまな入力電圧範囲に対する推奨入力容量合計値

容量は、整流コンデンサにかかる最小及び最大の DC 電圧の計算に使用し、最小 DC 入力電圧  $V_{\text{MIN}} > 70 \text{ V}$  を維持するように選択する必要があります。

#### 公称出力電圧、**VOUT (V)**

最大負荷時におけるメイン出力の公称出力電圧を入力します。通常、メイン出力とはフィードバックされる出力のことです。

#### ケーブル補正、**PERCENT\_CDC (%)**

電源に使用するケーブルに応じて、適切なケーブル補正を選択します。ケーブルを使用しない場合は、デフォルトの 0% を使用します (InnoSwitch3-EP の場合、この機能は使用できません)。

#### 電源出力電流、**IOUT (A)**

電源の最大連続負荷電流です。

#### 出力電力、**POUT (W)**

計算値で、選択したケーブル補正に基づいて自動的に調整されます。

#### 電源効率、**EFFICIENCY ( $\eta$ )**

ピーク負荷条件及び入力の最悪条件 (通常は最低入力電圧) において入力及び出力端子で測定した、電源全体のエネルギー効率の推定値を入力します。次のテーブルを基準として使用できます。プロトタイプを作成したら、測定した効率を入力します。必要に応じて、更にトランス設計を繰り返します。

#### 電源損失分配係数、**FACTOR\_Z**

この係数は、電源の一次と二次の間の損失分配を表します。Z 係数を効率とともに使用して、パワー ステージで供給される必要がある実際の電力を決定します。たとえば、入力段 (EMI フィルタ、整流器など) での損失によって電源効率は下がりますが、パワー ステージ (トランスによって伝送) とは無関係であり、トランス設計に影響することはありません。

$$Z = \frac{\text{Secondary Losses}}{\text{Total Losses}}$$

ピーク電力要件のない設計の場合は、値 0.5 を推奨します。ピーク電力要件のある設計の場合は、値 0.65 を入力します。数値が大きいくほど、二次側の損失が大きくなります。

#### エンクロージャ

選択するデバイスは、アプリケーション環境によっても異なります。動作周囲温度が密閉型アダプタの場合よりも低いオープン フレーム アプリケーションについては、PIXIs で同じ出力電力に対してより小型のデバイスが提案されます。

効率もまた、出力電力に影響します。低電力設計の場合に最も可能性の高い効率は 84% ~ 85% 程度ですが、同期整流 (SR) を使用する場合は、通常、90% に達します。

公称出力電圧 ( <b>VOUT</b> )	通常の高電圧範囲		通常のコニバーサル範囲		通常の低電圧範囲	
	185 VAC ~ 265 VAC		85 VAC ~ 265 VAC		85 VAC ~ 132 VAC	
	ショットキー ダイオード整流	同期整流	ショットキー ダイオード整流	同期整流	ショットキー ダイオード整流	同期整流
5	0.84	0.87	0.84	0.88	0.84	0.87
12	0.86	0.90	0.86	0.90	0.86	0.90

テーブル 4. 出力ケーブルなしの推定効率

## ステップ 2 – 一次側コントローラの選択

入力内容: デバイス カレント リミット モード、**ILIMIT** 及び汎用デバイス  
コード、**DEVICE\_GENERIC**

18	一次側コントローラ選択					
19	ILIMIT_MODE	STANDARD		STANDARD		デバイス カレント リミット モード
20	DEVICE_GENERIC	自動		INN31X5		汎用デバイス コード
21	DEVICE_CODE			INN3165C		実際のデバイス コード
22	POUT_MAX			22	W	放熱性に基づくデバイスの電力容量
23	RDSON_100DEG			3.47	Ω	一次側 MOSFET のオンタイム ドレイン抵抗 (100°C)
24	ILIMIT_MIN			0.88	A	一次側 MOSFET の最小カレント リミット
25	ILIMIT_TYP			0.95	A	一次側 MOSFET の標準カレント リミット
26	ILIMIT_MAX			1.02	A	一次側 MOSFET の最大カレント リミット
27	VDRAIN_BREAKDOWN			650	V	デバイスのブレイクダウン電圧
28	VDRAIN_ON_MOSFET			0.87	V	一次側 MOSFET のオンタイム ドレイン電圧
29	VDRAIN_OFF_MOSFET			508.4	V	ターンオフ時の一次側 MOSFET のピーク ドレイン電圧

図 3. InnoSwitch3-CE 設計計算シートの一次側コントローラの選択とカレント リミット モード選択

汎用デバイス コード、**DEVICE\_GENERIC**

入力電圧範囲、最大出力電力、及びアプリケーション (アダプタまたはオープンフレーム) に基づいて、デフォルト オプションが自動的に選択されます。

デバイス サイズを手動で選択する場合は、データ シートの InnoSwitch3 電力テーブルを参照し、ピーク出力電力に基づいてデバイスを選択してください。次に、連続電力を電力テーブルのアダプタ列番号と比較するか (電源が完全密閉タイプの場合)、オープンフレーム列と比較します (電源がオープンフレーム設計の場合)。連続電力が電力テーブル (テーブル 1) に指定されている値を超える場合は、次に大きなデバイスを選択する必要があります。同様に、連続電力が電力テーブルに指定されている最大アダプタ電力に近い場合は、プロトタイプで測定した放熱特性に基づいて、より大きなデバイスに切り替える必要がある場合もあります。

デバイス カレントリミット モード、**ILIMIT\_MODE**

放熱特性がそれほど厳しくなく (オープンフレーム アプリケーションなど)、低コストが重要な要件となっている設計の場合は、ILIMIT MODE で INCREASED カレントリミット モードを選択できます。その場合、デバイス

のピーク電流が、次に大きなデバイスのカレントリミットと同等に設定され、より高い出力電力が可能になります。デフォルトでは、ILIMIT が STANDARD に設定されます。

オンタイム ドレイン電圧、**VDRAIN\_ON\_MOSFET (V)**

このパラメータは、RDSON\_100DEG 及び一次側 RMS 電流に基づいて計算されます。

ドレイン ピーク電圧、**VDRAIN\_OFF\_MOSFET (V)**

このパラメータは、オフタイム時にデバイスで検出される想定ドレイン電圧です。この計算では、内部 MOSFET のブレイクダウン電圧定格から 10% の最小マージンを想定し、これを超えた場合は警告を発生します。

$$VDRAIN < (VIN\_MAX * 1.414) + VOR + VLK_{PRI} - (BV_{DSS} \times 10\%)$$

VLK<sub>PRI</sub> は、MOSFET がオフのときにトランスの漏れインダクタンスによって引き起こされる電圧です。

その他の電気的パラメータは、データ シートに基づいて表示されます (**RDSON\_100DEG**, **ILIMIT\_MIN**, **ILIMIT\_TYP**, **ILIMIT\_MAX**, **VDRAIN\_BREAKDOWN**)。

## ステップ 3 – 最悪条件の電氣的パラメータ

入力内容: FSWITCHING\_MAX、VOR 及び LPRIMARY\_TOL、または VMIN

33	最悪条件の電氣的パラメータ					
34	FSWITCHING_MAX	80000		80000	Hz	最大負荷及び整流後の最小 AC 入力谷電圧時の最大スイッチング周波数
35	VOR			65.0	V	一次側 MOSFET のターンオフ時に一次側に跳ね返る二次側電圧
36	VMIN			85.95	V	最大電力時の整流後の最小 AC 入力谷電圧
37	KP			0.66		連続/不連続動作モードの尺度
38	MODE_OPERATION			CCM		動作モード
39	DUTYCYCLE			0.433		一次側 MOSFET デューティ サイクル
40	TIME_ON			7.46	uS	一次側 MOSFET の ON 時間
41	TIME_OFF			7.09	uS	一次側 MOSFET の OFF 時間
42	LPRIMARY_MIN			805.6	uH	最小一次側インダクタンス
43	LPRIMARY_TYP			830.5	uH	標準一次側インダクタンス
44	LPRIMARY_TOL	3.0		3.0	%	一次側インダクタンス公差
45	LPRIMARY_MAX			855.4	uH	最大一次側インダクタンス
46						
47	一次電流					
48	IPEAK_PRIMARY			0.95	A	一次側 MOSFET のピーク電流
49	IPEDESTAL_PRIMARY			0.30	A	一次側 MOSFET の電流
50	Iavg_PRIMARY			0.25	A	一次側 MOSFET の平均電流
51	IRIPPLE_PRIMARY			0.76	A	一次側 MOSFET のリップル電流
52	IRMS_PRIMARY			0.41	A	一次側 MOSFET の RMS 電流
53						
54	二次電流					
55	IPEAK_SECONDARY			12.24	A	二次側巻線ピーク電流
56	IPEDESTAL_SECONDARY			3.79	A	二次側巻線電流ベダスタル
57	IRMS_SECONDARY			6.44	A	二次側巻線 RMS 電流

図 4. InnoSwitch3-CE 設計計算シートの最悪条件の電氣的パラメータ セクション (灰色はオーバーライドセル)

#### スイッチング周波数、FSWITCHING\_MAX (Hz)

このパラメータは、最大負荷時の整流された最小 AC 入力電圧でのスイッチング周波数です。通常動作時の InnoSwitch3 の最大スイッチング周波数は 100 kHz で、標準の過負荷検出周波数は 110 kHz です。通常の動作条件では、最大負荷時のスイッチング周波数が過負荷検出周波数に近くなるように注意してください。

プログラミング可能なスイッチング周波数の範囲は 25 ~ 95 kHz ですが、一次側インダクタンスとピーク電流の公差による平均周波数が、110 kHz を超えないようにする必要があります。この値を超えると、過負荷によるオートリスタートがトリガーされます。トランスサイズの小型化のために周波数を高くすることは可能ですが、テーブル 5 は、内部高耐圧 MOSFET のサイズに基づき、デバイス損失全体 (導通損失とスイッチング損失) の最良のバランスをとる推奨周波数を示します。

#### 跳ね返り電圧 VOR (V)

このパラメータは、ダイオードまたは同期整流 MOSFET (SR FET) の導通時間内にトランスの巻線数に比例して一次側に跳ね返ってくる二次巻線電圧です。テーブル 6 は、VOR の推奨値を示しています。一次側 MOSFET のドレイン - ソース間電圧を十分に低くしながら、トランス及び SR FET の

InnoSwitch3 ファミリー	最大スイッチング周波数
INN3xx2C 及び INN3xx3C	85 ~ 90 kHz
INN3xx4C 及び INN3xx5C	80 kHz
INN3xx6C	75 kHz
INN3xx7C	70 kHz
INN3xx8C	65 kHz

テーブル 5. 推奨する最大スイッチング周波数

設計ルールに違反しないように、VOR を調整します。また、計算シートの警告が発生しないように必要に応じて VOR を調整します。設計を最適化するため、次の事項を考慮してください。

- VOR を大きくすると、VMIN での電力供給が増大します。その場合、入力コンデンサの値は最小になり、電力供給は最大になります。

- VOR を大きくすると、出力ダイオード及び SR FET にかかる電圧ストレスが低減し、場合によっては、より低い電圧定格で効率を高めることができます。
- VOR を大きくすると、漏れインダクタンスが大きくなり、電源効率が低下します。
- VOR を大きくすると、二次側のピーク電流と RMS 電流が増大します。これにより、二次側の銅損、ダイオード損失、及び SR FET 損失が大きくなり、効率が低下する場合があります。

このガイダンスには例外があることに注意してください。特に、非常に高い出力電流では、効率を最大にするため VOR を小さくする必要があります。高出力電圧 (15 V を超える) の場合は、VOR を大きくして、出力 SR FET の許容できるピーク逆電圧 (PIV) を維持する必要があります。

最適な VOR 値はアプリケーションによって異なり、前述の要素を考慮して、決定します。

出力電圧	推奨 VOR 値	推奨範囲
5 V	55 V	45 V ~ 60 V
9 V	85 V	80 V ~ 90 V
12 V ~ 20 V	110 V	100 V ~ 120 V

テーブル 6. VOR の推奨値

動作モード、 $K_p$

$K_p$  は、スイッチング モードが不連続か連続かの尺度です。 $K_p > 1$  の場合は不連続動作 (DCM)、 $K_p < 1$  の場合は連続動作 (CCM) を意味します。

リップル/ピーク電流比、 $K_p$

値が 1 以下 (連続モード) の場合、 $K_p$  は一次電流のピークに対するリップルの比率です (図 5)。

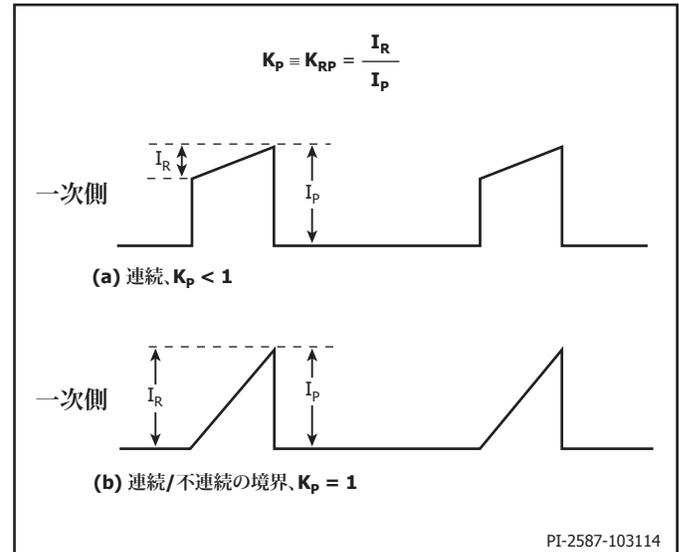


図 5. 連続モードでの電流波形、 $K_p \leq 1$

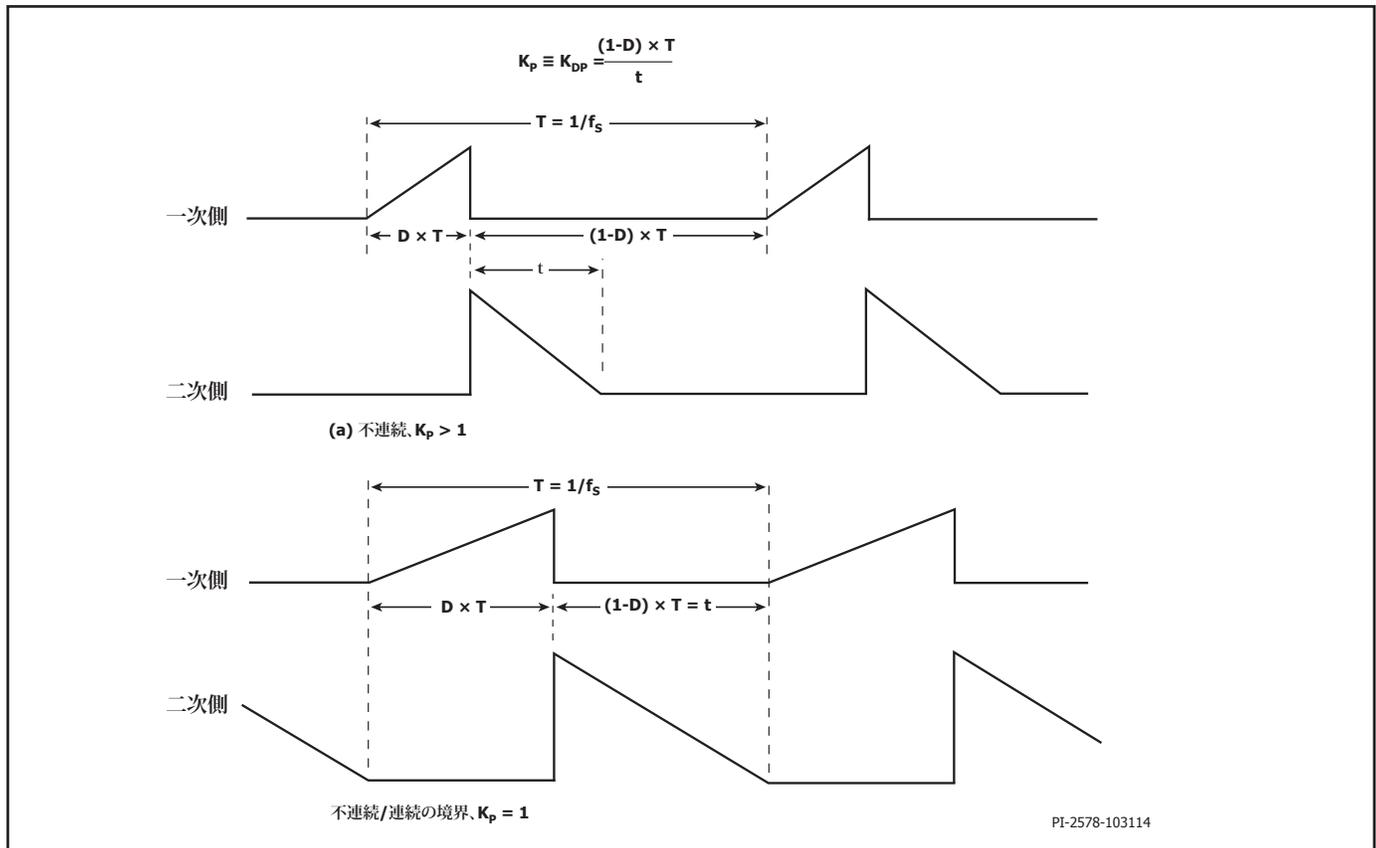


図 6. 不連続モードでの電流波形、 $K_p \geq 1$

$$K_P \equiv K_{RP} = \frac{I_R}{I_P}$$

値が 1 以上 (不連続モード) の場合、 $K_P$  は二次 SR\_FET 導通時間に対する一次 MOSFET のオフ時間の比率です。

$$K_P \equiv K_{DP} = \frac{(1-D) \times T}{t} \\ = \frac{V_{OR} \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

$K_P$  の値は、 $0.5 < K_P < 6$  の範囲であることが必要です。 $K_P$  の値がこの範囲外である場合は、コメントのセルにガイダンスが表示されます。

経験的に、 $K_P$  の値が 0.8 ~ 1 の場合は DCM または臨界モード (CRM) 動作になることによって、効率が高くなります。これは、充電器の設計で求められることがあります。

計算シートでは、これらのパラメータの選択状況に基づいて、その設計の一次側ピーク電流、一次側 RMS 電流、一次側リップル電流、一次側平均電流、及び最大デューティ サイクルの各値が計算されます。

一次側インダクタンス通常値、**LPRIMARY\_TYP** ( $\mu\text{H}$ )  
トランスの一次側インダクタンスのターゲット (標準値) です。

#### 一次側インダクタンス公差、**LPRIMARY\_TOL** (%)

このパラメータは、想定される一次側インダクタンスの公差です。デフォルト値は 7% が使用されますが、トランスのベンダーから特定の情報が提供される場合は、灰色のオーバーライド セルに入力することもあります。値を 7% にするとユニット間のバラつきを軽減でき、ほとんどの磁気部品ベンダーは対応可能です。値を 3% にすると製造公差を更に改善できますが、ベンダーの対応がより困難になります。

その他の重要な電氣的パラメータは、計算シートで自動的に計算されます。これらの値を使用して、入力ヒューズ ( $F_R$ ) と EMI フィルタ ( $L_F$ )、ブリッジ整流器 ( $B_{RD}$ )、出力整流器 ( $SR_{FET}$ )、コンデンサ ( $C_{OUT}$ ) など、回路内の他の部品を適切に選択できます (図 1 を参照)。

#### 一次電流

IPEAK\_PRIMARY – 一次側ピーク電流  
IPEDESTAL\_PRIMARY – 一次側 MOSFET 電流ペDESTAL (CCM モード)  
IAVG\_PRIMARY – 一次側 MOSFET 平均電流  
IRIPPLE\_PRIMARY – 一次側 MOSFET リップル電流  
IRMS\_PRIMARY – 一次側 MOSFET RMS 電流

#### 二次電流

IPEAK\_SECONDARY – ピーク二次側電流  
IPEDESTAL\_SECONDARY – 二次側巻線電流ペDESTAL  
IRMS\_SECONDARY – 二次側巻線 RMS 電流

#### 整流後の入力電圧最小値、**VMIN**

最大電力時の整流後の AC 入力 の谷電圧は、入力容量 (CAP\_INPUT) に基づいて計算されます。

ステップ 4 – トランス構造パラメータ

入力内容: **CORE, AE, LE, AL, VE, BOBBIN, AW, BW, MARGIN**

最大出力電力に基づいて、コアとボビンを選択します。

61	トランス構造パラメータ				
62	<b>CORE SELECTION</b>				
63	CORE	RM6	情報	RM6	トランス巻線が収まらない可能性があります。 より大きなコアまたはボビンを選択してください。 (適合計算についてはトランス パラメータのタブを参照)
64	CORE CODE			PC95RM06Z	コア コード
65	AE			37.00	mm <sup>2</sup> コア断面積
66	LE			29.20	mm コア磁路長
67	AL			2150	nH/turns <sup>2</sup> ギャップなしコア実効インダクタンス
68	VE			1090.0	mm <sup>3</sup> コアの体積
69	BOBBIN			B-RM06-V	ボビン
70	AW			15.52	mm <sup>2</sup> ボビンの巻線領域
71	BW			6.20	mm ボビンの幅
72	MARGIN			0.0	mm 安全マージン幅 (一次から二次までの沿面距離の半分)
73					
74	<b>PRIMARY WINDING</b>				
75	NPRIMARY			77	一次側巻線数
76	BPEAK			3125	ガウス ピーク磁束密度
77	BMAX			2844	ガウス 最大磁束密度
78	BAC			933	ガウス AC 磁束密度
79	ALG			140	nH/turns <sup>2</sup> 標準のギャップ コア実効インダクタンス
80	LG			0.310	mm コア ギャップ長
81	LAYERS_PRIMARY	4		4	一次側巻線層数
82	AWG_PRIMARY			30	AWG 一次側巻線 AWG
83	OD_PRIMARY_INSULATED			0.303	mm 一次側巻線の皮膜を含む外径
84	OD_PRIMARY_BARE			0.255	mm 一次側巻線の皮膜を含まない外径
85	CMA_PRIMARY			248	Cmil/A 一次側巻線 CMA
86					
87	<b>SECONDARY WINDING</b>				
88	NSECONDARY	6		6	二次側巻線数
89	AWG_SECONDARY			19	AWG 二次側巻線 AWG
90	OD_SECONDARY_INSULATED			1.217	mm 二次側巻線の皮膜を含む外径
91	OD_SECONDARY_BARE			0.912	mm 二次側巻線の皮膜を含まない外径
92	CMA_SECONDARY			216	Cmil/A 二次側巻線 CMA
93					
94	<b>BIAS WINDING</b>				
95	NBIAS			15	バイアス巻線数

図 7. InnoSwitch3 PIXLs 計算シートのトランス コアと構成に関する変数セクション

コア タイプ、CORE

デフォルトでは、コア タイプのセルが空の場合、計算シートでは、指定の連続 (平均) 出力電力に適した、一般的に使用されている最小のコアが選択されます。ユーザーが希望するコアでない場合は、ドロップダウン リストか

ら別のコア タイプ及びサイズを選択できます。灰色のオーバーライド セル (AE, LE, AL, VE, AW, 及び BW) を使用して、製造元のデータ シートから直接、コアとボビンのパラメータを入力できます。

75 kHz の出力電力	コア及びボビン テーブル								
	コア	コード	コア				ボビン		
			AE (mm <sup>2</sup> )	LE (mm)	AL (nH/T <sup>2</sup> )	VE (mm <sup>3</sup> )	コード	AW (mm <sup>2</sup> )	BW (mm)
0 W ~ 10 W	EE10	PC47EE10-Z	12.1	26.1	850	300	B-EE10-H	12.21	6.60
0 W ~ 10 W	EE13	PC47EE13-Z	17.1	30.2	1130	517	B-EE13-H	18.43	7.60
0 W ~ 10 W	EE16	PC47EE16-Z	19.2	35.0	1140	795	B-EE16-H	14.76	8.50
0 W ~ 10 W	EE19	PC47EE19-Z	23.0	39.4	1250	954	B-EE19-H	29.04	8.80
10 W ~ 20 W	EE22	PC47EE22-Z	41.0	39.4	1610	1620	B-EE22-H	19.44	8.45
10 W ~ 20 W	EE25	PC47EE25-Z	41.0	47.0	2140	1962	B-EE25-H	62.40	11.60
20 W ~ 50 W	EE30	PC47EE30-Z	111.0	58.0	4690	6290	B-EE30-H		13.20
0 W ~ 10 W	RM5	PC95RM05Z	24.8	23.2	2000	574	B-RM05-V		4.90
10 W ~ 20 W	RM6	PC95RM06Z	37.0	29.2	2150	1090	B-RM06-V		6.20
20 W ~ 30 W	RM8	PC95RM08Z	64.0	38.0	5290	2430	B-RM08-V	30.00	8.80
30 W ~ 50 W	RM10	PC95RM10Z	96.6	44.6	4050	4310	B-RM10-V		10.00

テーブル 7. 一般的な設計に使用できる、標準のコア及び電力レベル

#### 安全マージン、MARGIN (mm)

一次側と二次側を安全に絶縁する必要があり、3 層絶縁電線を使用しない場合、ボビンの各側で使用される安全マージンの幅をここに入力します。ユニバーサル (85 ~ 265 VAC) 入力電圧の場合、通常はマージン合計 6.2 mm が必要であり、3.1 を計算シートに入力します。垂直置ききのボビンではマージンは左右対称でなくて構いませんが、マージン合計 6.2 mm が必要な場合は、物理的なマージンがボビンの片側にしかなくても同様に 3.1 を入力します。3 層絶縁電線を使用する設計であっても、必要な安全沿面距離を確保するために小さいマージンを入力する必要がある場合もあります。通常、各コア サイズに対していくつかのボビンが存在し、機械的に占める空間はそれぞれ異なります。必要な個々のマージンについては、ボビンのデータシートを参照するか、または専門家に相談ください。

マージン幅により巻線に使用できる面積が減少するため、コア サイズが小さい場合には、マージン構造が適切でない場合があります。マージンの入力後に 3 層を超える一次側層数が必要になった場合は、より大きなコアを選択するか、3 層絶縁電線を使用するゼロ マージン手法の設計に切り替えることを推奨します。

#### 一次側巻線数、NPRIMARY

VOR 及び二次側巻線数に基づいて計算された、トランスのメイン巻線の巻線数です。

#### ピーク磁束密度、BPEAK (ガウス)

ピーク磁束密度は、最大カレントリミット及び 132 kHz 動作に制限するため、最大値 3800 ガウスを推奨します。出力短絡状態では出力電圧が低く、MOSFET のオフ時間の間にトランスがリセットされることがほとんどありません。そのため、トランスの磁束密度が通常の動作レベルを超えて階段状に増加します。選択したデバイスの最大カレントリミットで 3800 ガウスという値を設定することで、InnoSwitch3 内蔵の保護機能と合わせて、出力短絡状態でのコアの飽和を防ぐことができる十分なマージンを確保できます。

#### 最大磁束密度、BMAX (ガウス)

軽負荷状態による低周波動作で、ロング コアを使用している場合は特に、トランスで可聴ノイズが発生することがあります。可聴ノイズの発生を抑制するには、最大コア磁束密度が 3000 ガウス (300 mT) 未満になるようにトランスを設計する必要があります。このガイドラインに従い、標準のトランス製造技術である浸漬ワニス処理を行うことで、実用上の可聴ノイズをゼロにできます。設計を承認する前に、トランスの量産サンプルを使用して可聴ノイズ特性を慎重に評価する必要があります。

#### AC 磁束密度、BAC (ガウス)

BAC 値を使用してコア損失を計算できます。

#### ギャップ コア実効インダクタンス、ALG: (nH/N<sup>2</sup>)

CORE GAP [LG] の指定に使用します。

#### 一次側巻線層数、LAYERS\_PRIMARY

デフォルトでは、オーバーライド セルが空の場合は 3 層が想定されます。一次側巻線層数は  $1 \leq L \leq 3$  の範囲である必要があります。また、通常、強制空冷なしの設計の場合は、一次側巻線の電流量はガイドラインの 200 ~ 500 Cmil/A を満たす必要があります。一次側巻線ゲージ AWG\_PRIMARY はセル [E82] で計算されます。3 層を超える設計も可能ですが、漏れインダクタンスの増加と、巻線の物理的スペースを検討する必要があります。漏れインダクタンスによるクランプの消費電力が大きすぎる場合は、一次側を分割構造にすると効果があります。この手法では、一次巻線の半分を、二次巻線及びバイアス巻線のどちらかの側に、二次巻線及びバイアス巻線を挟むように配置します。

#### 一次側巻線ゲージ、AWG\_PRIMARY (AWG)

デフォルトでは、オーバーライド セルが空の場合、二重絶縁ワイヤが想定され、標準の線径が選択されます。使用しているワイヤが標準の二重絶縁タイプではない場合、灰色のオーバーライド セルを使用して、ユーザーが直接、巻線ゲージを入力できます。

二次側巻線数、**NSECONDARY**

デフォルトでは、灰色のオーバーライドセルが空白の場合、動作時のピーク磁束密度  $B_{PEAK}$  が推奨される最大値 3800 ガウス (380 mT) を下回るように、二次側巻線の最小数が計算されます。通常は、動作時の磁束密度を低くする必要がある設計を除いて、オーバーライドセルに数値を入力する必要はありません。

バイアス巻線数、**NBIAS**

VBIAS 設定電圧または二次側巻線数に基づいて決まります。

計算シートで自動的に計算されるその他のトランスパラメータは次のとおりです。

**OD\_PRIMARY\_INSULATED (mm)**、一次側巻線の皮膜を含む外径

**OD\_PRIMARY\_BARE (mm)**、皮膜を含まない外径

**CMA\_PRIMARY (Cmil/A)**、巻線 CMA

**OD\_SECONDARY\_INSULATED (mm)**、二次側巻線の皮膜を含む外径

**OD\_SECONDARY\_BARE (mm)**、皮膜を含まない外径

**CMA\_SECONDARY (Cmil/A)**、巻線 CMA

ステップ 5 – 一次側部品選択

入力内容: **BROWN-IN VOLTAGE**、**VBIAS**、**VF\_BIAS**

入力停止電圧

入力電圧が低下して、停止スレッショールド電流が IUV- スレッショールドを下回った場合、電源はスイッチングを停止させます。

入力過電圧、**OVERVOLTAGE\_LINE**

過電圧スレッショールド ( $I_{OV+}$ ) を超過すると電源が即座にスイッチングを停止する、入力 AC 電圧です。入力過電圧ヒステリシス ( $I_{OV(H)}$ ) 分、低下すると、スイッチングが再度有効になります。入力 OV 電圧は  $I_{OV+} \times (RLS1 + RLS2) / 1.414$  とほぼ等しくなります。

整流後バイアス電圧、**VBIAS**

デフォルト値 12 V が想定されます。電圧を別の値に設定することもできます (たとえば、バイアス巻線出力を非絶縁の一次側補助出力としても使用するアプリケーションの場合など)。電圧が高いと、通常、無負荷時入力電力が高くなります。10 V を下回る値は推奨されません。これは、軽負荷時に、PRIMARY BYPASS ピンに電流を供給するには電圧が不十分で、無負荷時入力電力が高くなる可能性があるためです。バイアス巻線整流フィルタコンデンサ、CBIAS には、22 mF、50 V、低 ESR の電解コンデンサを推奨します。低 ESR の電解コンデンサを使用することで、無負荷時入力電力が改善されます。

**BPP** ピン コンデンサ、**CBPP**

容量値は、設定した ILIMIT\_MODE によって決まります。標準では 0.47  $\mu$ F、ハイカレントリミットでは 4.7  $\mu$ F になります。電解コンデンサを使用するこ

99	一次側部品選択					
100	入力低電圧					
101	BROWN-IN REQUIRED	74.0		74.0	V	AC RMS 入力電圧起動スレッショールドの要件
102	RLS			3.74	M $\Omega$	2つの 1.87 M $\Omega$ 抵抗を V ピンに接続 (UV/OV スレッショールド要件を満たすため)
103	BROWN-IN ACTUAL			75.0	V	実際の AC RMS 起動スレッショールド
104	BROWN-OUT ACTUAL			67.8	V	実際の AC RMS 停止スレッショールド
105						
106	入力過電圧					
107	OVERVOLTAGE_LINE			312.5	V	実際の AC RMS 入力過電圧スレッショールド
108						
109	バイアス ダイオード					
110	VBIAS			12.0	V	整流後バイアス電圧
111	VF_BIAS			0.70	V	バイアス巻線ダイオード順方向降下
112	VREVERSE_BIASDIODE			84.73	V	バイアス ダイオード逆電圧 (寄生電圧リングを考慮しない)
113	CBIAS			22	$\mu$ F	バイアス巻線の整流コンデンサ
114	CBPP			0.47	$\mu$ F	BPP ピン コンデンサ

図 8. InnoSwitch3 PIXIs 計算シートの一次側部品セレクション

入力起動電圧、**BROWN-IN REQUIRED**

電源がオンになる入力 AC 電圧です (起動スレッショールド (IUV+) を超過)。通常は、最小 AC 入力電圧 (VIN\_MIN) より 20% 低い値です。起動電圧を、セル [C101] で必要とされる電圧に変更できます。

入力低電圧/過電圧センス抵抗、**RLS**

PIXIs では、起動電圧に基づいて抵抗値が計算されます。図 13 で RLS1 + RLS2 と示されているように、通常はブリッジ整流器の後に接続されます。RLS1 + RLS2 の標準の合計値は 3.8 M $\Omega$  です。RLS は  $V_{BROWN-IN} \times 1.414 / I_{UV+}$  とほぼ等しくなります。

ともできますが、両面基板では多くの場合、コンデンサを IC の近くに配置できることから、表面実装の積層セラミックコンデンサを推奨します。25 V 定格以上のセラミック X7R (またはそれ以上) タイプのコンデンサを推奨します。

バイアス ダイオード順方向降下、**VF\_BIAS**

デフォルト値 0.7 V が使用されますが、バイアス巻線の整流に使用するダイオードのタイプに合わせて変更できます。

## ステップ 6 – 二次側部品

入力内容: RFB\_UPPER

118	二次側部品					
119	RFB_UPPER			100.00	kΩ	上側のフィードバック抵抗 (最初の出力電圧に接続)
120	RFB_LOWER			34.00	kΩ	下側のフィードバック抵抗
121	CFB_LOWER			330	pF	下側のフィードバック抵抗デカップリング コンデンサ

図 9. InnoSwitch3 PIXLs 計算シートの二次側部品セレクション

125	多出力パラメータ					
126	OUTPUT 1					
127	VOUT1			5.00	V	出力 1 電圧
128	IOUT1			4.00	A	出力 1 電流
129	POUT1			20.00	W	出力 1 電力
130	IRMS_SECONDARY1			5.95	A	二次側電流の二乗平均平方根値 (出力 1)
131	IRIPPLE_CAP_OUTPUT1			4.41	A	二次波形の電力リップル (出力 1)
132	AWG_SECONDARY1			19	AWG	出力 1 のワイヤ サイズ
133	OD_SECONDARY1_INSULATED			1.217	mm	二次側巻線の皮膜を含む外径 (出力 1)
134	OD_SECONDARY1_BARE			0.912	mm	二次側巻線の皮膜を含まない外径 (出力 1)
135	CM_SECONDARY1			1191	Cmil	導体実効面積 (Cmil) (出力 1)
136	NSECONDARY1			6		出力 1 のターン数
137	VREVERSE_RECTIFIER1			34.09	V	SRFET 逆電圧 (寄生電圧リングングを考慮しない) (出力 1)
138	SRFET1	自動		AON6266		出力 1 の SRFET 選択
139	VF_SRFET1			0.076	V	出力 1 の SRFET オンタイム ドレイン電圧
140	VBREAKDOWN_SRFET1			60	V	出力 1 の SRFET ブレークダウン電圧
141	RDSON_SRFET1			19.0	mΩ	25degC 及び VGS=4.4V での SRFET オンタイム ドレイン抵抗 (出力 1)

図 10. InnoSwitch3 PIXLs 計算シートの二次側部品セレクション

## 上側のフィードバック抵抗、RFB\_UPPER

RFB\_UPPER 抵抗値は、VOUT、及び IC の公称内部基準電圧 IC (1.265 V) に基づいて計算されます。

## 下側のフィードバック抵抗、RFB\_LOWER

RFB\_LOWER 抵抗値は、VOUT 及び 1.265 V の内部基準電圧に基づいて計算されます。指定した値を RFB\_UPPER 抵抗に使用する場合、この値は変わります。

## 下側のフィードバック抵抗デカップリング コンデンサ、CFB\_LOWER

IC の FEEDBACK ピン及び GROUND ピンの近くに配置する、330 pF の表面実装セラミック X7R タイプ コンデンサ (またはそれ以上) を推奨します。

## ステップ 7 – 多出力パラメータ

ここでは、ユーザーが最大 3 つの二次側出力 (バイパス回路を除く) を設計し、同期整流に適した MOSFET サイズを選択できます。多出力の総電力が POUT セルに示されている電力を超えた場合、計算シートで警告が発生します。

単一出力設計の場合、VOUT1、IOUT1、及び POUT1 のセルが、セクション 1 で入力したメイン出力パラメータになります。

各出力で、同期整流 MOSFET (SRFET) の選択肢がドロップダウンメニューに示されます (テーブル 10 を参照)。選択した SR FET に基づいて、オン状態順方向電圧 VF\_SRFET (V)、ブレークダウン電圧 VBREAKDOWN\_SRFET (V)、及びオンタイム ドレイン抵抗 RDSON\_SRFET (mΩ) が計算シートに表示されます。

計算シートでは、各二次側出力の重要な電気的パラメータも計算されます。

## 二次側出力の RMS 電流、RMS\_SECONDARY (A)

– 二次側巻線のサイズを決めるのに使用します。

二次側の電流リップル、IRIPPLE\_CAP\_OUTPUT (A)

– 出力フィルタ コンデンサのサイズを決めるのに使用します。

出力の巻数、NSECONDARY – 各出力用に計算された巻数です。

磁気ワイヤ用の追加情報も提供されます。AWG\_SECONDARY (AWG)、OD\_SECONDARY\_INSULATED (mm)、及び OD\_SECONDARY\_BARE (mm)。

143	<b>OUTPUT 2</b>					
144	VOUT2			0.00	V	出力 2 電圧
145	IOUT2			0.00	A	出力 2 電流
146	POUT2			0.00	W	出力 2 電力
147	IRMS_SECONDARY2			0.00	A	二次側電流の二乗平均平方根値 (出力 2)
148	IRIPPLE_CAP_OUTPUT2			0.00	A	二次波形の電力リップル (出力 2)
149	AWG_SECONDARY2			0	AWG	出力 2 のワイヤ サイズ
150	OD_SECONDARY2_INSULATED			0.000	mm	二次側巻線の皮膜を含む外径 (出力 2)
151	OD_SECONDARY2_BARE			0.000	mm	二次側巻線の皮膜を含まない外径 (出力 2)
152	CM_SECONDARY2			0	Cmil	導体実効面積 (Cmil) (出力 2)
153	NSECONDARY2			0		出力 2 のターン数
154	VREVERSE_RECTIFIER2			0.00	V	SRFET 逆電圧 (寄生電圧リングを考慮しない) (出力 2)
155	SRFET2	自動		NA		出力 2 の SRFET 選択
156	VF_SRFET2			NA	V	出力 2 の SRFET オンタイム ドレイン電圧
157	VBREAKDOWN_SRFET2			NA	V	出力 2 の SRFET ブレークダウン電圧
158	RDSON_SRFET2			NA	mΩ	25degC 及び VGS=4.4V での SRFET オンタイム ドレイン抵抗 (出力 2)
159						
160	<b>OUTPUT 3</b>					
161	VOUT3			0.00	V	出力 3 電圧
162	IOUT3			0.00	A	出力 3 電流
163	POUT3			0.00	W	出力 3 電力
164	IRMS_SECONDARY3			0.00	A	二次側電流の二乗平均平方根値 (出力 3)
165	IRIPPLE_CAP_OUTPUT3			0.00	A	二次波形の電力リップル (出力 3)
166	AWG_SECONDARY3			0	AWG	出力 3 のワイヤ サイズ
167	OD_SECONDARY3_INSULATED			0.000	mm	二次側巻線の皮膜を含む外径 (出力 3)
168	OD_SECONDARY3_BARE			0.000	mm	二次側巻線の皮膜を含まない外径 (出力 3)
169	CM_SECONDARY3			0	Cmil	導体実効面積 (Cmil) (出力 3)
170	NSECONDARY3			0		出力 3 のターン数
171	VREVERSE_RECTIFIER3			0.00	V	SRFET 逆電圧 (寄生電圧リングを考慮しない) (出力 3)
172	SRFET3	自動		NA		出力 3 の SRFET 選択
173	VF_SRFET3			NA	V	出力 3 の SRFET オンタイム ドレイン電圧
174	VBREAKDOWN_SRFET3			NA	V	出力 3 の SRFET ブレークダウン電圧
175	RDSON_SRFET3			NA	mΩ	25degC 及び VGS=4.4V での SRFET オンタイム ドレイン抵抗 (出力 3)
176						
177	PO_TOTAL			20.00	W	全出力の総電力
178	NEGATIVE OUTPUT	N/A		N/A		マイナス出力が存在する場合は出力番号を入力例: VO2 がマイナス出力の場合は 2 を選択

図 11. InnoSwitch3 PIXIs 計算シートの多出力設計パラメータ セレクション

## ステップ 8 – 公差分析

InnoSwitch3 PIXIs の設計計算シートでは、スイッチング パラメータが提供されるので便利です。たとえば、デバイス カレント リミット **CORNER\_ILIMIT** のコーナー リミットでのスイッチング周波数 (**FSWITCHING**) や、トランスの一次インダクタンス **CORNER\_LPRIMARY** などです。

182	公差分析					
183	CORNER_VAC		85	V	評価する入力 AC RMS 電圧コーナー	
184	CORNER_ILIMIT	TYP	0.95	A	評価するカレントリミットコーナー	
185	CORNER_LPRIMARY	TYP	830.5	uH	評価する一次側インダクタンスコーナー	
186	MODE_OPERATION		CCM		動作モード	
187	KP		0.728		連続/不連続動作モードの尺度	
188	FSWITCHING		67267	Hz	スイッチング周波数 (整流最小 AC 入力電圧の最大負荷及び最小値時)	
189	DUTYCYCLE		0.433		定常状態デューティサイクル	
190	TIME_ON		6.44	uS	一次側 MOSFET の ON 時間	
191	TIME_OFF		8.43	uS	一次側 MOSFET の OFF 時間	
192	IPEAK_PRIMARY		0.91	A	一次側 MOSFET のピーク電流	
193	IPEDESTAL_PRIMARY		0.25	A	一次側 MOSFET の電流ベデスタル	
194	IAVERAGE_PRIMARY		0.25	A	一次側 MOSFET の平均電流	
195	IRIPPLE_PRIMARY		0.66	A	一次側 MOSFET のリップル電流	
196	IRMS_PRIMARY		0.40	A	一次側 MOSFET の RMS 電流	
197	CMA_PRIMARY		252	Cmil/A	一次側巻線 CMA	
198	BPEAK		2835	ガウス	ピーク磁束密度	
199	BMAX		2641	ガウス	最大磁束密度	

図 12. InnoSwitch3 PIXIs 計算シートの公差分析セレクション

ステップ 9 – 重要な外付け部品の選択

図 13 の回路図は、実用的な単一出力 InnoSwitch3 設計に必要な、重要な外付け部品を示しています。部品の選択基準は次のとおりです。

二次側バイパス ピン コンデンサ ( $C_{BPS}$ )

このコンデンサは、二次側コントローラの供給デカップリング コンデンサとして機能します。IC の適切な動作を確保するため、2.2  $\mu\text{F}$ 、25 V の表面実装積層セラミック コンデンサを推奨します。出力電圧がターゲット電圧に

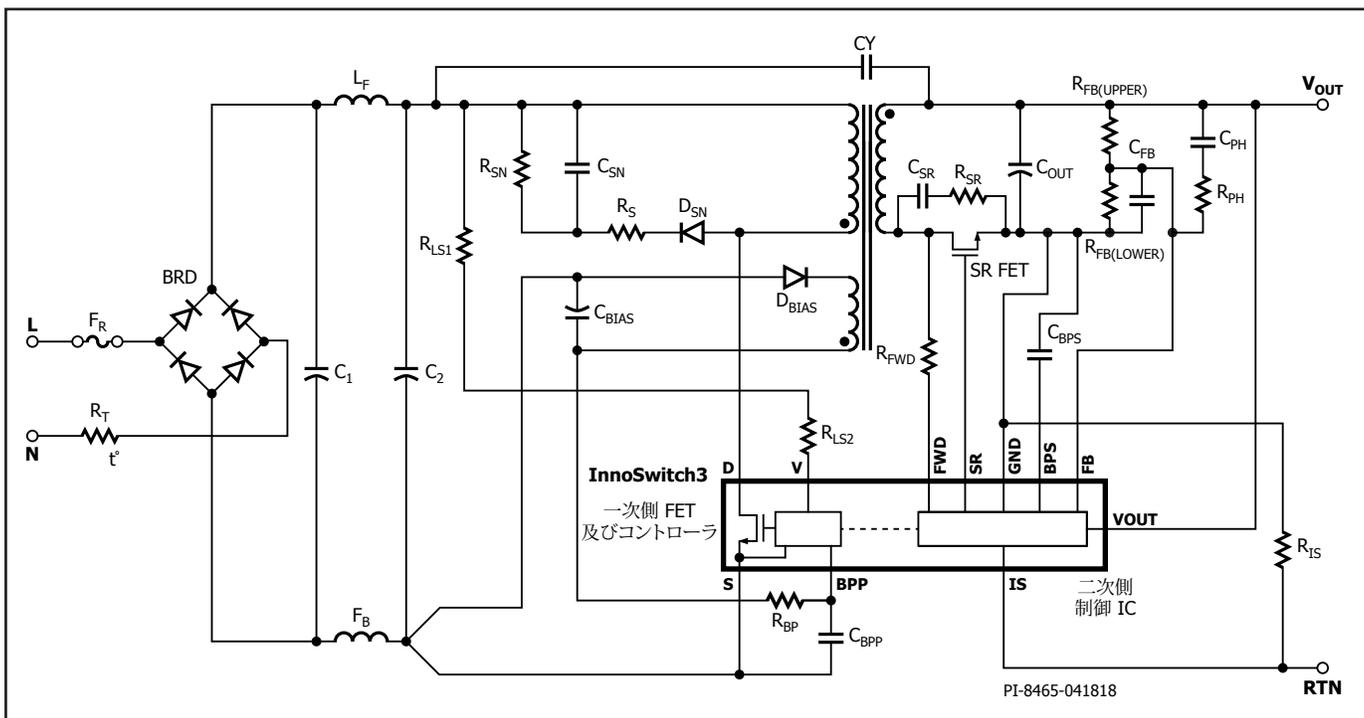


図 13. 一般的な InnoSwitch3 フライバック電源。

一次側バイパス ピン コンデンサ ( $C_{BPP}$ )

このコンデンサは、内部一次側コントローラの供給デカップリング コンデンサとして機能し、内部 MOSFET のカレント リミットを決定します。4.7  $\mu\text{F}$  または 0.47  $\mu\text{F}$  のコンデンサの場合は、ハイカレントリミットまたは標準カレント リミットを選択します。電解コンデンサを使用することもできますが、両面基板では多くの場合、コンデンサを IC の近くに配置できるため、表面実装の積層セラミック コンデンサを推奨します。25 V 定格の表面実装の積層セラミック X7R コンデンサを推奨します。

正確なカレント リミットを得るため、0.47  $\mu\text{F}$  / 4.7  $\mu\text{F}$  のコンデンサを使用することを推奨します。また、BPP コンデンサの公差は、ターゲットのアプリケーションの周囲温度範囲を考慮して、以下に示される値またはそれよりも良好な値である必要があります。許容される最小及び最大のコンデンサ公差値は、IC 特性によって設定されます (テーブル 8)。

定格 PRIMARY BYPASS ピン コンデンサ値	コンデンサ公称値に対する公差	
	最小	最大
0.47 $\mu\text{F}$	-60%	+100%
4.7 $\mu\text{F}$	-50%	+100%

テーブル 8. BYPASS ピン コンデンサの公差

到達する前に、SECONDARY BYPASS ピン電圧が 4.4 V に到達する必要があります。BPS コンデンサの値を大幅に高くすると、起動時に出力電圧のオーバーシュートが発生することがあります。1.5  $\mu\text{F}$  より低い値にすると、予期しない動作の原因になる場合があります。コンデンサは IC ピンの隣に配置する必要があります。動作時に十分な容量を確保するには、25 V 定格が必要になります (セラミック コンデンサの容量が印加電圧によって低下します)。そのため、10 V の定格コンデンサは推奨されません。最良の結果を得るには、X5R または X7R の誘電体を持つコンデンサを使用します。

FORWARD ピン抵抗 ( $R_{FWD}$ )

FORWARD ピンは、同期整流 MOSFET (SR FET) のドレイン端子に接続されます。このピンは、SR FET のドレイン電圧の検出に使用され、ターンオンとターンオフの正確な制御を可能にします。このピンは、出力電圧が BPS 電圧を下回ったときに、BPS (SECONDARY BYPASS ピン) コンデンサを充電する場合にも使用されます。十分な IC 電流を確保し、広範囲の出力電圧で動作させるには、47  $\Omega$ 、5% の抵抗を推奨します。デバイスの動作や同期整流のタイミングに影響する可能性があるため、これを上回る、または下回る抵抗値は使用しないでください。

FORWARD ピンの電圧は絶対最大電圧を超えないように注意する必要があります。絶対最大電圧を超えると、IC が損傷します。

**FEEDBACK** ピン分割回路 ( $R_{FB\_UPPER}$ ,  $R_{FB\_LOWER}$ )

適切な電圧分割回路を電源出力に接続して出力電圧を分圧し、InnoSwitch3 IC の FEEDBACK ピンの電圧が目的の出力電圧の時に 1.265 V になるようにします。330 pF のデカップリング コンデンサ ( $C_{FB}$ ) を FEEDBACK ピンから GROUND ピンに接続することを推奨します。これは、FEEDBACK ピンのデカップリング コンデンサとして機能し、IC の動作に影響を与えるスイッチング ノイズを防止します。

一次側巻線のクランプ ネットワーク ( $D_{SN}$ ,  $R_S$ ,  $R_{SN}$ , 及び  $C_{SN}$ )

図 13 を参照してください。R2CD クランプは、低電力で最も一般的に使用されるクランプです。高電力の設計では、ツェナー クランプまたは R2CD と ツェナー クランプを併用して効率を上げることができます。最悪の条件下 (最大入力電圧、最大過負荷電力、または出力短絡) において、ピークドレイン電圧を  $BV_{DSS}$  の 90% に制限することを推奨します。図 13 に示すクランプ ダイオード  $D_{SN}$  には、ガラス保護膜付き標準リカバリー タイプまたは逆回復時間が 500 ns 未満の高速リカバリー タイプを使用してください。ガラス保護膜付き標準リカバリー ダイオードを使用すると、各スイッチング サイクルのクランプ電力の一部を回生させることができ、平均効率が向上します。このダイオードは、InnoSwitch3 内の MOSFET がオフになるたびに一時的に導通して、漏れリアクタンスからのエネルギーをクランプ コンデンサ  $C_{SN}$  に転送します。直列に接続した抵抗  $R_S$  は、漏れリアクタンスとクランプ コンデンサ  $C_{SN}$  の間の共振によって発生する過剰なリングングを減衰させます。抵抗  $R_{SN}$  は、コンデンサ  $C_{SN}$  に蓄えられたエネルギーを徐々に減らします。ファミリ内の別の InnoSwitch3 デバイスを使用する電源では、一次側ピーク電流と漏れインダクタンスが異なるため、そのエネルギーも異なります。したがって、設計ごとに、コンデンサ  $C_{SN}$ 、抵抗  $R_{SN}$  及び  $R_S$  を最適化する必要があります。原則として、コンデンサ  $C_{SN}$  の値を最小に、抵抗  $R_{SN}$  及び  $R_S$  の値を最大にしながら、最大入力電圧及び最大負荷時に  $BV_{DSS}$  の 90% に制限することを推奨します。 $R_S$  の値は、必要な時間

リングングを減衰するのに十分な値にする必要がありますが、大きくし過ぎると、ドレイン電圧が  $BV_{DSS}$  の 90% を超えてしまいます。Z5U などの誘電体を使用するセラミック コンデンサを  $C_{SN}$  のクランプ回路で使用すると可聴ノイズが生成される可能性があるため、ポリエステル フィルム型を使用する必要があります。

次の方程式をガイドとして使用して、R2CD 部品の値を計算できます。

$$R_{SN} = \left[ \frac{V_C^2}{\frac{1}{2} L_{IK} \times I_{PK}^2 \times \frac{V_C \times F_S}{(V_C - V_{OR})}} \right] \quad ; \text{式 (1)}$$

$$C_{SN} = \frac{V_C}{R_{SN} 1 \times F_S \times dV_{CSN}} \quad ; \text{式 (2)}$$

$$R_S = \left( \frac{L_{IK}}{C_{SN}} \right)^{\frac{1}{2}} \quad ; \text{式 (3)}$$

値は次のとおりです。

$V_C$ : クランプ回路の電圧  
 $I_{PK}$ : ピーク スwitching 電流  
 $F_S$ : Switching 周波数  
 $L_{IK}$ : 漏れインダクタンス  
 $V_{OR}$ : 跳ね返り電圧  
 $dV_{CSN}$ : クランプ コンデンサの最大リップル電圧 (10%)

例:

$V_C = 205 \text{ V}$ ,  $F_S = 100 \text{ kHz}$ ,  $I_{PK} = 1 \text{ A}$ ,  $V_{OR} = 100$ ,  $L_{IK} = 5 \mu\text{H}$ , 及び  $dV_{SN} = 20 \text{ V}$  の場合

前述の方程式を適用:

$R_{RSN} = 92.4 \text{ k}\Omega$ ,  $C_S = 1.08 \text{ nF}$  及び  $R_S = 68 \Omega$

## 一般的な一次側クランプの構成

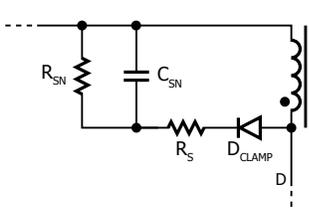
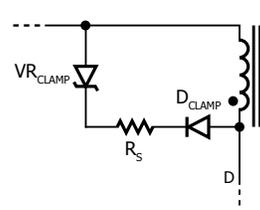
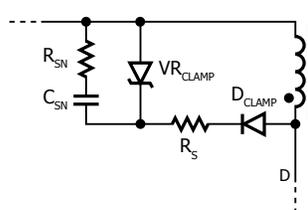
R2CD	ツェナー	R2CD + ツェナー
 <p>PI-8502-041818</p>	 <p>PI-8504-041818</p>	 <p>PI-8503-041818</p>

図 14. 推奨一次側クランプ

## 一次側クランプ回路

メリット	R2CD	ツェナー	R2CD + ツェナー
部品のコスト	低	中	高
無負荷時入力電力	高	低	中
軽負荷時効率	低	高	中
EMI 抑制	高	低	中

テーブル 9. 一次側クランプ回路の特徴

外部バイアス回路部品 ( $D_{BIAS}$ ,  $C_{BIAS}$ ,  $R_{BP}$ )

PRIMARY BYPASS ピンには、パワー MOSFET がオフの場合に常に DRAIN ピンから電流を引き込むことによって、PRIMARY BYPASS ピン コンデンサを  $V_{BPP}$  まで充電する内部レギュレータがあります。PRIMARY BYPASS ピンは、内部回路用電源ピンです。パワー MOSFET がオンの場合、デバイスは、PRIMARY BYPASS ピン コンデンサのエネルギーによって動作します。さらに、PRIMARY BYPASS ピンに外付け抵抗を介して電流が供給される場合、シャント レギュレータが PRIMARY BYPASS ピン電圧を  $V_{SHUNT}$  にクランプします。これにより、InnoSwitch3 にバイアス巻線を介して外部電力を供給できるようになり、5 V 出力設計の場合の無負荷時待機電力を 15 mW 未満に抑えることができます。

推奨するバイアス電圧は 12 V です。電圧が高いと、無負荷時入力電力が高くなります。無負荷時の消費電力を削減するため、バイアス巻線電流には超高速ダイオードを推奨します。

バイアス回路フィルタ  $C_{BIAS}$  には、22  $\mu$ F、50 V、低 ESR のアルミニウム電解コンデンサを推奨します。低 ESR の電解コンデンサでは、無負荷時入力電力が小さくなります。表面実装のセラミック コンデンサは、その機械構造上、圧電効果によって音鳴りが発生するため、推奨しません。

無負荷時の入力電力を最小にし、最小負荷時の効率を高くするには、この抵抗を経由する電流が PRIMARY BYPASS ピンの電流よりも大きくなるように、抵抗  $R_{BP}$  を選択する必要があります。

通常動作周波数での PRIMARY BYPASS ピンの供給電流は、次の方程式に示すように計算できます。

$$I_{SSW} = \frac{F_{SW}}{132 \text{ kHz}} \times (I_{S2} - I_{S1}) + I_{S1}$$

値は次のとおりです。

$I_{SSW}$ : 動作スイッチング周波数における PRIMARY BYPASS ピンの供給電流

$F_{SW}$ : 動作スイッチング周波数 (kHz)

$I_{S1}$ : スイッチングなしでの PRIMARY BYPASS ピンの供給電流 (データシートを参照)

$I_{S2}$ : 132 kHz での PRIMARY BYPASS ピン供給電流 (データシートを参照)

バイアス電流が PRIMARY BYPASS ピンの供給電流よりも高くなると、BPP 電圧が内部で 5.3 V に固定されます。BPP 電圧が約 5.0 V の場合は、 $R_{BP}$  を通る電流が PRIMARY BYPASS ピンの供給電流よりも小さく、充電電流が DRAIN ピンから供給されて PRIMARY BYPASS ピンを約 5.0 V に保ちます (起動時を除く)。

$R_{BP}$  の判別式は次のとおりです。

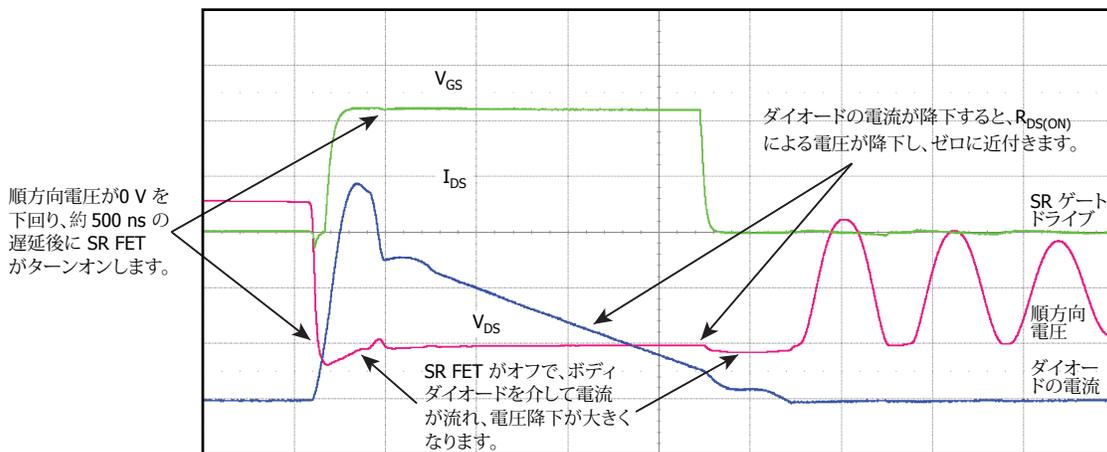
$$R_{BP} = [V_{BIAS(NO-LOAD)} - V_{BPP}] / I_{SSW}; V_{BPP} = 5.3 \text{ V}$$

出力同期整流器 MOSFET (SR FET)

InnoSwitch3 に組み込まれている同期整流 (SR) ドライバにより、低コスト、低電圧 MOSFET を同期整流に使用し、システム効率を高めることができます。SR ドライバは出力 GND を基準とするため、SR FET はリターンラインに配置されます。フライバック導通期間の終了時に SR FET がターンオフするスレッシュホールド ( $V_{SR(TH)}$ ) は、GND レベルです。シュートスルー電流を防ぐため、フライバックサイクルの開始と SR FET のターンオンの間にはわずかな遅延があります。SR FET 導通中、インダクタに蓄えられたエネルギーが負荷に転送され、SR FET の  $R_{DS(ON)}$  電圧が 0 V に下がるまで電流が下がり続けます。この時点で SYNCHRONOUS RECTIFIER ピンがゲートを Low レベルにして、SR FET を瞬時にターンオフします。フライバックの残りの時間は、最小電流が SR FET ボディダイオードを介して流れます (図 15 を参照)。使用する SR FET によっては、ショットキーダイオードを SR FET に並列に接続すると、効率が更に 0.1% ~ 0.2% 改善することがあります。連続モード (CCM) で動作している SR FET は、スイッチングサイクルを要求するフィードバックパルスが一次側に送信されたときにオフになり、SR FET と一次側 MOSFET 間の同時導通することなく、優れた同期動作を実現します。

SR FET ドライバではその電源出力用に SECONDARY BYPASS ピンが使用され、この電圧は通常 4.4 V です。そのため、スレッシュホールド電圧が高い SR FET は適切ではありません。ゲート電圧スレッシュホールドの電圧範囲 ( $V_{G(TH)}$ ) が 1.5 V ~ 2.5 V の SR FET を推奨します。

SR FET のオン時間は、導通サイクル中の MOSFET のドレイン-ソース間電圧が 0 V に達すると終了します。そのため、超低  $R_{DS(ON)}$  (<5 m $\Omega$ ) の SR MOSFET を使用すると、SR FET のドライブ信号が早く終了する可能性があります。それにより、二次側電流が SR FET の  $R_{DS(ON)}$  と比べて電圧降下が大きいボディダイオードを介して導通するようになり、システム効率が少し低くなります (図 16 を参照)。



PI-8514-091318

出力が 5 V、2 A の場合、18 mΩ  $R_{DS(ON)}$  の SR FET が適しています。定格出力が 12 V、3 A の設計には、8 mΩ  $R_{DS(ON)}$  の SR FET が適しています。推奨する最適な SR FET ドレイン - ソース間オン抵抗 ( $R_{DS(ON)}$ ) は、次のようになります。

$$R_{DS(ON)} \approx \frac{0.16 \times V_o}{I_p \times VOR}$$

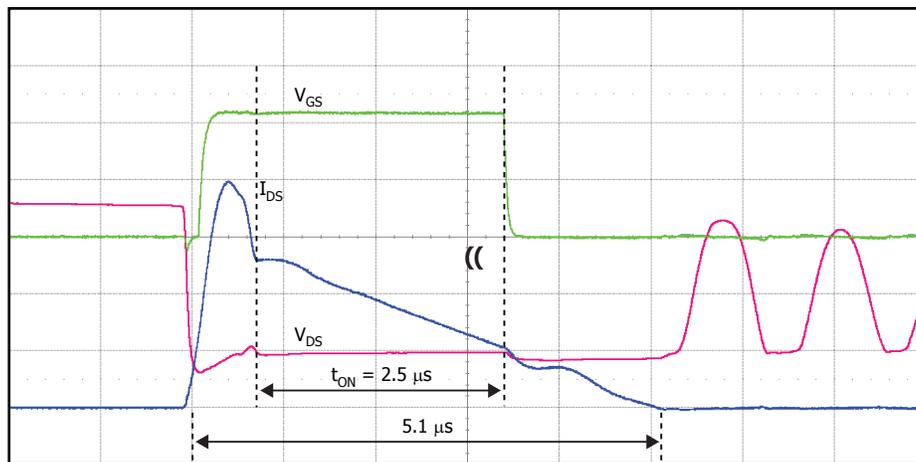
同期整流に適しており、このセクションで説明した基準を満たす SR FET の例を、テーブル 10 に示しています。

SR FET の電圧定格は、想定されるピーク逆電圧 (PIV) の少なくとも 1.3 倍が必要です。ピーク逆電圧は、最大入力 DC バス電圧に、トランスの一次側と二次側の巻線比率を掛けた値になります。計算シートの 137 行には、この推定値が VREVERSE\_RECTIFIER1 として示されます。SR FET の  $BV_{DSS}$

及び並列ダイオード (使用している場合) の逆電圧に十分なマージンがあることを確認するために、電圧を測定する必要があります。

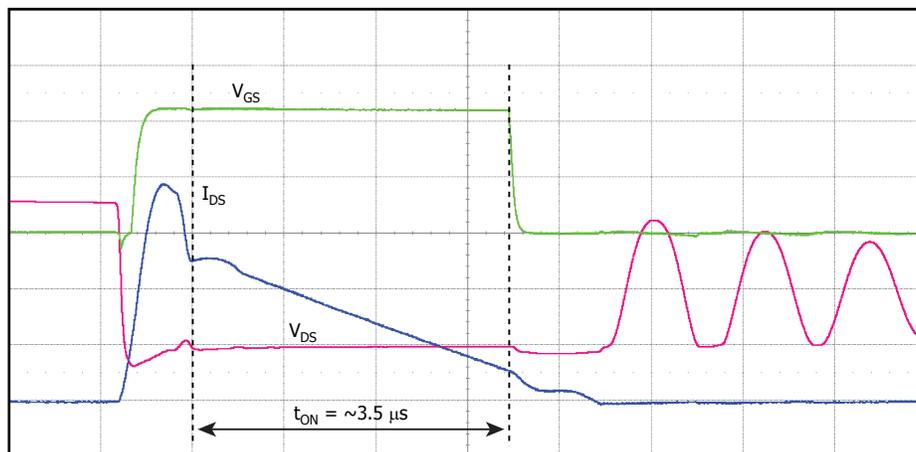
低価格の低電圧 MOSFET により、SR FET はコストをかけずに効率の大幅な向上をもたらします。ゲートドライブ用の SYNCHRONOUS RECTIFIER ピンを接地することで、ショットキーまたは高速リカバリー ダイオードを出力整流に使用することもできます。これは、高電圧出力の場合に適しています。

MOSFET の DC 電流定格が、平均出力電流の 2 倍以上高いことが必要です。温度上昇やピーク負荷条件によっては、プロトタイプの実成後に、SR FET 電流定格と放熱領域を大きくすることが必要な場合があります。



PI-8516-050918

$R_{DS(ON)} = 7.5 \text{ m}\Omega$  時 (SR FET の導通時間は  $2.5 \mu\text{s}$  と短くなります)



PI-8515-050918

$R_{DS(ON)} = 16 \text{ m}\Omega$  時 (SR FET の導通時間は  $3.5 \mu\text{s}$  と長くなります)

図 16. SR FET 導通時間に対する  $R_{DS(ON)}$  の影響

部品	PIV	I <sub>DRAIN</sub>	V <sub>GS(TH)</sub> 最大	V <sub>GS(TH)</sub> 最小	CISS	CRSS	CRSS/ CISS	R <sub>G</sub>	R <sub>DS(ON)</sub>	T <sub>RR</sub>	パッケージ	メーカー
	(V)	(A)	(V)	(V)	(pF)	(pF)	(%)	(Ω)	(Ω)	(ns)		
AO4260	60	18.0	2.4	1.3	4940	32.0	0.65	0.9	6.3	22	8-SOIC (0.154 inch、 3.90 mm の幅)	Alpha & Omega
AO4264	60	12.0	2.5	1.4	2007	12.5	0.62	1.2	13.5	15	8-SOIC (0.154 inch、 3.90 mm の幅)	Alpha & Omega
AON6244	60	85.0	2.5	1.5	3838	14.5	0.38	1.0	6.2	17	8-PowerSMD、 フラットリード	Alpha & Omega
AON6266	60	30.0	2.5	1.5	1340	10.0	0.75	1.5	19.0	17	8-PowerSMD、 フラットリード	Alpha & Omega
AON7246	60	34.5	2.5	1.5	1340	10.0	0.75	1.5	19.0	15	8-PowerVDFN	Alpha & Omega
AO4294	100	11.5	2.4	1.4	2420	11.0	0.45	0.6	15.5	25	8-SOIC (0.154 inch、 3.90 mm の幅)	Alpha & Omega
AON7292	100	23.0	2.6	1.6	1170	8.0	0.68	0.7	32.0	24	8-WDFN 露出パッド	Alpha & Omega
AO4292	100	8	2.7	1.6	1190	7	0.59	3	33	20	SOIC-8	Alpha & Omega
AO4294	100	11.5	2.4	1.4	2420	11	0.45	3	15.5	25	SOIC-8	Alpha & Omega
AO4296	100	13.5	2.3	1.3	3130	12.5	0.40	3	10.6	28	SOIC-8	Alpha & Omega
AOD294A	100	55	2.5	1.5	2305	11.5	0.50	3	15.5	30	TO-252	Alpha & Omega
AOD296A	100	70	2.3	1.3	3130	12.5	0.40	3	10.6	30	TO-252	Alpha & Omega
AOD2910	100	31	2.7	1.6	1190	7	0.59	3	33	30	TO-252	Alpha & Omega
AOD2916	100	25	2.7	1.6	870	3.5	0.40	3	43.5	20	TO-252	Alpha & Omega
AOD2544	150	23.0	2.7	1.7	675	4.0	0.59	2.9	66.0	37	TO-252 DPAK	Alpha & Omega
AON7254	150	17.0	2.7	1.7	675	4.0	0.59	2.9	66.0	37	8-WDFN 露出パッド	Alpha & Omega

テーブル 10. 同期整流に適した MOSFET のリスト

一次側 MOSFET がターンオンして出力巻線に逆電圧が印可されると、出力巻線の漏れリアクタンスと SR FET 容量 (C<sub>DSS</sub>) 間の相互作用により、SR FET の電圧波形にリングングが発生します。このリングングは、SR FET に接続された RC スナバによって抑制できます。10 Ω ~ 47 Ω のスナバ抵抗を使用できます (抵抗値が大きいと効率が大きく低下します)。容量値はほとんどの設計で 1 nF ~ 2.2 nF が適しています。

一次側 MOSFET がターンオンすると、SR FET のドレイン-ソース間電圧が急速に上昇します。この高 dv/dt と、MOSFET の CISS 容量に対する C<sub>GD</sub> の比率の高さによって、SR FET にゲートソース電圧が発生します。発生したゲート電圧が最小ゲート スレッシュホールド電圧 V<sub>GS(TH)</sub> を超過すると、SR FET がオンになって同時導通が発生し、重大な故障につながる可能性があります。推奨される C<sub>GD</sub> (CRSS) は 35 pF 未満であり、CISS に対する CRSS の比率は 2% 未満です。

SR FET を選択する際のその他の重要な要素は、ボディ ダイオードの逆回復時間 (T<sub>RR</sub>) です。SR FET のボディ ダイオードの逆回復特性が、一次側 MOSFET のスイッチオン時に、ドレインにかかる電圧ストレスのレベルに影響することがあります。図 17 に示すように、低速ボディ ダイオード (> 40 ns T<sub>RR</sub>) の SR FET では、高速ボディ ダイオードに比べて電圧ストレスが 2 倍になります。ボディ ダイオードの最大逆回復時間 (T<sub>RR</sub>) には 40 ns 未満を推奨します。

#### 出力フィルタ容量 (C<sub>OUT</sub>)

出力コンデンサのリプル電流定格は、計算シートで計算されている値 IRIPPLE\_CAP\_OUTPUT1 を上回る必要があります。ただし、高いピーク電力から連続 (平均) 電力での設計や、長期間のピーク負荷条件の場合は、コンデンサ定格を大きくする必要がある場合もあります。この選択は、最悪の負荷及び周囲温度条件でのコンデンサ温度上昇の測定値に基づいて行う必要があります。計算シートでは、平均出力電力を使用して、出力コンデンサのリプル電流が計算されます。したがって、コンデンサの実際の定格

は、その設計のピークから平均までの電力比率によって異なります。コンデンサのリップル定格は熱制限であり、ほとんどのピーク負荷期間はコンデンサの熱時定数（一般的に < 1 s）より短いため、ほとんどの場合、この想定が有効になります。

どちらの場合も、適切なコンデンサが見つからないときは、2 個以上のコンデンサを並列で使用して、個々のコンデンサのリップル定格の合計に等しいリップル電流定格を達成します。多くのコンデンサ メーカーは、コンデンサの動作温度がデータ シートの最大値より低くなるとリップル電流定格を大きくする係数を提供しています。これは、コンデンサのサイズが大きくなるようにするためです。

小型で安定した温度特性を持ち、ESR が非常に低く、RMS リップル電流定格が高い、アルミニウム ポリマー 固体コンデンサが使用されるようになってきました。これらのコンデンサにより、超小型の充電器やアダプタの設計が可能になります。通常は、出力電流 1 A あたり 200  $\mu$ F ~ 300  $\mu$ F のアルミニウム ポリマー コンデンサが適しています。容量の選択に影響するもう 1 つの要素は、許容される出力リップルです。最高出力電圧に適切なマージンをプラスした値よりも大きい電圧定格のコンデンサを使用する必要があります。

スイッチング リップル電圧は、二次側ピーク電流に出力コンデンサの ESR を掛けたものと等しくなります。そのため、低 ESR コンデンサ タイプを選択して、リップル電圧を下げるのが重要です。通常は、高リップル電流定格コンデンサを選択すると、ESR の値が許容範囲になります。

コンデンサの電圧定格は、出力電圧 (VOUT) の少なくとも 1.2 倍が必要です。

#### 出力電流センス抵抗 ( $R_{IS}$ )

定電流 (CC) 出力を動作させるには、外部電流センス抵抗  $R_{IS}$  を IS ピンと IC の 二次側 GROUND ピンの間に接続する必要があります。定電流 (CC) レギュレーションが不要な場合は、IS ピンを直接 IC の GROUND ピンに接続します。

この抵抗で生成される電圧が、約 35 mV の内部カレント リミット電圧スレッシュホールド ( $I_{SV(TH)}$ ) と比較されます。

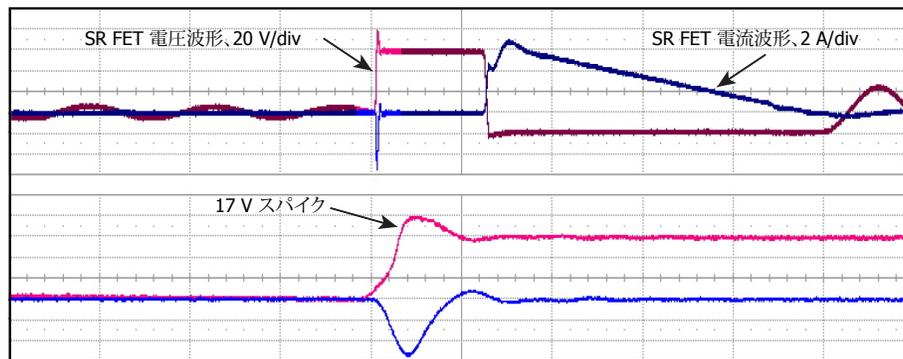
外部電流センス抵抗  $R_{IS}$  は、次の式を使用して概算できます。

$$R_{IS} = I_{SV(TH)} / I_{OUT(CC)}$$

抵抗にかかる電圧は、内部基準  $V_{SV(TH)}$  (35 mV) のレベルになります。 $R_{IS}$  抵抗は IS 及び GROUND ピンの近くに短い配線で接続して、定電流動作時のグラウンド インピーダンスによるノイズ不安定性を防ぎます。

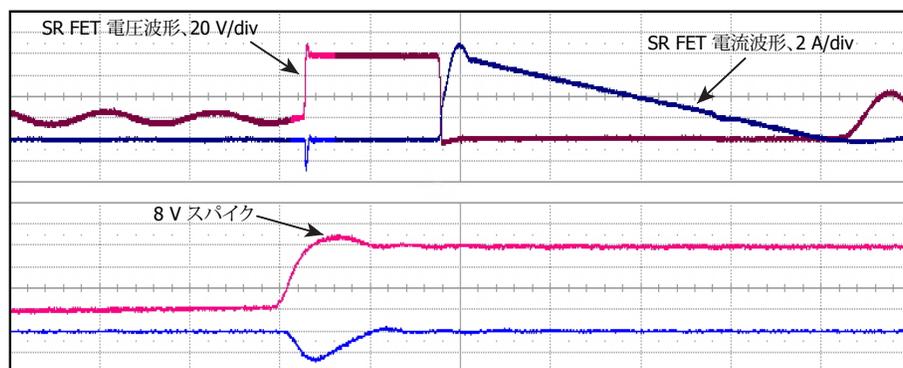
#### 出力後段フィルタ部品 ( $L_{PF}$ $C_{PF}$ )

必要に応じて、後段フィルタ ( $L_{PF}$  及び  $C_{PF}$ ) を追加して、高周波数スイッチング ノイズ及びリップルを減らすことができます。インダクタ  $L_{PF}$  は、ピーク出力電流よりも電流定格が大きい、1  $\mu$ H ~ 3.3  $\mu$ H の範囲にする必要があります。コンデンサ  $C_{PF}$  は 100  $\mu$ F ~ 330  $\mu$ F の範囲内に収めて、電圧定格を  $1.25 \times V_{OUT}$  以上にする必要があります。後段フィルタを使用する場合は、後段フィルタ インダクタの前に出力電圧センス抵抗を接続する必要があります。



低速ボディ ダイオードの SR FET (17 V の高電圧スパイク)

PI-8517-100118



高速ボディ ダイオードの SR FET (8 V の低電圧スパイク)

PI-8518-100118

図 17.  $V_{DS}$  に対するボディ ダイオード逆回復時間の影響

アプリケーション設計時の重要検討項目

出力電力テーブル

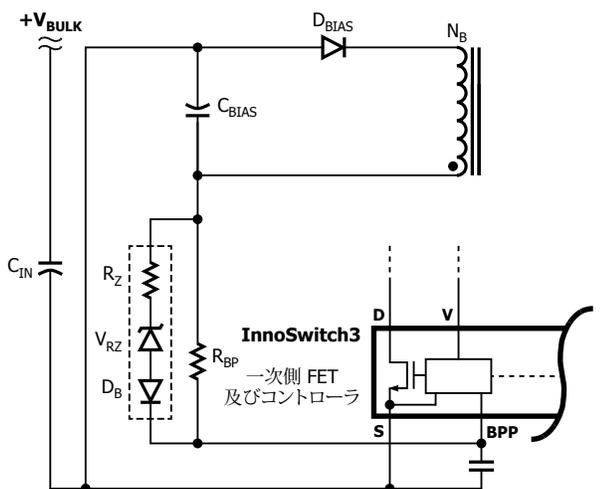
データシートに記載の出力電力テーブル (テーブル 1) は、次の条件下で得られる、最大の連続出力電力を示しています。

1. 最小 DC 入力電圧が、85 VAC 入力では 90 V 以上、230 VAC 入力 (または倍電圧使用時の 115 VAC 入力) では 220 V 以上。入力コンデンサの電圧は、AC 入力設計に対するこれらの条件を満たす必要があります。
2. 想定効率は電力レベルに依存します。最小デバイスのその電力レベルにおける効率は 84% 以上、最大デバイスの効率は 89% 以上という控えめな値を想定しています。
3. ±10% のトランスの一次インダクタンス公差。
4. 跳ね返り電圧 ( $V_{OR}$ ) は、ユニバーサル入力の最小入力電圧に対して  $K_p = 0.8$ 、高入力電圧設計に対して  $K_p = 1$  を維持するように設定されています。
5. アダプタに対する最大導通損失は 0.6 W に制限されています (オープンフレーム設計に対しては 0.8 W)。
6. ピーク電力及びオープンフレーム電力設計ではハイカレントリミットを選択し、アダプタ設計では標準カレントリミットを選択します。

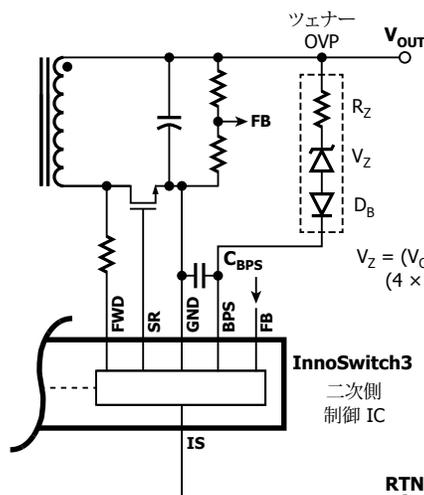
7. SOURCE ピン温度を 110 °C 以下に保つように、SOURCE ピンを十分な大きさの銅面に半田付け実装、または、ヒートシンクを使用します。
8. オープンフレーム設計で 50 °C、密閉型アダプタで 40 °C の周囲温度を想定します。
9. スwitchング サイクルの中断による電力供給の低減を防ぐため、過渡  $K_p$  リミットを 0.5 以上にします。これにより、MOSFET のターンオン時に初期カレントリミット ( $I_{INT}$ ) を超えることを抑止します。
10. InnoSwitch3 独自の機能として、トランスの設計に応じて、動作スイッチング周波数を 25 kHz ~ 95 kHz に設定できます。デバイス温度を効果的に下げる方法の 1 つは、低スイッチング周波数で動作するようにトランスを設計することです。サイズ 8 などの大きなデバイスの場合には 60 kHz が推奨されますが、サイズ 2 などの小さなデバイスの場合には 80 kHz が適しています。

一次側過電圧保護

InnoSwitch3 IC の一次側出力過電圧保護では、 $I_{SD}$  のスレッシュホールド電流が PRIMARY BYPASS ピンに流れるとトリガされる内部ラッチを使用します。バイパスコンデンサが高周波フィルタとしての効果を発揮するには、コンデンサをデバイスの SOURCE ピン及び PRIMARY BYPASS ピンのできるだけ近くに配置する必要があります。

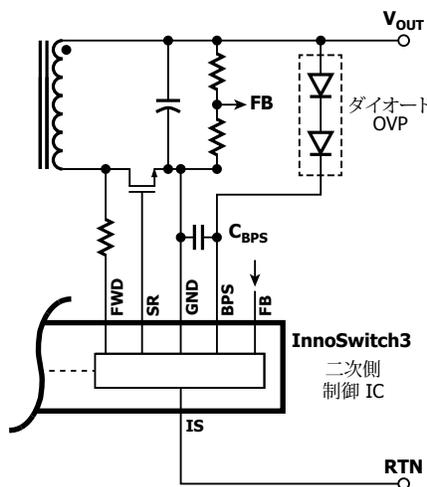


a. 高電流がツェナー  $V_{RZ}$  を介して BPP に流入される一次側 OVP



b. 高電流がツェナー  $V_Z$  及び抵抗  $R_Z$  を介して BPS に流入される二次側 OVP

$$V_Z = (V_{OUT} \times 1.25) - (4 \times 4 - V_{BPS})$$



PI-8480-091318

図 18. 出力過電圧保護回路

c. 高電流が 2 つのダイオードを介して BPS に流入される二次側 OVP (5 V 出力の場合のみ)

一次側検出 OVP は、整流及びフィルタされたバイアス巻線出力と PRIMARY BYPASS ピンをツェナー ダイオード、抵抗、及びブロッキング ダイオードで直列に接続することで実現します (図 18-a を参照)。整流及びフィルタされたバイアス巻線出力電圧が、想定よりも大きくなる場合があります (目的の値の 1.5 倍から 2 倍)。これは、バイアス巻線と出力巻線のカップリングによるもので、バイアス巻線の電圧波形にリングングが発生したことが原因です。そのため、整流されたバイアス巻線電圧を測定することを推奨します。この測定は、最低入力電圧と最大出力負荷で実行するのが理想です。この測定電圧は、一次側検出 OVP を実現するのに必要な部品を選択するために使用します。OVP トリガが想定されるバイアス巻線の整流電圧よりも約 6 V 低いクランプ電圧のツェナー ダイオードを使用することを推奨します。ブロッキング ダイオードの順方向電圧降下は 1 V と想定できます。小信号の標準リカバリ ダイオードを使用する必要があります。ブロッキング ダイオードは、起動時の逆電流によるバイアス コンデンサの充電を防止します。最後に、出力過電圧時に  $I_{SD}$  を超える電流が PRIMARY BYPASS ピンに流れるように、直列抵抗の値を設定します。

#### 二次側過電圧保護

InnoSwitch3 IC では、二次側出力過電圧保護機能が提供されます。この機能は、 $I_{BPS(SD)}$  のスレッシュホールドを超える電流が SECONDARY BYPASS ピンに流入し、内部オートリスタートがトリガされたときに有効になります。出力から SECONDARY BYPASS ピンにツェナー ダイオードを接続することで、出力電圧を直接検知する OVP 機能を実現します。ツェナー ダイオードの電圧定格は、 $1.25 \times V_{out}$  と 4.4 V の SECONDARY BYPASS ピン電圧の差になる必要があります。SECONDARY BYPASS ピンへの最大電流を制限するために、OVP ツェナー ダイオードと直列に小さな値の抵抗を追加する必要があります (図 18-b を参照)。

5 V 出力の OVP は、直列の 2 つのダイオードで実装できます (図 18-c を参照)。フィルタ コンデンサの定格は 6.3 V にする必要があります。

#### 基板レイアウトに関する推奨事項

##### 一点接地

入力フィルタ コンデンサから SOURCE ピンに接続する銅箔部を一点接地接続にします。図 19 及び 20 を参照してください。

##### バイパス コンデンサ

PRIMARY BYPASS ( $C_{BPP}$ )、SECONDARY BYPASS ( $C_{BPS}$ ) のデカップリング コンデンサは、PRIMARY BYPASS-SOURCE、SECONDARY BYPASS-GROUND、及び FEEDBACK-GROUND ( $C_{FB}$ ) の各ピンに隣接して配置し、短い配線で接続する必要があります。

##### 信号部品

フィードバック情報の監視に使用する外付け部品  $R_{LS}$ 、 $R_{BP}$ 、 $R_{FB(UPPER)}$ 、 $R_{FB(LOWER)}$ 、及び  $R_{IS}$  は、IC ピンのできるだけ近くに配置し、短い配線で接続する必要があります。

##### 重要なループ エリア

$dv/dt$  または  $di/dt$  が高くなる回路のループは、できるだけ小さくする必要があります。入力フィルタ コンデンサ、トランスの一次側、及び IC を接続する一次側ループ エリアは、できるだけ小さくする必要があります。

ループエリア内に別のループを配置しないようにしてください (図 21 参照)。このようにすると、回路間の相互干渉が最小になります。

##### 一次側クランプ回路

クランプは、電源オフ時の DRAIN ピンのピーク電圧を制限するために使用します。具体的には、RCD クランプまたはツェナー ダイオード (約 200 V) とダイオード クランプを一次巻線に使用します。EMI を削減するには、クランプ部品、トランス、及び IC 間のループを最小化します。

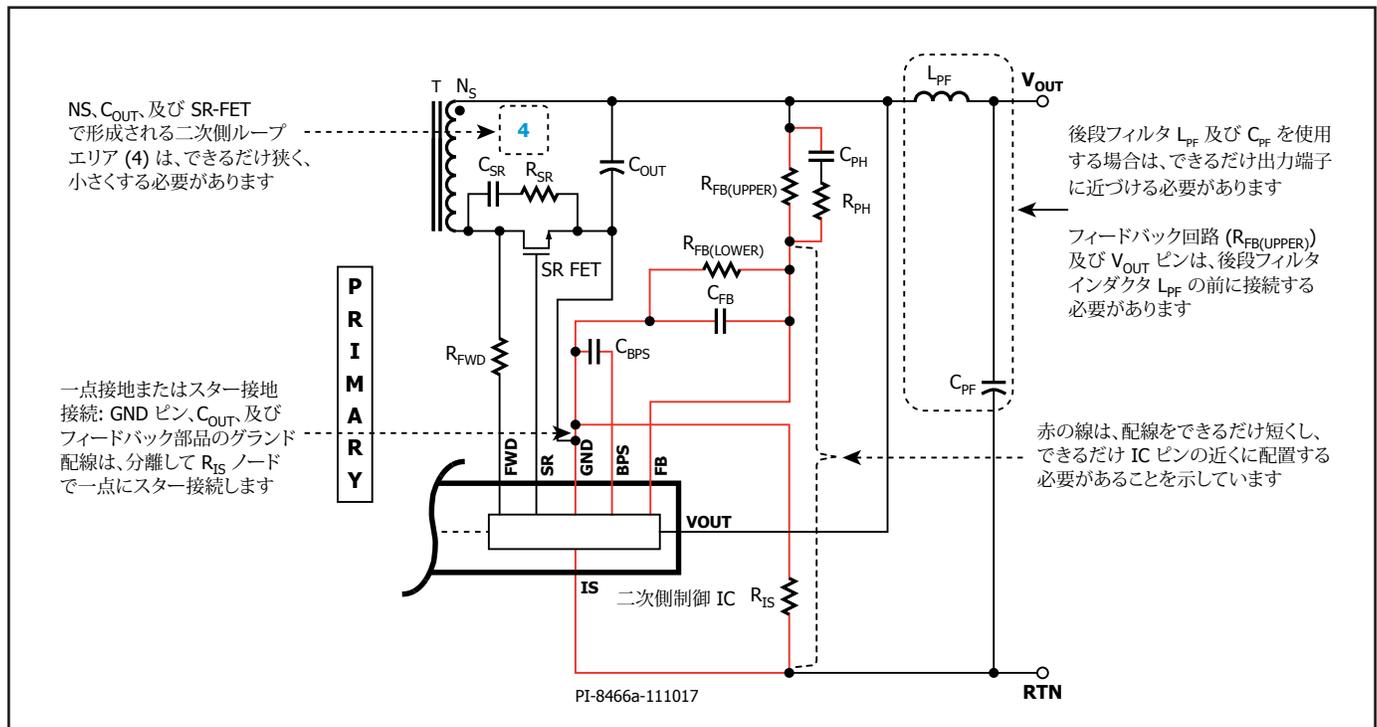


図 19. 重要なループ エリア、重要な部品配線、及び一点接地またはスター接地を示す、InnoSwitch3 二次側の一般的な回路図 (オプションの後段 LC フィルタを含みます)

Y コンデンサ

Y コンデンサは、一次側入力フィルタ コンデンサのプラス端子から二次側トランスのプラス出力またはリターン端子に直接接続する必要があります。このように配置することで、過大なコモン モード サージ電流を迂回させ IC デバイスに進入するのを防ぎます。 $\pi$  型の入力 EMI フィルタ C1、 $L_F$ 、C2 を使用する場合は、フィルタのインダクタを入力フィルタ コンデンサのマイナス端子の間に接続する必要があります。

出力 SR MOSFET

最高の性能を実現するには、二次巻線、出力 SR MOSFET、出力フィルタ コンデンサを結ぶループ エリアを最小にする必要があります。また、十分な放熱のために SR MOSFET のターミナルの銅パターンは、十分に大きくする必要があります。SR FET ソースと InnoSwitch3 GROUND ピンの間の距離は短くする必要があります。これは、マイナス電流が一次側 MOSFET を介して流入するのを防ぐためです。

ESD 耐性

ESD または Hi-Pot 絶縁要件に適合するように、一次側と二次側の回路間には十分な空間距離 (8 mm 以上) を維持する必要があります。スパークギャップは、出力リターンまたはプラス端子とヒューズ後段のいずれかの

AC 入力の上に配置するのが最適です。この構成で、適用されるほとんどの安全基準の沿面距離と空間距離の要件を満たすには、6.4 mm (お客様の要件によっては 5.5 mm を使用可能) のスパーク ギャップで十分です。スパーク ギャップの電圧が AC 入力のピークを超えることがないため、この距離は一次側と二次側の距離よりも小さくなります。図 21 のレイアウト例を参照してください。

コモンモード チョークまたはインダクタのスパーク ギャップは、ESD またはコモンモード サージによるハイエナジー放電用に低インピーダンスパスを確保するのに役立ちます。

ドレイン ノード

ノイズは主にドレイン スイッチング ノードで発生します。そのため、ドレイン ノードに接続する部品は、ノイズの影響を受けやすいフィードバック回路から離して、IC の近くに配置する必要があります。クランプ回路部品は PRIMARY BYPASS ピンから物理的に離れた位置に配置し、この回路の配線の幅及び長さを最小にする必要があります。

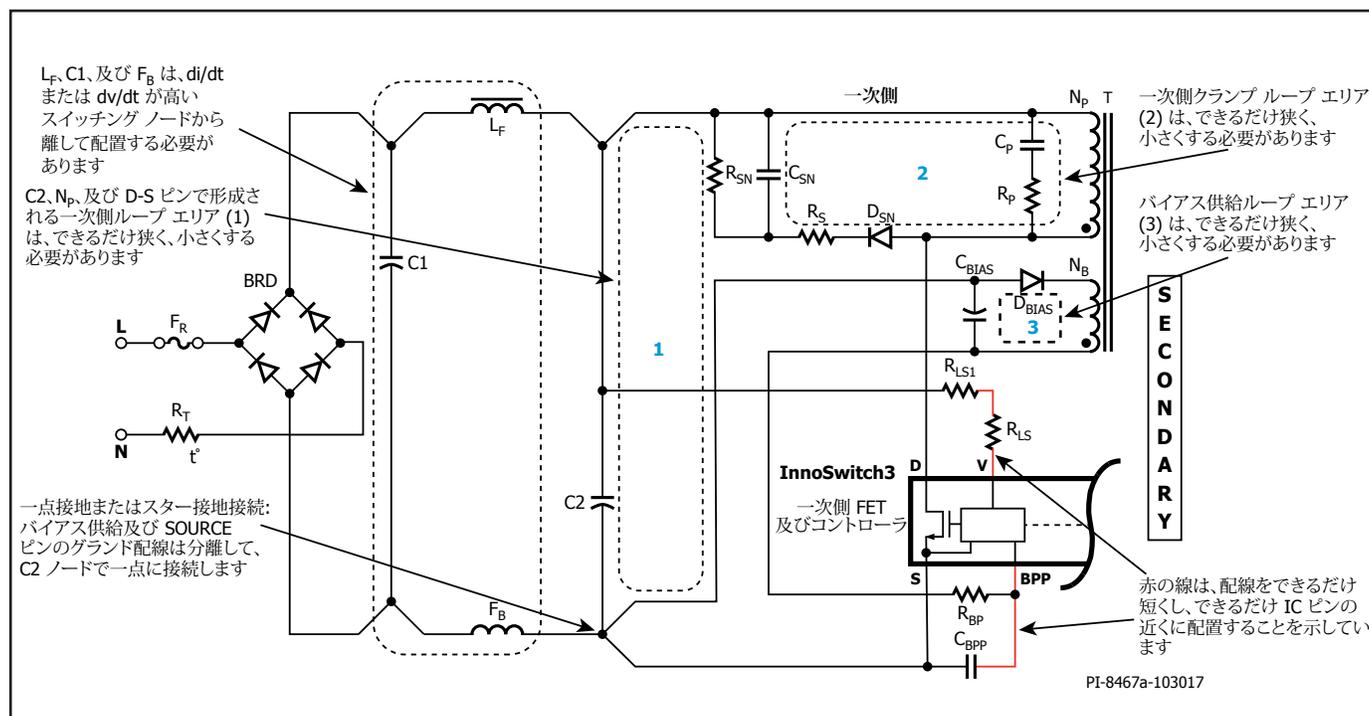


図 20. 重要なループ エリア、重要な部品配線、及び一点接地またはスター接地を示す、InnoSwitch3 一次側の一般的な回路図

## レイアウトの例

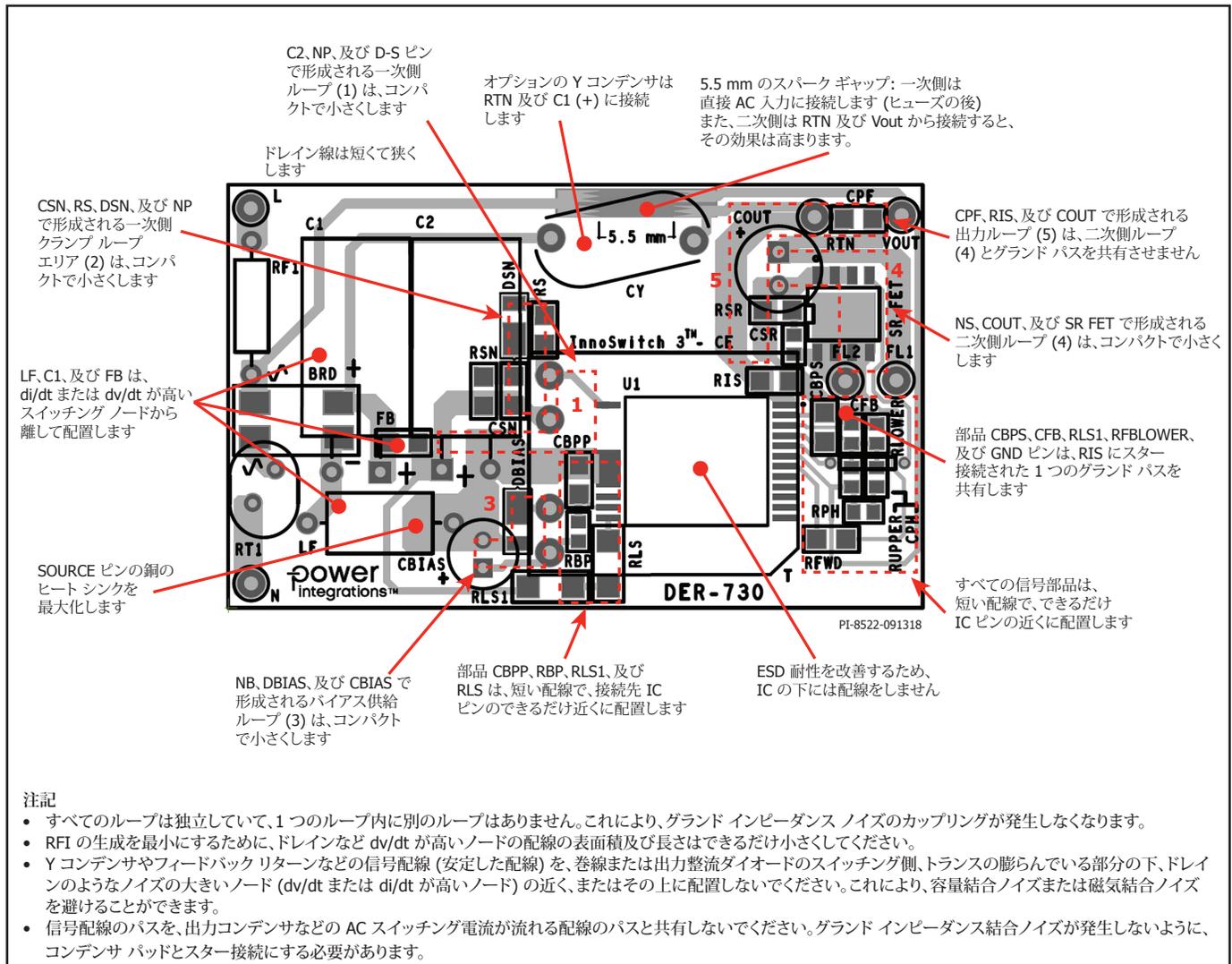


図 21. 上面と底面 - 図 19 及び 20 を基準とした、 $dv/dt$  または  $di/dt$  が高い回路の狭いループ エリア、部品配置、及びスパークギャップの場所を示す、理想的なレイアウト例

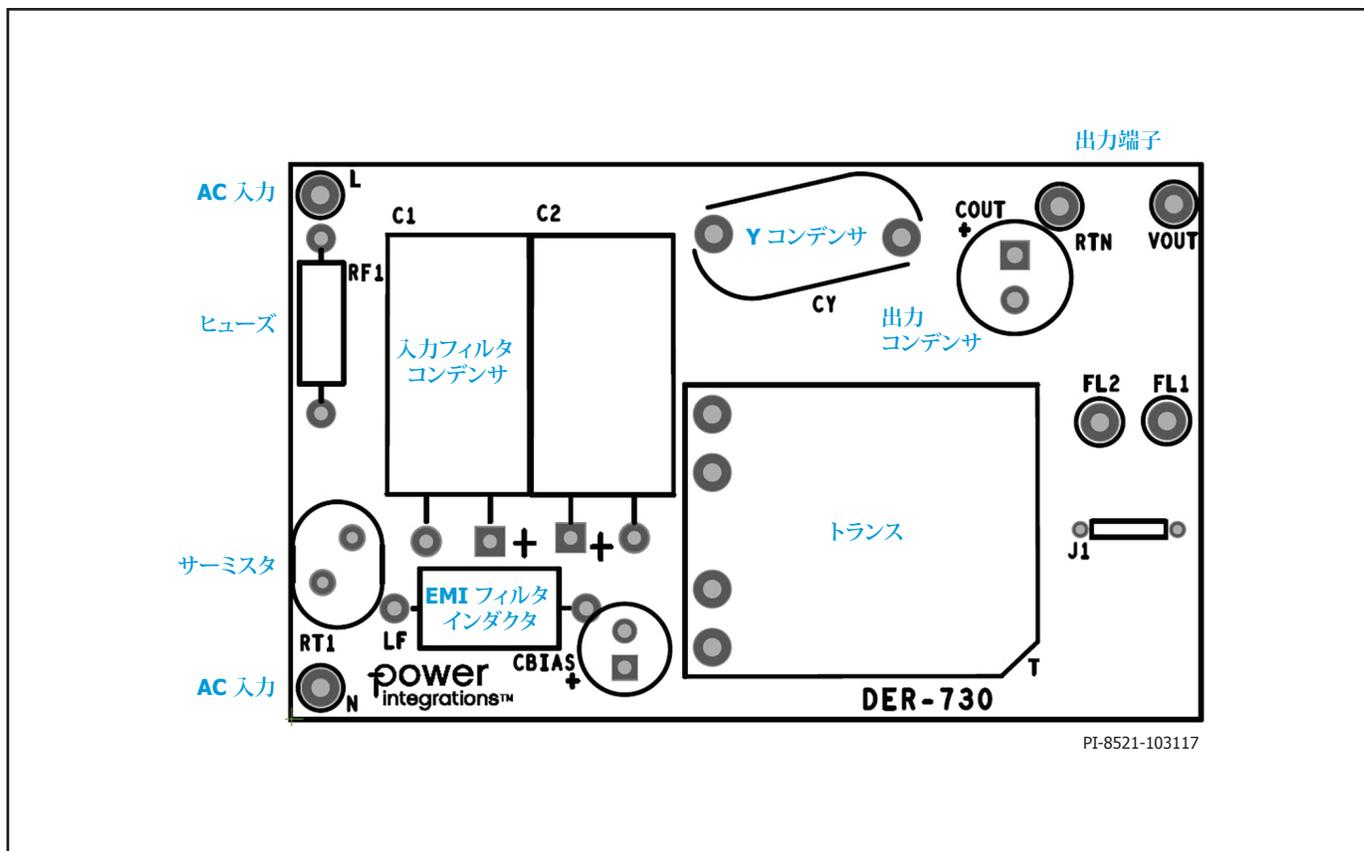


図 22. 上面 - スルーホール部品を示すレイアウト例

## トランスに対する InSOP-24D パッケージの推奨位置

トランス及び InSOP-24D の下にある基板は強固でなければなりません。薄い基板 (<1.5 mm) で大きなサイズのトランス コアが使用されている場合は、InSOP パッケージからトランスを遠ざけることを推奨します。InSOP

パッケージの近く、または下の基板にスロットを開けることは、基板が弱くなるため、一般には推奨しません。長い基板の場合は、基板の中央に機械的な支持部または支柱を取り付けるか、InSOP パッケージの近くに配置することを推奨します。

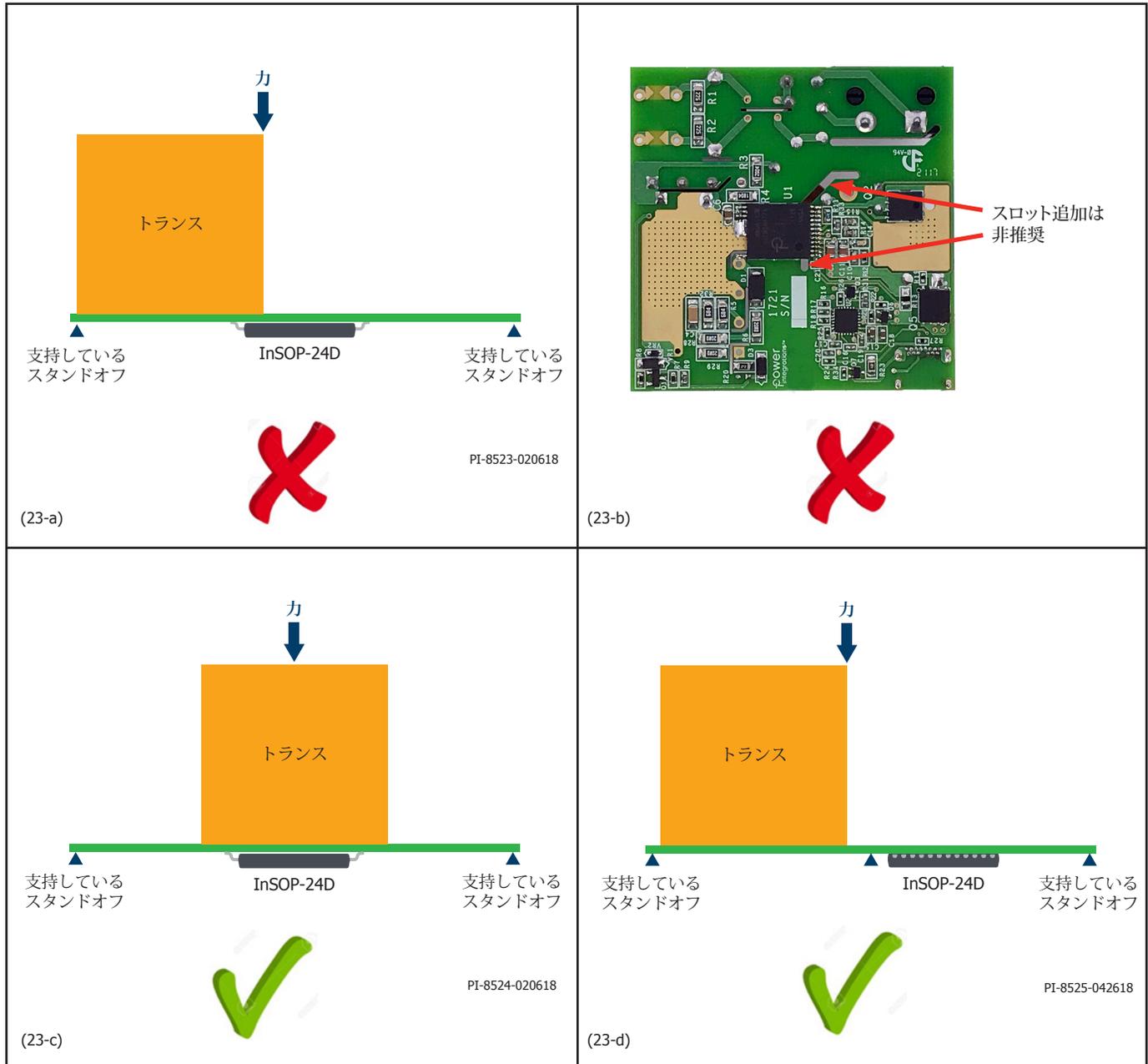


図 23. チェック マークで示した InSOP-24D パッケージの推奨位置

## 無負荷時待機電力の削減に関する推奨事項

InnoSwitch3 IC は、内部電源から充電される BYPASS ピン コンデンサから自己給電モードで起動します。InnoSwitch3 IC がスイッチングを開始した後は、PRIMARY BYPASS ピンへの電流供給にバイアス巻線が必要になります。バイアス巻線から PRIMARY BYPASS ピンに電流供給することにより、無負荷時消費電力が 15 mW 未満の電源を実現します。図 13 の抵抗  $R_{BP}$  は、無負荷時入力電力が最小になるように調整する必要があります。

無負荷時待機電力を更に削減するのに役立つその他の手段は、次のとおりです。

1. 低容量一次側クランプ コンデンサ  $C_{SN}$
2. バイアス回路整流用のショットキーまたは超高速ダイオード  $D_{BIAS}$
3. バイアス回路フィルタ コンデンサ用の低 ESR コンデンサ  $C_{BIAS}$
4. 低容量 SR FET RC スナバ コンデンサ  $C_{SR}$
5. 一次巻線層間にテープ層を挿入し、一次巻線と二次巻線の間に多層のテープを挿入すると、巻線間の容量が小さくなります。

## EMI の削減に関する推奨事項

1. 一次側と二次側の電源回路で部品を適切に配置しループ エリアを小さくすることで、ラジエーション EMI と伝導 EMI を最小限にすることができます。ループ エリアを小さくすることが重要です。図 19 及び 20 を参照してください。
2. 一次側のクランプ ダイオードと並列に小さなコンデンサを配置することで、ラジエーション EMI を小さくすることができます。
3. 抵抗 (2 – 47  $\Omega$ ) をバイアス巻線と直列に接続することで、ラジエーション EMI を小さくすることができます。
4. 小さな抵抗とセラミックコンデンサを直列にして、一次側のメイン巻線 (コンデンサ 22 pF 未満) に接続するか (図 20)、二次側メイン巻線 (コンデンサ 100 pF 未満) に接続すると、伝導 EMI やラジエーション EMI を小さくすることができます。ただし、値が大きいと、無負荷時消費電力が増大します。
5. コモン モードのノイズを十分に低減するには、一般に電源の入力にコモン モード チョークが必要になります。ただし、トランスでシールド巻線を使用しても同様の効果が得られます。入力のコモン モード フィルタ インダクタと合わせてシールド巻線を使用する場合も、伝導 EMI とラジエーション EMI が低減されます。
6. SR MOSFET の RC スナバの値を調整すると、高周波のラジエーション EMI と伝導 EMI が低減されます。
7. 入力整流回路の後にディファレンシャル インダクタとコンデンサで構成された  $\pi$  フィルタを使用すると、低周波ディファレンシャル EMI を低減させることができます。フェライト ビーズ (図 20 を参照) を追加して、最小のコストで EMI マージンを更に改善できます。
8. ディファレンシャル インダクタの抵抗により Q 係数が小さくなり、10 MHz を超える EMI が低減されます。ただし、5 MHz より小さい低周波 EMI が少し増加することがあります。
9. 1  $\mu$ F セラミック コンデンサを電源出力に接続すると、ラジエーション EMI が低減することがあります。
10. 低速ダイオード ( $250 \text{ ns} < t_{RR} < 500 \text{ ns}$ ) をバイアス整流 ( $D_{BIAS}$ ) に使用すると、一般的に、20 MHz 以上の伝導 EMI 及び 30 MHz 以上のラジエーション EMI の低減に有効です。

## ESD 耐性の改善に関する推奨事項

1. 一次側と二次側の回路間には十分な空間距離 (8 mm 以上) を維持する必要があります (特に、InSOP パッケージ及びトランスの下になる場合)。
  - a. スパーク ギャップを InSOP パッケージの近く、または上に配置するのは、推奨できません。
2. 2 つのスパーク ギャップを、二次側端子 (出力リターン及びプラス端子) 及びヒューズ後段のいずれかの AC 入力に接続します (図 21 を参照)。この構成では、適用される安全基準の沿面距離と空間距離に関する要件に、多くの場合、5.4 mm 以上のギャップで十分適合します。
  - a. USB コネクタを使用するアプリケーションの場合は、PCB パッドをフロート状態でコネクタのレッグに接続します。
3. コモンモード チョークまたはインダクタのスパーク ギャップを使用して、ESD またはコモンモード サージによって高まったハイエナジー放電用に低インピーダンス パスを提供します。
4. プラスまたはマイナスの出力端子から、入力整流コンデンサのプラス端子またはヒューズ後段の AC 入力に接続された、Y コンデンサを使用します。
5. 適切なレイアウトを使用し、アプリケーション ノートに記載されている PCB レイアウトに関する推奨事項に従います。
6. バイアス巻線と二次巻線の間、及び二次巻線と一次巻線の間、多層のテープを挿入します。

## 熱管理に関する考慮事項

SOURCE ピンは IC リード フレームに内部で接続され、デバイスから放熱するための主要な経路を提供します。したがって、一点接地としてだけでなくヒート シンクとしても機能させるには、SOURCE ピンを IC の下の銅箔部に接続する必要があります。良好な放熱を実現するためにはこの領域をできるだけ大きくする必要がありますが、静的なソース ノードであり EMI に問題が発生することはありません。同様に出力 SR MOSFET については、放熱されるパッケージのピンに接続する PCB 面積を最大にします。

IC の温度を絶対最大限度を超えることなく安全に維持するために、基板下では十分な銅箔部を確保する必要があります。最低の定格 AC 入力電圧、最大の定格負荷で動作させた場合に、IC の温度が 90 °C を超えないように、IC の SOURCE ピンをはんだ付けする銅箔部の面積を十分に確保することを推奨します (公称周囲温度)。必要に応じて、更なるディレーティングを適用してください。

## ヒート スプレッド

厳しい温度要件がある場合は、図 23-d に示すように、IC をトランスの隣に配置します。これにより、トランスから IC への熱放散が低減されます。ラップトップ アダプタなどの密閉型高電力アプリケーションや、周辺温度の高い同様のアプリケーションの場合、PCB をヒート シンクとして使用しても指定した動作温度内で IC を動作させるには不十分で、IC の冷却に金属製のヒート スプレッドが必要な場合があります。セラミック素材をヒート シンクに使用する場合を除き、安全性限界を最大にするよう注意する必要があります。ヒート スプレッドは、ヒート スプレッドの素材 (銅またはアルミニウム)、0.4 mm の Mylar パッド (強化絶縁用)、及び IC とスプレッド間の熱伝導効率を上げるための熱伝導パッドを組み合わせて形成されます。

図 24 は、ヒート スプレッドを InSOP-24D パッケージに接続しながら、InnoSwitch3 IC の一次側ピンと二次側ピンの間で沿面距離を維持するための、基本的な考え方を示しています。

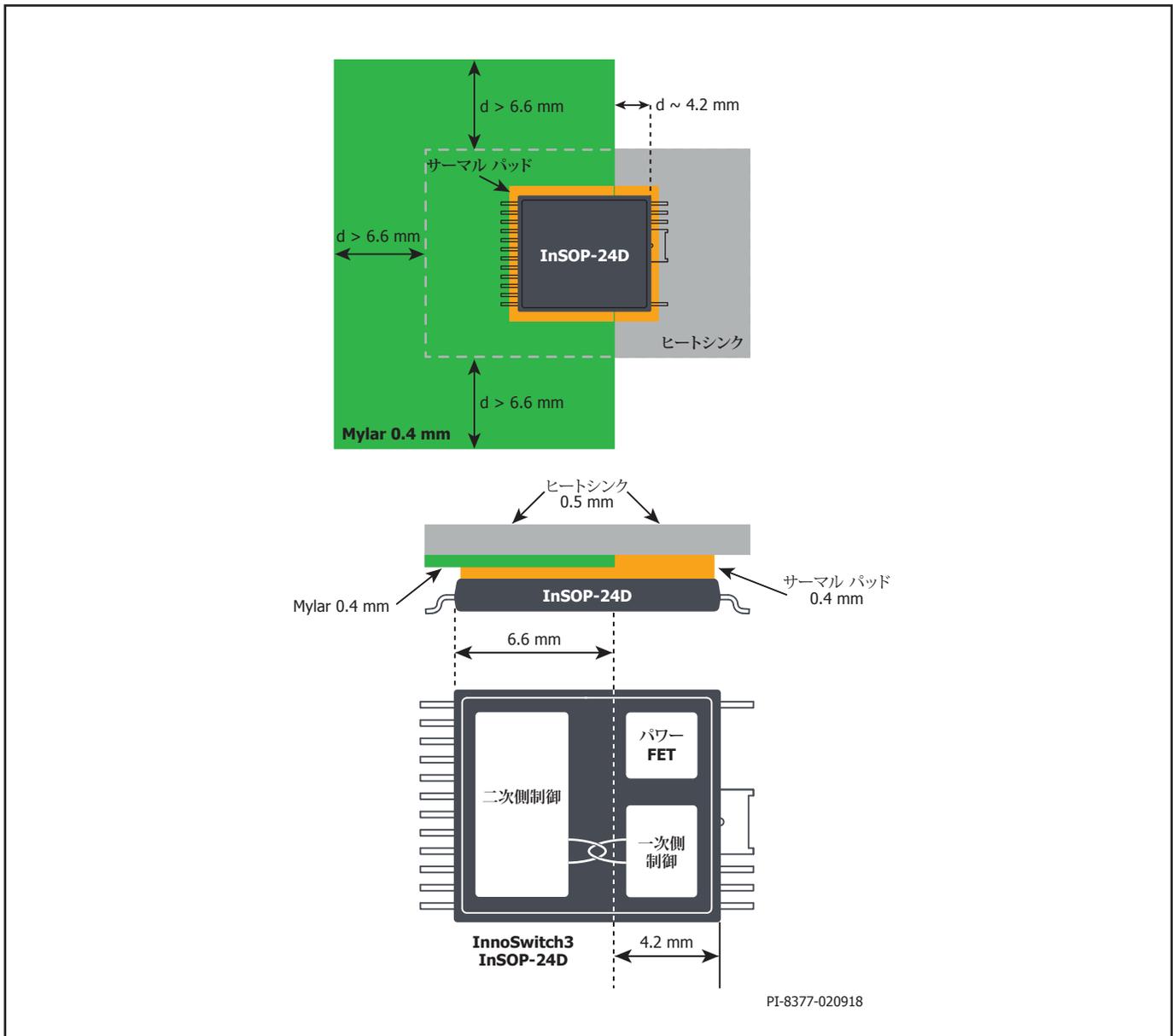


図 24. InSOP-24D パッケージへのヒート スプレッドの取り付けの簡略図

## 設計チェックリスト

いかなる電源設計であっても InnoSwitch3 を動作させるにはすべて、最悪条件で部品制約を超えないことをベンチマーク テストで検証する必要があります。最低限、次のテストを行うことを強く推奨します。

### 最大ドレイン電圧

通常動作時と起動時に最大入力電圧及びピーク (過負荷) 出力電力で InnoSwitch3 と SR FET の  $V_{DS}$  がブレイクダウン電圧の 90% を超えないことを検証します。

### 最大ドレイン電流

最高周囲温度、最大入力電圧、及びピーク (過負荷) 出力電力において、起動時と定常状態でのドレイン電流波形を観測して、トランスの飽和または過剰なリーディングエッジスパイク電流の兆候がないことを確認します。定

常状態でテストを繰り返し、リーディング エッジ スパイク電流が  $t_{LEB(MIN)}$  の最後に  $I_{LIMIT(MIN)}$  を下回っているか確認します。すべての条件において、一次側 MOSFET の最大ドレイン電流が仕様の絶対最大定格を下回っていることが必要です。

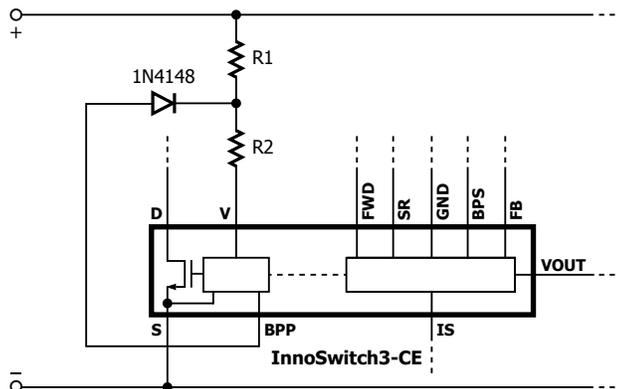
### 温度特性の確認

規定の最大出力電力、最小入力電圧、及び最大周囲温度において、InnoSwitch3 IC、トランス、出力 SR FET、及び出力コンデンサの温度仕様が制限を超えないことを検証します。MOSFET  $R_{DS(ON)}$  における部品ごとのばらつきを許容する十分な温度マージンが必要です。低入力電圧、最大電力において  $R_{DS(ON)}$  のばらつきを許容するには、InnoSwitch3 の SOURCE ピンの最大温度を 110 °C にすることを推奨します。

回路に関するシンプルなアイデア

入力 **OV** のみ

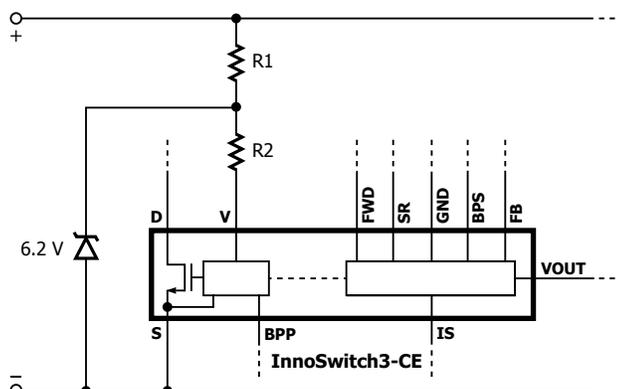
ダイオードが BPP からバイアスされ、R2 を介して VOLTAGE ピンに  $I_{UV}$  スレッシュホールドを超える定電流を供給して、IC の UV 機能を無効にします。



PI-8403-081617

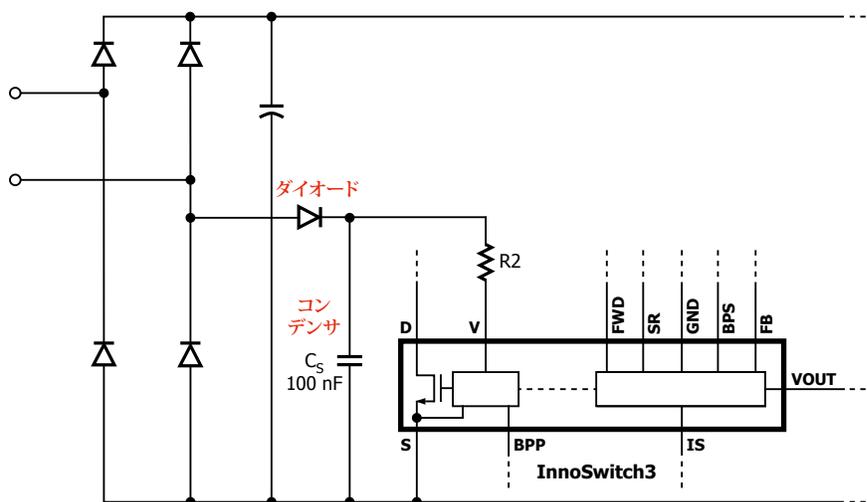
入力 **UV** のみ

ツェナーによって R1-R2 ノードの電圧がクランプされ、 $I_{UV}$  スレッシュホールドを超える定電流が供給されて、IC の OV 機能が無効になります。



PI-8404-081617

**OV** ラッチ機能による IC の高速 **AC** リセットダイオードにより、VOLTAGE ピンで OV/UV 検出のための入力電圧監視が可能です。コンデンサのサイズは入力リップルをフィルタするように設定されます。ラッチをリセットするため、VOLTAGE が十分な速さで  $I_{UV}$  スレッシュホールドを下回るように放電できるようにするには、 $C_s$  を小さくする必要があります。

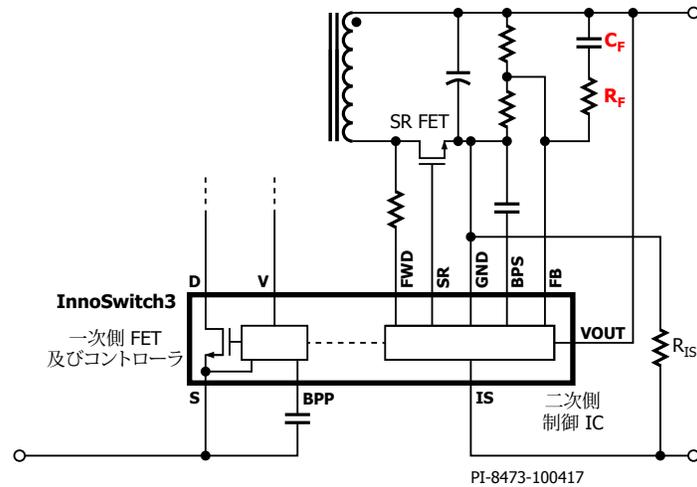


PI-8468-100417

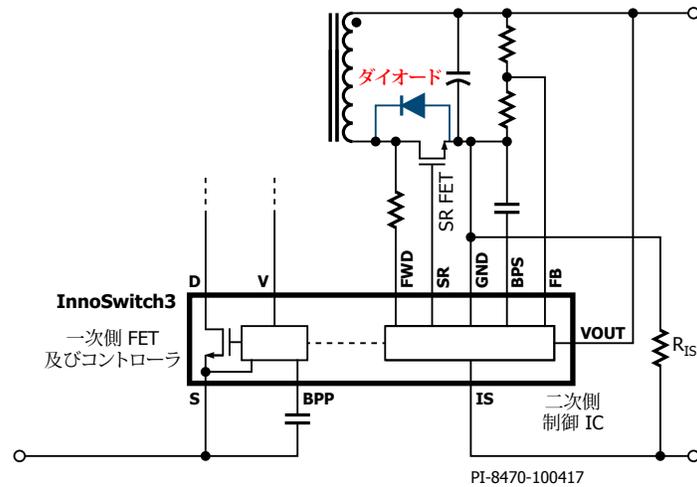
図 25. 設計を向上させる回路のアイデア

**RFB<sub>UPPER</sub>** の RC 回路。

低出力リップル電圧が必要な一部のアプリケーションでは、RC 位相ブースト回路をフィードバック抵抗と並列に追加して、上側のフィードバック検出を迅速化させる必要があります。開始値として、1 nF 及び 1 kΩ を推奨します。

**SR FET** のダイオード

入力や使用する SR FET によっては、ショットキーダイオードを SR FET に追加すると、効率が更に 0.1% ~ 0.2% 改善することがあります。

**OUTPUT VOLTAGE-GROUND** ピンのコンデンサ

小さなセラミックコンデンサ (最大 10 μF) を OUTPUT VOLTAGE ピンから GROUND ピンに配置すると、出力リップルが低減します。

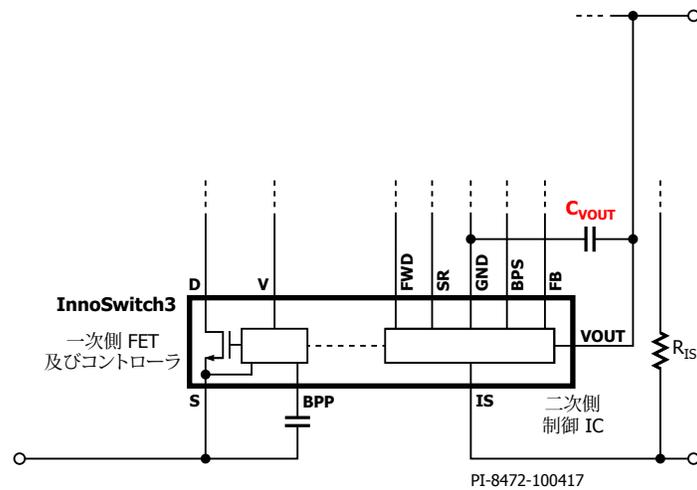
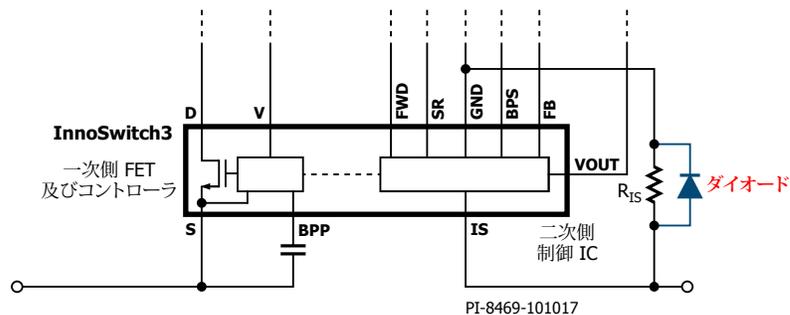


図 25 (続き). 設計を向上させる回路のアイデア

電流センス  $R_{IS}$  のダイオード  
 電流センス抵抗 ( $R_{IS}$ ) に配置されたダイオード (ショットキーまたは超高速) は、 $R_{IS}$  の損傷を引き起こす可能性がある、短絡時の電流と電圧の高いサージを防ぎます。この配置は、高出力電圧及び高出力フィルタ容量での設計に適しています。



電流センス  $R_{IS}$  のコンデンサ  
 $R_{IS}$  が IC から幾分離れて配置されている場合に、コンデンサ (10 ~ 100 nF) を IS 及び GND ピンに配置すると、CC 動作でのグループパルス現象が低減されます。

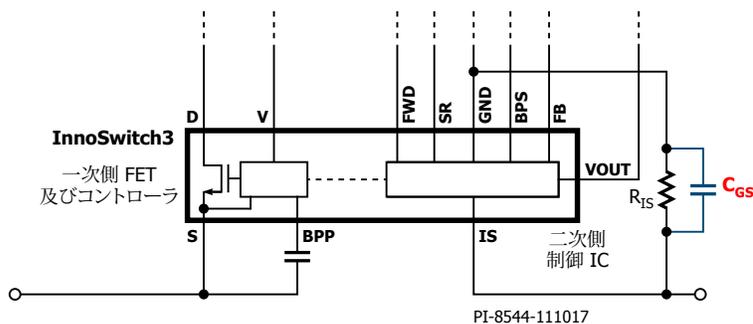


図 25 (続き). 設計を向上させる回路のアイデア

## 応用例

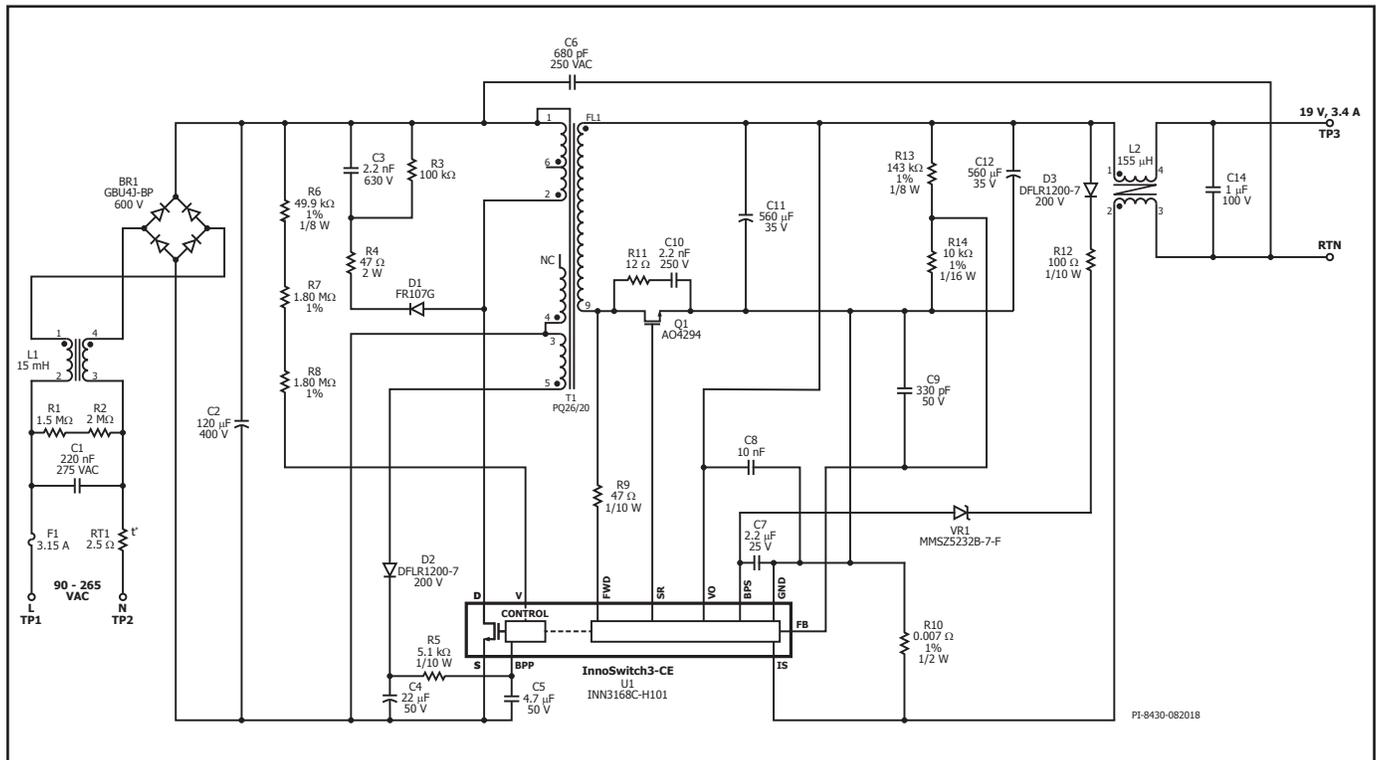


図 26. INN3168C を使用する、DER-535 65 W、19 V 電源の回路図

## 高効率、65 W のユニバーサル入力電源 (InnoSwitch3-CE)

図 26 に示す回路では、INN3168C を使用し、90 VAC ~ 265 VAC の入力電圧で、90% を超える平均効率で 65 W (3.4 A で 19 V) を供給します。

ブリーダ抵抗 R1 及び R2 を使用して、C1 に蓄えられたエネルギーを放電し、安全要件を満たします。入力コンデンサ C2 は 90 VAC 入力でフル出力電力を維持するのに十分であり、抵抗 R6、R7、及び R8 が入力電圧を検出します。約 100 V DC で、これらの抵抗に流れる電流が低入力電圧スレッシュホールドを超え、U1 が起動します。約 420 V DC で、これらの抵抗を通る電流が過入力電圧スレッシュホールドを超えると、U1 が停止します。D1、R3、R4、及び C3 で形成される低コストの RCD クランプにより、トランス漏れリアクタンスと出力配線インダクタンスの相互作用によるピークドレイン電圧が制限されます。

INN3168C の二次側は出力電圧及び出力電流を検出し、同期整流用 MOSFET のドライブを提供します。19 V 出力の出力整流は、SR FET Q1 によって行われます。非常に低い ESR コンデンサ C11 及び C12 がフィルタリングを行います。R11 及び C10 で Q1 を構成する RC スナバ ネットワークにより、トランス巻線の漏れ及び二次配線による、SR FET の高周波リングが減衰されます。コンデンサ C8 は U1 を ESD から保護します。OUTPUT VOLTAGE ピンと GROUND ピンの間に小さな SMD セラミックコンデンサを追加すると、ESD 及びサージ保護が向上します。OVP 検出用ツェナーダイオード VR1 は、R12 を介して二次側出力過電圧保護を提供します。出力コモンモードチョーク L2 は、高周波コモンモードノイズを低減し、U1 をコモンモードサージから保護します。

最大周辺温度条件では、最大負荷、低入力電圧での動作時に InnoSwitch3 デバイスを 110 °C 以下に維持するには、ヒートスプレッダ

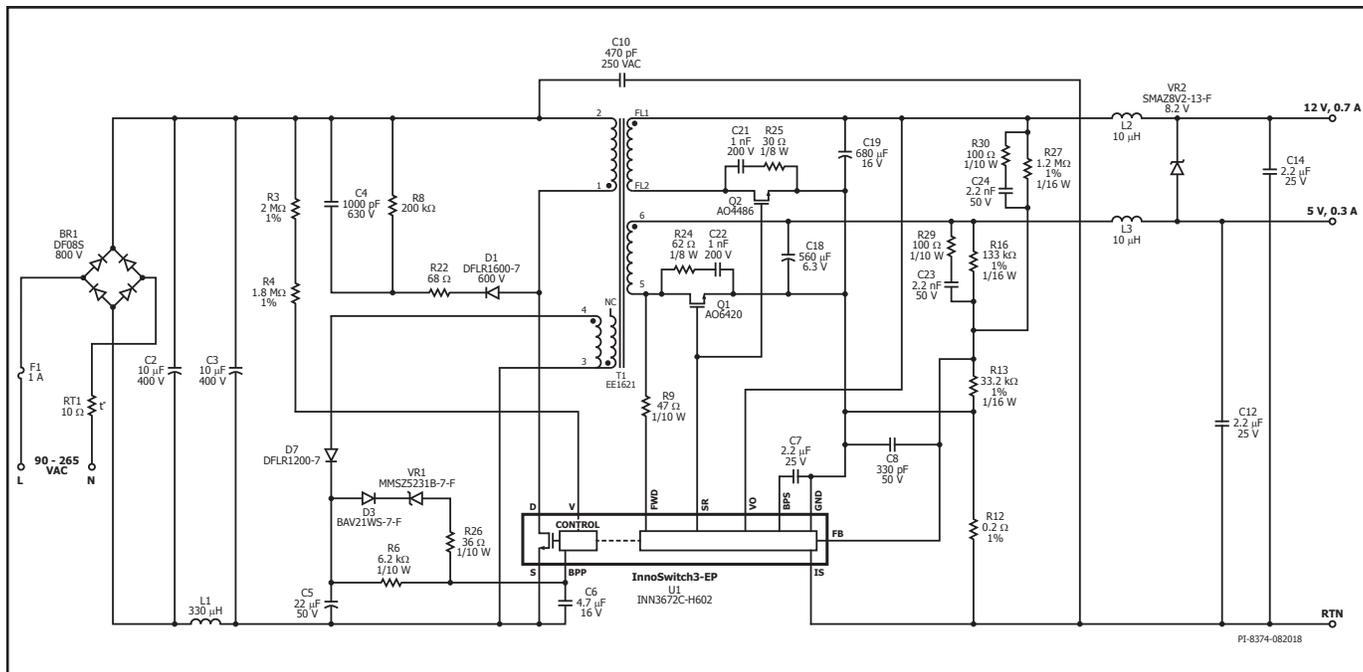


図 27. 回路図 DER-611、5 V、0.3 A 及び 12 V、0.7 A の HVAC (暖房機器、換気装置、エアコン) アプリケーション

が必要です。

高効率、10 W のデュアル出力 – ユニバーサル入力電源 (InnoSwitch3-EP)

図 27 の回路は、90 VAC ~ 265 VAC の入力電圧で 10 W の出力電力を供給します。最大負荷、90 VAC の入力電圧で 84% を超える効率を達成し (InnoSwitch3-EP ファミリーの INN3672C を使用)、2 つの SR FET で 2 つの出力間に正確なクロスレギュレーションを実現します。

一次側電圧保護は、ツェナーダイオード VR1 を使用して得られます。出力に過電圧が発生した場合、バイアス巻線の出力で増加した電圧により、ツェナーダイオード VR1 が動作し、InnoSwitch3-EP IC の一次側コントローラが OVP 停止します。

5 V 出力の出力整流は SR FET Q1 によって、12 V 出力の出力整流は SR FET Q2 によって行われます。Q1 及び Q2 のターンオンのタイミングは、R9 及び IC の FORWARD ピンを介して検出された 5 V の巻線電圧によって制御されます。抵抗 R16、R27、及び R13 は電圧分割ネットワークを形成し、これが出力電圧を両方の出力から検出して、より優れたクロスレギュレーションを実現します。12 V 出力と 5 V 出力のフィードバック電流比は 1:3 で、これが 5 V 出力でのより優れたレギュレーションと優れたクロスレギュレーションを実現します。コンデンサ C23 及び C24 で構成されるフィードバック補償回路は、出力リップル電圧を低減します。コンデンサ C8 は、電源の動作に干渉する高周波ノイズを防止するため、デカップリングを提供します。ツェナーダイオード VR2 により、12 V 出力が無負荷で 5 V 出力が最大負荷の場合のクロスレギュレーションが向上します。

---

注

改訂	注	日付
A	初回リリース	10/18

## 最新の情報については、弊社ウェブサイトを参照してください。[www.power.com](http://www.power.com)

Power Integrations は、信頼性や生産性を向上するために、いつでも製品を変更する権利を保有します。Power Integrations は、ここに記載した機器または回路を使用したことから生じる事柄について責任を一切負いません。Power Integrations は、ここでは何らの保証もせず、商品性、特定目的に対する適合性、及び第三者の権利の非侵害性の黙示の保証などが含まれますがこれに限定されず、すべての保証を明確に否認します。

### 特許情報

ここで例示した製品及びアプリケーション（製品の外付けトランス構造と回路も含む）は、米国及び他国の特許の対象である場合があります。また、Power Integrations に譲渡された米国及び他国の出願中特許の対象である可能性があります。Power Integrations が保有する特許の全リストは、[www.power.com](http://www.power.com) に掲載されています。Power Integrations は、[www.power.com/ip.htm](http://www.power.com/ip.htm) の定めるところに従って、特定の特許権に基づくライセンスをお客様に許諾します。

### 生命維持に関する方針

Power Integrations の社長の書面による明示的な承認なく、Power Integrations の製品を生命維持装置またはシステムの重要な構成要素として使用することは認められていません。ここで使用した用語は次の意味を持つものとします。

- 「生命維持装置またはシステム」とは、(i) 外科手術による肉体への埋め込みを目的としているか、または (ii) 生命活動を支援または維持するものであり、かつ (iii) 指示に従って適切に使用した時に動作しないと、利用者に深刻な障害または死をもたらすと合理的に予想されるものです。
- 「重要な構成要素」とは、生命維持装置またはシステムの構成要素のうち、動作しないと生命維持装置またはシステムの故障を引き起こすか、あるいは安全性または効果に影響を及ぼすと合理的に予想される構成要素です。

Power Integrations, Power Integrations ロゴ、CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, SCALE, SCALE-1, SCALE-2, SCALE-3, 及び SCALE-iDriver は Power Integrations, Inc. の商標です。その他の商標は、各社の所有物です。©2018, Power Integrations, Inc.

## Power Integrations の世界各国の販売サポート担当

<p>世界本社 5245 Hellyer Avenue San Jose, CA 95138, USA 代表: +1-408-414-9200 カスタマー サービス: 下記以外の国: +1-65-635-64480 アメリカ: +1-408-414-9621 電子メール: <a href="mailto:usasales@power.com">usasales@power.com</a></p>	<p>ドイツ (AC-DC/LED 販売) Lindwurmstrasse 114 D-80337 München Germany 電話: +49-89-5527-39100 電子メール: <a href="mailto:eurosales@power.com">eurosales@power.com</a></p>	<p>イタリア Via Milanese 20, 3rd.Fl. 20099 Sesto San Giovanni (MI) Italy 電話: +39-024-550-8701 電子メール: <a href="mailto:eurosales@power.com">eurosales@power.com</a></p>	<p>シンガポール 51 Newton Road #19-01/05 Goldhill Plaza Singapore, 308900 電話: +65-6358-2160 電子メール: <a href="mailto:singaporesales@power.com">singaporesales@power.com</a></p>
<p>中国 (上海) Rm 2410, Charity Plaza, No. 88 North Caoxi Road Shanghai, PRC 200030 電話: +86-21-6354-6323 電子メール: <a href="mailto:chinasales@power.com">chinasales@power.com</a></p>	<p>ドイツ (ゲートドライブ販売) HellwegForum 1 59469 Ense Germany 電話: +49-2938-64-39990 電子メール: <a href="mailto:igbt-driver.sales@power.com">igbt-driver.sales@power.com</a></p>	<p>日本 〒222-0033 神奈川県横浜市 港北区新横浜 1-7-9 友泉新横浜一丁目ビル 電話: +81-45-471-1021 電子メール: <a href="mailto:japansales@power.com">japansales@power.com</a></p>	<p>台湾 5F, No. 318, Nei Hu Rd., Sec.1 Nei Hu Dist. Taipei 11493, Taiwan R.O.C. 電話: +886-2-2659-4570 電子メール: <a href="mailto:taiwansales@power.com">taiwansales@power.com</a></p>
<p>中国 (深圳) 17/F, Hivac Building, No. 2, Keji Nan 8th Road, Nanshan District, Shenzhen, China, 518057 電話: +86-755-8672-8689 電子メール: <a href="mailto:chinasales@power.com">chinasales@power.com</a></p>	<p>インド #1, 14th Main Road Vasanthanagar Bangalore-560052 India 電話: +91-80-4113-8020 電子メール: <a href="mailto:indiasales@power.com">indiasales@power.com</a></p>	<p>韓国 RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea 電話: +82-2-2016-6610 電子メール: <a href="mailto:koreasales@power.com">koreasales@power.com</a></p>	<p>英国 Building 5, Suite 21 The Westbrook Centre Milton Road Cambridge CB4 1YG 電話: +44 (0) 7823-557484 電子メール: <a href="mailto:eurosales@power.com">eurosales@power.com</a></p>