

アプリケーション ノート AN-47

TOPSwitch-JX ファミリー

設計ガイド

はじめに

TOPSwitch™-JX は、オフライン電源用に設計された、高集積なワンチップのオフライン スイッチング用 IC です。TOPSwitch-JX 集積回路により、最大 244 W の電源設計が可能となる一方で、あらゆる負荷条件のもとで高効率が実現します。また、TOPSwitch-JX は、低負荷時及び待機時（無負荷時）のパフォーマンスが非常に優れています。TOPSwitch-JX ファミリーにより、設計者は、最新のエネルギー効率規格の効率要件に、容易に適合させることができます。革新的な独自機能により、小型でコスト効率に優れたスイッチング電源の設計が可能になると同時に、全体的な設計サイクル時間とシステムコストが削減されます。また、TOPSwitch-JX ファミリーは、堅牢な機能性を備えた電源設計を可能にし、出力過電圧保護、過負荷電力制限、ヒステリシス熱保護等の優れた安全特性を提供します。

ファミリの各 IC は、高耐圧パワー MOSFET 及びそのコントローラがワンチップに集積しています。内部起動バイアス電流は、DRAIN ピンに接続された高電圧の電流源から供給されるため、外付けの起動回路は不要です。内部発振器は、EMI を低減するための周波数変調 (ジッタ) 方式です。更に、IC は、システムレベルの保護を提供する機能を内蔵しています。オートリスタート機能は、過負荷時、出力の短絡、及びオープンループ時のパワー MOSFET、トランス、出力ダイオードの消費電力を制限します。また、自動復帰タイプの過熱保護機能により、ジャンクションの温度が安全限度を超えると、MOSFET のスイッチングが停止します。プログラム制御の低電圧/過電圧 (UV/OV) 検出機能により、入力サグまたは入力サージの条件下で、異常の

ない電源の起動とシャットダウンが可能になります。Power Integrations の EcoSmart® 技術により、TOPSwitch-JX ファミリーを使用して設計した電源は、無負荷時消費電力 100 mW 以下で、すべての入力及び負荷範囲で一定の効率を維持できます。TOPSwitch-JX ファミリーのソリューションは、欧州行動規範、EC EuP、及び ENERGY STAR 等のエネルギー効率規格に容易に適合します。

基本回路構成

定電流、定電力出力等、用途固有の要件の議論は、この設計ガイドの対象外です。ただし、ここで説明する基本コンバータに追加回路を追加することにより、そのような要件を満たすことはできます。追加回路の機能、設計例、及びその他の情報の詳細については、Power Integrations の Web サイトにアクセスするか、PI の営業拠点までお問い合わせください。

適用範圍

このアプリケーション ノートは、TOPSwitch-JX デバイス ファミリーを使用して絶縁型の AC-DC フライバック電源を設計するエンジニア向けに作成されています。エンジニアが主要部品を素早く選択し、適切なトランスの設計を行えるようにガイドラインを提供します。このアプリケーション ノートでは、作業を簡素化できるように、www.power.com から無償で入手可能な PI Expert® 設計ソフトウェアスイートの一部である PI Xls の計算設計シートを直接引用しています。図 1 に、TOPSwitch-JX フライバック電源の基本構成を示します。この回路は、このアプリケーション ノートの中で表される部品識別のための参照としても使用できます。

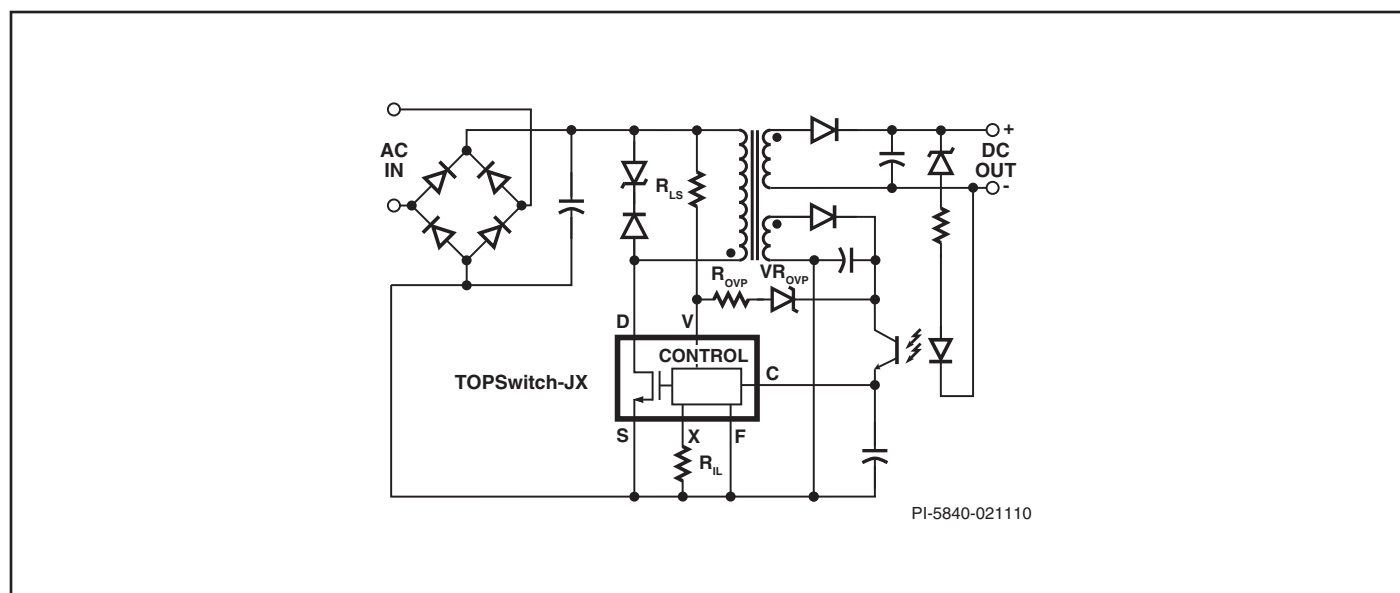


図1 一次側検出力過電圧保護、入力低電圧誤動作防止、入力過電圧シャットダウン、及びプログラム制御のカレントリミットを使用した、標準的な TOPSwitch-JX フライバック電源。

このアプリケーション ノートに加えて、TOPSwitch-JX 評価キット (RDK) もご利用ください。それぞれ、評価ボード、技術レポート、及びデバイス サンプルが含まれています。PI Expert のダウンロード、RDK の入手、このドキュメントのアップデートの詳細については、www.power.com を参照してください。

クイック スタート

電源の設計や Power Integrations の設計ソフトウェアに習熟しているユーザーの場合は、後述するステップバイステップ形式の計算手法を飛ばすことを選択しても良く、最初の試作に必要なトランスの設計と部品の選択を迅速に行うために、次に説明する情報を利用することができます。その場合、PI Xls 計算シートに入力する必要がある情報は、次に説明するものだけです。その他のパラメータは、標準的な設計要件に基づいて自動的に選択されます。計算シートのセル位置を角括弧の中 (参照セル) に示します。

- AC 入力電圧範囲 V_{AC_MIN} 、 V_{AC_MAX} 、及び最小入力周波数 f_L を入力します [B3、B4、B5]
- 出力電圧の定格値 V_O を入力します [B6]
- ピーク負荷条件がある設計の場合は、平均出力電力を入力するか、連続 (平均) 出力電力を入力します [B7]
- ピーク負荷電流がある設計の場合は、ピーク負荷電流を入力するか、空白のままにします [B8]
- 効率予測値を入力します [B11]
- ユニバーサル入力電圧 (85 ~ 265 VAC) または単一
 - 100/115 VAC (85 ~ 132 VAC) の設計では 0.8、単一 230 VAC (185 ~ 265 VAC) の設計では 0.85 を入力します。最大負荷及び V_{AC_MIN} での測定に基づいて、数値を調整します。

- 損失分配係数 Z を入力します [B12]
 - 標準的な応用例では 0.5 です (数値は最初のプロトタイプボードの評価後に調整します)
- 入力コンデンサ (C_{IN}) を入力します [B15]
 - ユニバーサル (85 ~ 265 VAC) または単一 (100/115 VAC) の場合は 2 ~ 3 $\mu F/W$
 - 単一 (185 ~ 265 VAC) には、1 $\mu F/W$ 単一 230 VAC を使用します。
- TOPSwitch-JX 部品をドロップダウン リストから選択するか、直接入力します [B19]
 - 出力電力と入力電圧にしたがって、下のテーブルでデバイスを選択します
 - 動作周波数を入力します – [B24]
 - 66 kHz での動作の場合は "H"
 - 132 kHz での動作の場合は "F"
- コア タイプ (必要な場合) をドロップダウン メニューから入力します [B54]
 - 値を入力しない場合は、推奨されるコア サイズが自動的に選択されます
- 警告発生した場合は、計算シートの F 列にある指示に従って設計を変更します
- トランスの作成
- 主要部品を選択します。
- ステップ 7 ~ 12 を参照してください。
- プロトタイプを作成し、必要に応じて設計を繰り返します。必要に応じて、推奨値が使用されていた計算シートに測定値を入力します (例: 効率、 V_{MIN})。
- Power Integrations では、トランスのプロトタイプの作成サービスと、他社へのリンクを提供しています。詳細については、www.power.com/componentsuppliers.htm を参照してください。

出力電力テーブル

製品 ⁵	基板銅箔部 ¹				製品 ⁵	金属ヒートシンク ¹			
	230 VAC ±15% ⁴		85-265 VAC			230 VAC ±15% ⁴		85-265 VAC	
	アダプタ ²	オープン フレーム ³	アダプタ ²	オープン フレーム ³		アダプタ ²	オープン フレーム ³	アダプタ ²	オープン フレーム ³
TOP264VG	21 W	34 W	12 W	22.5 W	TOP264EG/VG	30 W	62 W	20 W	43 W
TOP265VG	22.5 W	36 W	15 W	25 W	TOP265EG/VG	40 W	81 W	26 W	57 W
TOP266VG	24 W	39 W	17 W	28.5 W	TOP266EG/VG	60 W	119 W	40 W	86 W
TOP267VG	27.5 W	44 W	19 W	32 W	TOP267EG/VG	85 W	137 W	55 W	103 W
TOP268VG	30 W	48 W	21.5 W	36 W	TOP268EG/VG	105 W	148 W	70 W	112 W
TOP269VG	32 W	51 W	22.5 W	37.5 W	TOP269EG/VG	128 W	162 W	80 W	120 W
TOP270VG	34 W	55 W	24.5 W	41 W	TOP270EG/VG	147 W	190 W	93 W	140 W
TOP271VG	36 W	59 W	26 W	43 W	TOP271EG/VG	177 W	244 W	118 W	177 W

テーブル 1. 出力電力テーブル

注:

- 詳細については、デバイスのデータシートの「応用時の重要検討項目」を参照してください。
- 周囲温度 +50 °C、標準的な換気なしの密閉型アダプタで最大連続電力。
- 周囲温度 +50 °C、オープン フレーム設計時の最大連続電力。
- 230 VAC または 110/115 VAC の倍電圧。
- パッケージ: E: eSIP-7C、V: eDIP-12。デバイスのデータシートの品番コード体系表を参照してください。

ステップ バイ ステップ形式のトランス設計手順の紹介

設計フローにより、電源設計では、ピーク出力電力要件 "あり" と "なし" の両方で電源を設計できます。ピーク電力要件において、ピーク電力はデバイスのカレントリミットによって設定され、TOPSwitch-JX パッケージの熱特性と回路のその他の部品の定格によってのみ供給可能な短い時間が制約されます。

平均電力が増加するにしたいが、測定したトランス及びデバイスの温度に基づいて、より大きいトランスを選択して巻線の銅線部を増やすか、デバイスの放熱量を増やすことが必要な場合があります。

電力テーブル (テーブル 1) に、密閉型アダプタとオープン フレーム アプリケーションの両方で取得可能な、ピーク及び連続の (平均) 電力レベルのガイダンスを示します。外付けヒートシンクがない V パッケージの場合、アダプタとオープン フレームの電力値は熱的に制限されています。ピーク値は、カレント リミット ($I_{LIM(MIN)}$) での動作を想定し、電氣的に供給可能な出力電力を表しています。E パッケージの場合、アダプタの電力値は熱的にも制限されていますが、オープンフレームの値は電氣的に制約されているので、ピーク出力電力も表しています。連続電力値は熱的に制限されているため、最悪の場合の連続電力の上限を示していますが、具体的な用途によって異なる場合があります。例えば、ピーク電力条件が、DVD プレーヤーのトレイを閉じるのに必要な 1 秒のピーク等、非常に低いデューティ サイクルである場合、デバイス (とトランス) の温度上昇は、連続平均電力の作用でしかありません。ただし、ピーク電力が相当なデューティ サイクルで繰り返す場合、設計における制限要因として考慮する必要があります。

図 2 に、ピーク負荷条件が 2 つある設計の平均電力要件の計算方法を示します。

$$P_{AVE} = P_1 + (P_3 - P_1) \times \delta_1 + (P_2 - P_1) \times \delta_2$$

$$\delta_1 = \frac{\Delta t_1}{T}, \delta_2 = \frac{\Delta t_2}{T}$$

ここで、 P_x はさまざまな出力電力条件で、 Δt_x は各ピーク電力条件の期間で、 T はパルス負荷条件のサイクルの期間です。

設計手順には、ピーク電力及び連続 (平均) 電力の両方を指定する必要があります。設計にピーク電力要件がない場合は、連続電力とピーク電力の両方に同じ値を使用する必要があります。

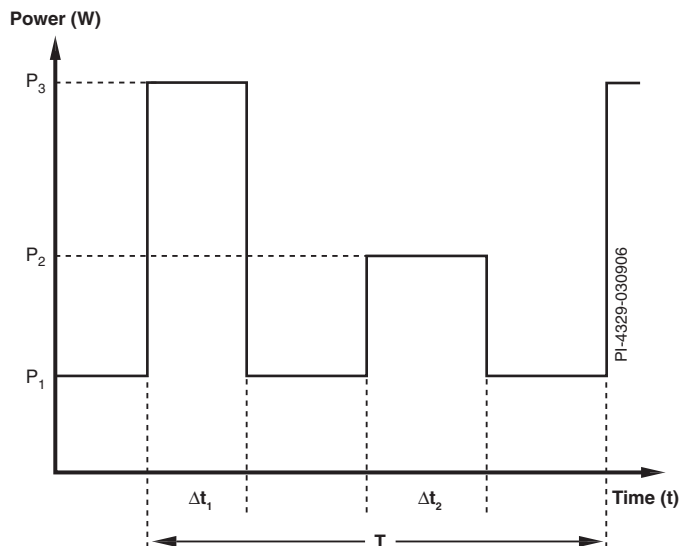


図 2 連続 (平均) 出力電力計算の例

ピーク電力は、TOPSwitch-JX デバイスの選択と、入力電圧での電力供給のトランス設計に使用されます。一方、連続 (またはピーク負荷が周期的な場合は平均電力) は、熱設計のために使用され、トランスとヒートシンクのサイズに影響する場合があります。

ステップ 1 – アプリケーション変数 $V_{AC\ MIN}$, $V_{AC\ MAX}$, f_L , V_O , $P_{O(AVE)}$, $P_{O(PEAK)}$, η , Z , V_B , t_C , C_{IN} を入力する

テーブル 2 から入力電圧範囲を決定します。

定格入力電圧 (VAC)	$V_{AC\ MIN}$	$V_{AC\ MAX}$
100/115	85	132
230	195	265
ユニバーサル	85	265

テーブル 2. 全世界の標準的な入力電圧範囲

入力周波数、 f_L

ユニバーサル電圧または単一 100 VAC 入力では 50 Hz、単一 115 VAC 入力では 60 Hz です。単一 230 VAC 入力では 50 Hz です。これらの値は、最小値ではなく標準的な入力周波数を示しています。ほとんどのアプリケーションでは、この値により適切な設計マージン全体が決まります。条件が極めて厳しい場合、または製品の仕様によっては、これらの数値を 6% (47 Hz または 56 Hz) まで低減します。半波整流には $f_L/2$ を使用します。DC 入力については、B67 セルと B68 セルに電圧を直接入力します。

アプリケーション変数の入力				設計タイトル
VACMIN	85		V	最小 AC 入力電圧
VACMAX	265		V	最大 AC 入力電圧
fL	50		Hz	AC 主電源周波数
VO	5.00		V	出力電圧 (メイン)
PO_AVG	35.00		W	平均出力電力
PO_PEAK		35.00	W	ピーク出力電力
ヒートシンクのタイプ	外付け	外付け		ヒートシンクのタイプ
エンクロージャ	外付け			オープン フレーム エンクロージャは十分なエアフローを想定していますが、その一方でアダプタは密閉型エンクロージャを意味しています
n	0.80		%/100	エネルギー効率予測値
Z	0.50			損失分配係数
VB	12		V	バイアス電圧 - 無負荷時と VMAX 時に VB が 8 V を超えることを確認します
tC	3.00		ms	ダイオードブリッジ導通時間
CIN	68.0		68 uF	入力フィルタコンデンサ

図 3 TOPSwitch-JX 設計計算シートのアプリケーション変数セクション

DC 入力電圧パラメータ				
V _{MIN}			74 V	最小 DC 入力電圧
V _{MAX}			375 V	最大 DC 入力電圧

図 4 DC 入力設計時の DC 入力電圧パラメータを示すオーバーライドセル

公称出力電圧、V_{OUT} (V)

連続負荷条件におけるメイン出力の定格出力電圧を入力します。一般に、メイン出力とはフィードバックされる出力のことです。

連続 / 平均出力電力 P_{O(AVE)} (W)

電源の平均出力電力を入力します。電源が多出力電源の場合、全出力電力の合計値を入力します。

ピーク出力電力 P_{O(PEAK)} (W)

ピーク負荷条件時のピーク出力電力を入力します。設計にピーク負荷条件がない場合は、この項目を空白のままにすると、P_{O(AVE)} と等しい値であると想定されます。P_{O(PEAK)} は、一次側インダクタンス値の計算に使用されます。

多出力設計では、メイン出力 (一般にフィードバック元の出力) の出力電力を、ピーク電力または最大連続出力電力 (存在する場合) が設計内のすべての出力からの合計出力電力と一致するように増やす必要があります。その後、個々の出力電圧と電流を計算シートの一覧下に入力します (セル [B122] ~ [B168])。

ヒートシンクのタイプとエンクロージャの選択

エンクロージャにより TOPSwitch-JX デバイスの最大電力容量が決まります。電源がプラスチック ケースによって密閉される場合 (ノート PC の電源のように) は、アダプタ エンクロージャを選択します。一方、より良い空気の対流が電源にある場合は、オープン フレーム エンクロージャを選択します。

選択したパッケージに応じて、最適なヒートシンクのタイプを選択できます。E パッケージには常に外付けヒートシンクが必要ですが、V パッケージは外付けヒートシンク有りでも無しでも使用できます。ヒートシンク無しで使用する場合、基板の銅箔部だけが放熱に寄与します。ただし、基板の熱抵抗が増加するため、外付けヒートシンクと比較して、この構成における最大電力容量は減少します。

電源効率、η

ピーク負荷条件及び入力の最悪条件 (一般には最低入力電圧) において出力端子で測定した電源全体のエネルギー効率の推定値を入力します。V_{AC MIN} 85 VAC は 80% で、195 VAC は 85% で開始します。これらは、ほとんどの出力電圧 12 V から供給され、二次側に出力電流検出がない設計では標準的です。5 V 出力の場合、V_{AC MIN} 85 VAC は 75%、195 VAC は 80% の開始値が推奨されます。プロトタイプを作成したら、測定した効率を入力し、必要に応じて、更にトランス設計を繰り返します。

電源損失分配係数 Z

この係数は、電源の一次側と二次側間の損失比率を表します。Z 係数を効率の数値とともに使用して、パワー ステージで供給される必要がある実際の電力を決定します。例えば、入力段の損失 (EMI フィルタ、整流等) は、パワー ステージで処理されない (トランスを介して転送される) ため、効率は低下しますが、トランス設計は効率への影響を受けません。

$$Z = \frac{\text{Secondary Side Losses}}{\text{Total Losses}}$$

一次側の損失の例としては、入力整流器及び EMI フィルタで被った損失、MOSFET 導通損失、及び一次側巻線損失等があります。二次側損失の例としては、二次側ダイオードにおける損失、二次側巻線とコアの損失、一次側クランプ回路やバイアス巻線に関連した損失があります。ピーク電力要件のない設計の場合は、値 0.5 を推奨します。ピーク電力要件のある設計の場合は、値 0.65 を入力します。この違いにより、ピーク電力負荷時に、入力段の損失が増加します。

バイアス巻線出力電圧 (V_B)

バイアス巻線出力の出力の電圧を入力します。開始値 15 V を推奨します。電圧を別の値に設定することもできます。たとえば、バイアス巻線出力を非絶縁の一次側補助出力としても使用する場合があります。電圧が高いと、無負荷時入力電力は増加しますが、8 V 未満の値は推奨されません。軽負荷時には、フォトカプラを正しくバイアスするための電圧が不足し、出力レギュレーションの損失が発生する場合があります。バイアス巻線出力フィルタに推奨される最小値は、10 μF、50 V の電解コンデンサです。

ブリッジ ダイオード導通時間、t_c (ms)

より良いデータが利用できない場合は、ブリッジ ダイオード導通時間 3.00 ms を入力します。

入力容量合計、C_{IN} (μF)

テーブル 3 に、さまざまな AC 入力電圧範囲の入力コンデンサを計算するために使用する適切な定数の提案を示します。

AC 入力電圧 (VAC)	ワット出力電力あたりの合計 入力容量 (μF/W) 全波整流
100/115	2 – 3
230	1
85-265	2 – 3

テーブル 3. さまざまな入力電圧範囲に対する推奨入力容量合計値

容量は、整流コンデンサにかかる最小及び最大の DC 電圧の計算に使用し、最小 DC 入力電圧 V_{MIN} > 70 V を維持するように選択する必要があります。

ステップ 2 – TOPSwitch-JX 変数を入力する

デバイス、カレント リミット、 V_{OR} 、 V_{DS} 、 V_D 、正しい TOPSwitch-JX デバイスの選択

まず、TOPSwitch-JX 電力テーブルを参照し、ピーク出力電力設計に基づいてデバイスを選択します。次に、電源が完全密閉タイプの場合は連続電力を電力テーブルのアダプタ列番号と比較し、電源がオープンフレーム設計の場合はオープンフレーム列と比較します。連続電力が電力テーブル (テーブル 1) に指定されている値を超える場合は、次に大きなデバイスを選択する必要があります。同様に、連続電力が電力テーブルに指定されているアダプタ電力レベルに近い場合は、プロトタイプで測定した放熱性に基づいて、より大きなデバイスに切り替える必要がある場合もあります。

外部カレント リミット低減係数、 K_I

計数 K_I は、カレント リミット スレッシュホールドの値を設定します。これにより、カレント リミット レベルは、電力供給に必要な最小ピーク電流 (I_p) のやや上に調整できます。これにより、過負荷時と起動時にピーク磁束密度 (BP) を制限することで、トランス設計は最適化されます。

更に効率を高め、放熱性を改善するために、より大きなデバイスのカレントリミットを元々選択されていたより小さなデバイスのカレントリミットと等しくなるように、 K_I を下げることで、電力供給に必要なとされるよりも大きい TOPSwitch-JX デバイスを選択することもできます。

高入力電圧動作モード

このパラメータは、高入力電圧時の TOPSwitch-JX の動作モードを確認します。スイッチング周波数ジッター機能が有効になるため、高入力電圧時は最大周波数モードでの動作が望ましいです。(動作モードの説明については、TOPSwitch-JX データ シートを参照してください。) これは、EMI パフォーマンスを向上します。

出力の跳ね返り電圧、 V_{OR} (V)

このパラメータは、ダイオードの導通時にトランスの巻線数に比例して一次側に跳ね返ってくる二次巻線電圧です。デフォルト値は 135 V です。ただし、 V_{OR} の許容範囲は、計算シートで警告がトリガされていないことを条件として、80 V ~ 135 V です。設計を最適化するため、以下のトレードオフを考慮してください。

1. V_{OR} を大きくすると、 V_{MIN} での電力供給が増大します。その場合、入力コンデンサの値は最小になり、TOPSwitch-JX デバイスからの電力供給は最大になります。

2. V_{OR} を大きくすると、出力ダイオードのストレスが減少します。これにより、場合によっては、順方向電圧降下ショットキー ダイオードを使用して効率を高められる可能性があります。
3. V_{OR} を大きくすると、漏れインダクタンスが増大し、クランプ損失が増大する可能性があり、そのため電源の効率が低下し、多出力設計におけるクロス レギュレーションが劣化します。
4. V_{OR} を大きくすると、二次側のピーク電流と RMS 電流が増大します。これにより、二次側の銅損及びダイオードでの損失が大きくなる場合があります。

最適な V_{OR} 値は用途によって異なり、前述の要素を考慮して決定します。

電圧出力が低い場合 (約 5 V または多出力設計)、通常は約 100 V ~ 110 V の低い V_{OR} が適しています。電圧出力が高い場合 (12 V 以上)、約 120 ~ 135 V の高い V_{OR} が適しています。

通常、80 V 未満の値は推奨しません。 V_{OR} が低いと、特に全出力が 5 V を超える設計で、起動時に MOSFET 自己保護機能の過剰トリガが発生する可能性があります (概要についてはテーブル 4 を参照してください)。

TOPSwitch-JX のオン状態のドレイン - ソース間電圧、 V_{DS} (V)

このパラメータは、TOPSwitch-JX の DRAIN ピンと SOURCE ピンの間にかかる平均オン状態電圧です。デフォルトでは、灰色のオーバーライド セルが空の場合は 10 V と見なされます。使用できるデータが無い場合は、デフォルト値を使用します。

出力ダイオードの順方向電圧降下、 V_D (V)

(メイン) 出力ダイオードの平均の順方向電圧降下を入力します。使用できるデータが無い場合、ショットキー ダイオードには 0.5 V を、PN ノードには 0.7 V を使用します。デフォルトの場合は、値 0.5 V が想定されます。

バイアス巻線ダイオード順方向電圧降下、 V_{DB} (V)

バイアス巻線出力ダイオードの平均の順方向電圧降下を入力します。PN ダイオードには 0.7 V を使用します。

リップル/ピーク電流比、 K_p

図 6 に、 $K_p < 1$ の連続動作モードを示します。 K_p は、一次電流のピークに対するリップルの比率です。

TOPSWITCH-JX 変数の入力					
TOPSwitch-JX	TOP266E			ユニバーサル / ピーク	115 の 2 倍/230V
デバイスの選択	TOP266E	電力出力	40 W / 86 W		60W
K_I	0.53				外部制限低減係数 (デフォルト ILIMIT の場合 $K_I=1.0$ 、低 ILIMIT の場合 $K_I < 1.0$)
ILIMITMIN_EXT		1.257	A		外付け ILIMIT の設定では 1% の抵抗を使用する
ILIMITMAX_EXT		1.446	A		外付け ILIMIT の設定では 1% の抵抗を使用する
周波数 (F) = 132kHz、(H) = 66 kHz	F	F			最大周波数の半分とするには 'H' を選択 - 66 kHz、また最大周波数には 'F' を選択 - 132 kHz
fS		132000	Hz		TOPSwitch-JX スイッチング周波数: 132 kHz と 66 kHz から選択
fSmin		119000	Hz		TOPSwitch-JX スイッチング周波数のばらつき最小値
fSmax		145000	Hz		TOPSwitch-JX スイッチング周波数のばらつき最大値
高入力電圧動作モード		FF			最大周波数、ジッター有効
VOR	135.00		V		跳ね返り電圧
VDS		10	V		TOPSwitch のオン状態のドレイン - ソース間電圧
VD	0.50		V		出力ダイオードの順方向電圧
VDB	0.70		V		バイアス巻線ダイオード順方向電圧降下
KP	0.50				リップル/ピーク電流比 ($0.3 < KRP < 1.0$; $1.0 < KDP < 6.0$)

図 5 設計計算シートの TOPSwitch-JX セクション

パフォーマンスの目標	V _{OR} 値の推奨	コメント
最大出力電力 / 最小 TOPSwitch-JX デバイス	135 V	指定デバイスからの電力を最大化
最高の効率	100 V ~ 120 V	導通、出力ダイオード、及び漏れインダクタンス間全体の最低損失を指定
多出力設計	90 V ~ 110 V	トランス漏れインダクタンス及びピーク二次側電流を低下することで、クロスレギュレーションを改善

テーブル 4. V_{OR} の推奨値

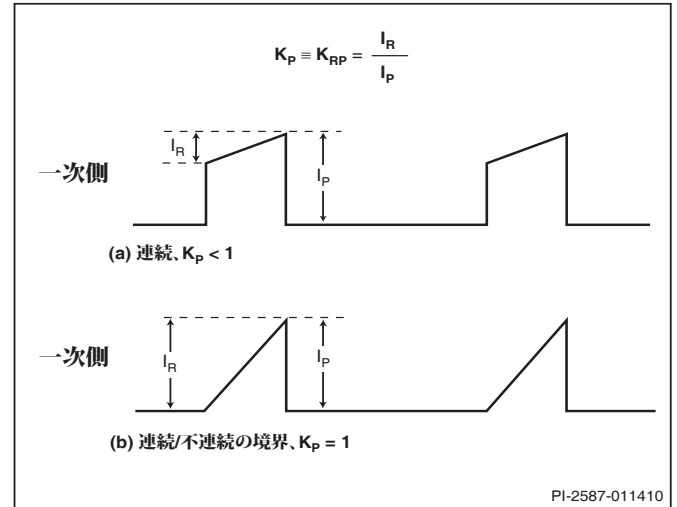


図 6 連続モードでの電流波形、 $K_p \leq 1$

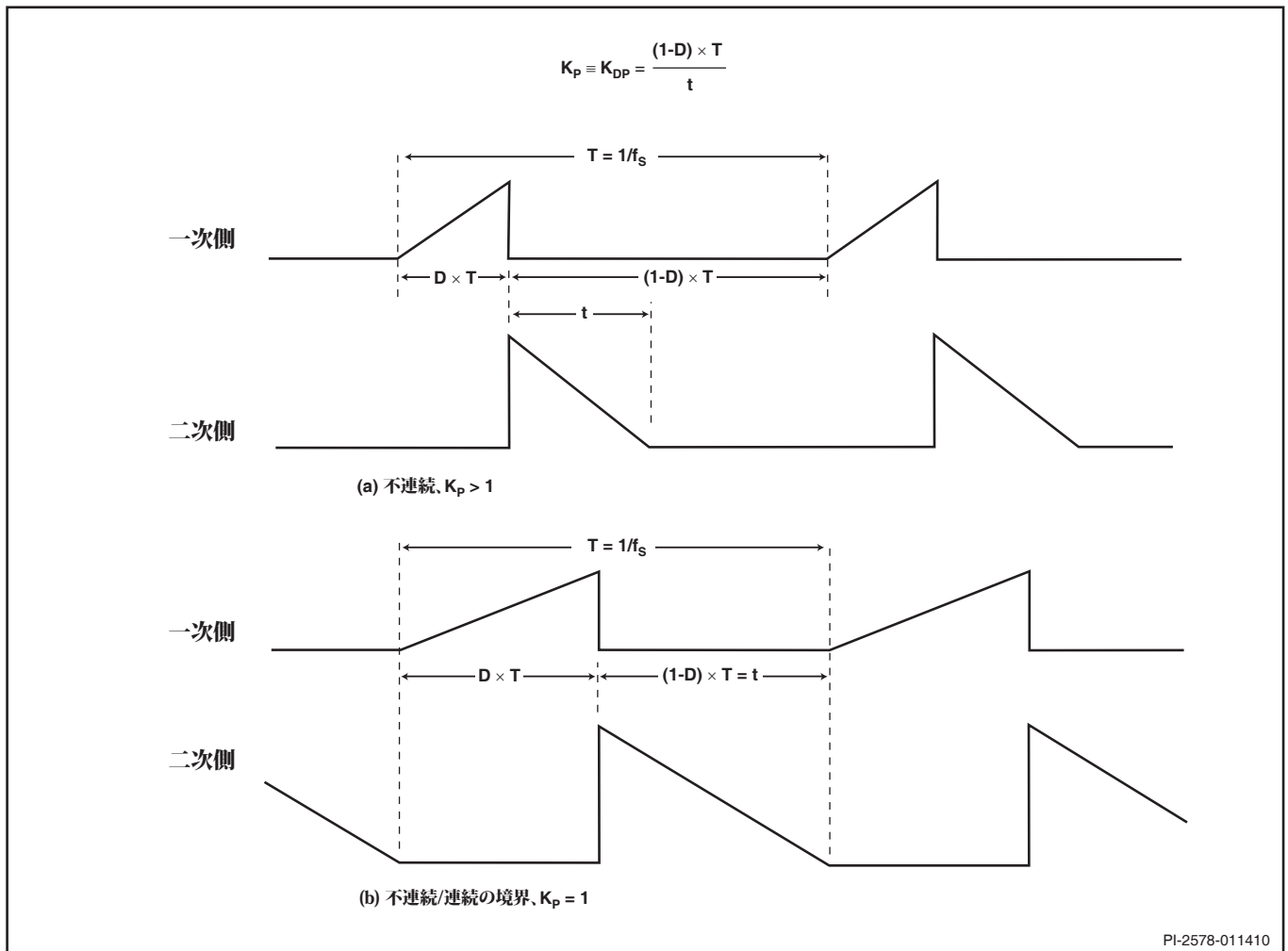


図 7 不連続モードでの電流波形、 $K_p \geq 1$

保護機能					
入力センサ					V ピン機能
VUV_STARTUP			95 V		電源が起動する最小 DC バス電圧
VOV_SHUTDOWN			445 V		電源がシャットダウン (最大) する標準的な DC バス電圧
RLS			4.0 M-ohms		入力センサ機能向けに直列に接続された 2 つの標準、2 つの M-Ohm、5% 抵抗
出力過電圧					
VZ			22 V		出力過電圧シャットダウン保護向けのツェナー ダイオード定格電圧
RZ			5.1 kΩ		出力 OVP 抵抗ラッチ停止の場合は、代わりに 20 ohm の抵抗を使用します
過負荷電力制限					X ピン機能
VMAX における過負荷電流比率			1.2		VMAX におけるカレントリミットに対する目的のマージンを入力します。値 1.2 は、VMAX 時にカレントリミットを一次側ピーク電流よりも 20% 高くする必要があることを示します。
VMIN 時の過負荷電流比			1.08		低入力時のカレントリミットに対するマージン
ILIMIT_EXT_VMIN			1.16 A		VMIN 時の一次側ピーク電流
ILIMIT_EXT_VMAX			1.04 A		VMAX 時の一次側ピーク電流
RIL			11.74 kΩ		カレントリミット/電力制限抵抗
RPL			N/A	M-ohms	抵抗不要。RIL 抵抗のみ使用
電流波形の形状パラメータ					
DMAX			0.68		最大デューティサイクル (PO_PEAK 時に計算)
Iavg			0.59 A		一次側平均電流 (平均出力電力時に計算)
IP			1.16 A		一次側ピーク電流 (ピーク出力電力時に計算)
IR			0.58 A		一次側リップル電流 (平均出力電力時に計算)
IRMS			0.73 A		一次側 RMS 電流 (平均出力電力時に計算)

図 8 設計計算シートの回路保護部品セクション

$$K_P \equiv K_{RP} = \frac{I_R}{I_P}$$

図 7 に、 $K_P \geq 1$ の不連続動作モードを示します。 K_P は、一次 MOSFET のオフ時間に対する二次ダイオード導通時間の比率です。

$$K_P \equiv K_{DP} = \frac{V_{OR} \times (1 - D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

K_P の値は、 $0.3 < K_P < 6$ の範囲にする必要があります。値がこの範囲外の場合は、コメントにガイダンスが表示されます。

K_P 値が 1 未満の場合、一次側 RMS 電流が低下することで、効率が向上します。高い電圧レベルでのドレイン ノード容量の放熱により発生する、極めて高く幅広いリーディング エッジ カレント スパイクに対応するため、230 VAC には K_P 0.6 ~ 0.8 を推奨します (これに対して、100/115 VAC 及びユニバーサル入力には 0.4 ~ 0.6)。

計算シートでは、その設計の一次側ピーク電流、RMS リップル電流、一次側平均電流、及び最大デューティ サイクルの各値が計算されます。

ステップ 3 – 保護機能、低入力 / 過電圧、出力過電圧、過負荷時の電力制限を選択する - オプション

TOPSwitch-JX のオプションの入力低電圧誤動作防止機能は、電源の起動時の電圧を定義し、入力電圧が通常の動作範囲以下の場合に、電源出力の異常から保護します。入力コンデンサから V ピンに抵抗を接続すると、この機能が有効になります。 $V_{UV(START_UP)}$ に隣接するセルに、電源が動作する必要がある、入力コンデンサに印加される所望の DC 電圧を入力します。計算シートでは、最も近い標準 5% の抵抗値 R_{LS} が計算されます。

また、 R_{LS} の値は、入力 OV スレッシュホールドを定義します。入力過電圧の条件によって電源が動作を停止する電圧は、 $V_{OV(SHUTDOWN)}$ に隣接するセルに表示されます。

出力過電圧シャットダウン - オプション

バイアス巻線の出力電圧は、一次側で検出された出力過電圧を提供するために使用できます。これは、フィードバック回路の部品が故障した場合に電源を保護する安価な方法です。

この機能は、図 1 に示すように、バイアス巻線出力から V ピンへ、抵抗とツェナー ダイオードの組み合わせを直列接続することで、有効にすることができます。この計算シートでは、フィードバックが欠落した場合にシャットダウンを開始するために必要なツェナー ダイオードの値を推定しますが、動的負荷変化などの過渡状態中は誤ったトリガーが発生しないようにします。

異常状態中、バイアス巻線電圧は上昇し、ツェナー ダイオードの導通と、V ピンへの電流の流入が発生します。この電流が $112 \mu A (I_{OV})$ を超えると、スイッチングは直ちに停止します。スイッチングは、この電流が $100 \mu s$ 以内に $108 \mu A$ 以下に低下すると、いつでも再開できます。ただし、 $100 \mu s$ 後、電源は、オートリスタート モードに入ります。これにより、出力電圧のさらなる増加は回避されますが、電源はラッチオフされません。スイッチングは、電流が V ピン ヒステリシス要件の $4 \mu A$ 以上減少した場合、再び有効になります。ツェナーを介して V ピンに流入する電流が $336 \mu A$ を超えると、TOPSwitch-JX のラッチ停止機能がトリガされ、電源はラッチオフします。ラッチ状態をリセットするには、CONTROL ピン コンデンサが $V_{O(RES)}$ (約 3 V) 未満に放電するまで十分な時間にわたって入力 AC 電源を遮断するか、X ピンの電流が $27 \mu A$ 未満に減少するまで待つ必要があります。

標準的な回路の場合、数値が $5.1 k\Omega$ 程の高い直列抵抗 R_{OVP} は、非ラッチ停止という結果になります。 $4.7 \Omega \sim 22 \Omega$ の範囲の低い抵抗は、ラッチ停止という結果になります。

ノイズのカップリングを避けるために、抵抗を V ピンに接続し、ツェナー ダイオード カソードをバイアス巻線出力に接続することを推奨します。

OVP 部品が取り付けられている場合、AC (入力 UV スレッシュホールドを超える) を印加してから電源が動作するまでに、更に約 2 秒の遅延があります。この遅延は、V ピンが R_{OVP} 及び V_{ROVP} を介してバイアス巻線コンデンサを充電する時間によって発生します。これは、小さい信号 (例: BAV21/1N4148) ダイオードを V_{ROVP} と直列に追加することにより防ぐことができます (図 21 を参照)。

トランス コア/構成に関する変数の入力				
コアタイプ	自動	EI28		コアタイプ
コア		EI28	P/N:	PC40EI28-Z
ボビン		EI28_BOBBIN	P/N:	BE-28-1110CPL
AE			0.86	コア実効断面積
LE			4.82	コア実効磁路長
AL			4300	ギャップ無しコア実効インダクタンス
BW			9.6	ボビンの物理的巻線幅
M	0.00			安全マージン幅 (一次から二次までの沿面距離の半分)
L	3.00			一次巻線層数
NS		3		二次巻線層数

図 9 計算シートのトランス コアと構成に関する変数セクション

出力電力制限と入力電圧 (オプション)

TOPSwitch-JX の X ピンは、選択した部品の最大内部カレントリミットよりも低いカレント リミット値のプログラムに使用できます。X ピンから SOURCE ピンに接続された抵抗 (図 1 の R_{PL}) では、外部プログラムした固定カレント リミットを選択できます。カレント リミット抵抗選択曲線については、データ シートを参照してください。

図 12 に示すように、X ピンから DC バス に接続された 2 つ目の抵抗 (R_{PL}) の追加では、入力電圧の機能として、プログラムしたカレント リミットを削減できます。これは望ましいことです。低入力電圧時に連続動作モードで動作する標準的なフライバック電源 ($K_p < 1$) は、高入力電圧時に過負荷電力容量が 200 ~ 300% と高いからです。一部の用途では、過負荷異常時に増加した消費電力を処理するために、出力ダイオード、トランス、出力コンデンサの過剰な設計が必要となる場合があります。

PIXIs 計算シートでは、選択した TOPSwitch-JX 部品と選択した K_p の値に基づいて、電力制限と入力に必要な 2 つの抵抗の値が計算されます。 V_{MIN} では、目標のカレント リミット値が $I_{LIMIT(MIN_EXT)}$ と等しくなります。高入力電圧では、指定された $P_{O(PEAK)}$ に必要な値にマージン係数を掛けた値、 V_{MAX} における過負荷カレント リミット比に基づいて、目標のカレント リミット値が計算されます。推奨値 120% により、特に高出力電圧設計で、起動中に MOSFET 保護モードがトリガされることはなくなります。それよりも低い値でも許容されますが、高入力電圧時の起動から最大 (ピーク) の負荷を確認する必要があります。

抵抗値は、TOPSwitch-JX データ シートに記載されている最悪の場合のカレント リミットの減少曲線を使用して計算されます。

ステップ 4 – 出力電力に基づいてコアとボビンを選択し、 A_E 、 L_E 、 A_L 、 BW 、 M 、 L 、 N_s を入力する

コア実効断面積、 A_E : (cm²)

コア実効磁路長、 L_E : (cm)。

コア ギャップ無し実効インダクタンス、 A_L : (nH/turn²)。

ボビンの幅、 BW : (mm)

合計マージンの半分と等しいテープ マージン幅、 M (mm)

一次側巻線層数、 L

二次巻線数、 N_s

コア タイプ

コア タイプのセルが空の場合、計算シートでは、指定の連続 (平均) 出力電力に適した、一般的に使用されている最小のコアがデフォルトとされます。利用可能なコアのリスト全体は、PIXIs 設計ソフトウェアのツール バーにあるドロップ ダウン リストから選択できます。

灰色のオーバーライド セルを使用して、コアとボビンのパラメータを直接入力できます。これは、リストにないコアを選択した場合や、指定したコアまたはボビンの情報が計算シートの参照情報と異なる場合に便利です。

出力電力	66 kHz		132 kHz	
	三層絶縁線	マージンのある巻線	三層絶縁線	マージンのある巻線
0 - 10 W	EF12.6 EE13 EF16 EE16 EE19 EI22 EI22/19/6	EI22 EE19 EI22/19/6 EEL16 EF20 EI25 EEL19	EF12.6 EE13 EF16 EE16	EI22 EE19 EI22/19/6 EEL16
10 W - 20 W	EF20	EI28 EEL22 EF25	EE19 EI22 EI22/19/6 EF20	EF20 EI25 EEL19
20 W - 30 W	EF25	EI30 EPC30 EEL25		EI28
30 W - 50 W	EI28 EI30 E30/15/7 EER28	E30/15/7 EER28 ETD29 EI35 EI33/29/13-Z EER28L	EF25	EEL22
50 W - 70 W	ETD29 EI35 EF32	EF32 ETD34	EI28	EEL25 E30/15/7 EER28
70 W - 100 W	ETD34 E36/18/11 EI40	EI40 E36/18/11 EER35	EI30 E30/15/7 EER28 ETD29	ETD29 EI35 EI33/29/13-Z EER28L EF32
100 W ~ 150 W	ETD39 EER40	ETD39 EER40 E42/21/15	EI35 EF32 ETD34	ETD34 EI40 E36/18/11 EER35
> 150 W	E42/21/15 E42/21/20 E55/28/21	E42/21/20 E55/28/21	E36/18/11 EI40 ETD39 EER40 E42/21/15 E42/21/20 E55/28/21	ETD39 EER40 E42/21/15 E42/21/20 E55/28/21

テーブル 5. トランス コア テーブル

テーブル 5 に、これらのコアを標準的な設計に使用できる、一般的に利用可能なコア及び電力レベルのリストを示します。

安全マージン、M (mm)

一次側と二次側を安全に絶縁する必要があるものの、3 層絶縁電線を使用しない場合、ボビンの各側で使用する安全マージンの幅をここに入力します。ユニバーサル入力設計では、6.2 mm の巻線マージン合計が必要で、値 3.1 mm を計算シートに入力します。ボビンを垂直に置く場合は、マージンを対称にする必要はなく、ただし、マージン合計 6.2 mm が必要な場合は、物理的なマージンがボビンの片側にしかなくても同様に 3.1 mm を入力します。

3 層絶縁電線を使用する設計であっても、必要な安全沿面距離を確保するために小さいマージンを入力する必要がある場合もあります。一般的に、あらゆるコア サイズに対して多くのボビンが存在し、機械的に占める空間はそれぞれ異なります。必要な固有のマージンについては、ボビンのデータシートを参照するか、専門家またはトランスの製造元にご相談ください。

マージン幅により巻線に使用できる面積が減るため、コア サイズが小さい場合には、前述したマージン フォーマットが適切でない可能性があります。マージンの入力後に 3 層 (L) を超える一次側層数が必要になった場合は、より大きなコアを選択するか、3 層絶縁電線を使用するゼロ マージン設計手法に切り替えることを推奨します。

一次側巻線層数、L

一次側巻線層数 L の範囲は $1 < L < 3$ にする必要があり、一般に一次側電流密度の限界値 (CMA) を満たす最小の数値になります。強制空冷を使用しない設計では、5 W 未満の設計では 100 Cmil/Amp、200 W では 500 Cmil/Amp に直線的に増加する値が標準的です。3 層を超える設計も可能ですが、漏れインダクタンスの増加及び巻線の物理的スペースに関する問題を考慮する必要があります。漏れインダクタンスによるクランプの消費電力が大きすぎる場合は、一次側を分割構造にすると効果があります。ここで一次巻線の半分を、二次巻線及びバイアス巻線のどちらかの側に、二次巻線及びバイアス巻線を挟むように配置します。

二次巻線数、NS

灰色のオーバーライド セルが空白の場合、動作時の動作磁束密度 B_M が推奨される最大値 3000 ガウス (300 mT) 未満を維持するように、二次巻線の最小数が計算されます。通常は、動作時の磁束密度を低くする必要がある設計を除いて、オーバーライド セルに数値を入力する必要はありません (B_M 制限の説明を参照してください)。

ステップ 5 - トランス設計を繰り返し、プロトタイプを作成する

警告が表示されないことを確認しながら設計を繰り返します。推奨範囲外のパラメータは、すべて右側の列に記述されているガイドラインに従って修正できます。

すべての警告がクリアされたら、出力トランス設計パラメータを使用して、プロトタイプ トランスを巻くか、サンプルのためにベンダーに送ります。(トランスのプロトタイプ作成サービスの注意事項については、「クイック スタート」セクションを参照してください。)

鍵となるトランス電気パラメータは、次のとおりです。

一次側インダクタンス、 L_p (μ H)

これは、トランスの目標公称一次インダクタンスです。

一次側インダクタンス公差、 $LP_{(TOLERANCE)}$ (%)

これは、見込まれる一次側インダクタンスの公差です。デフォルト値は 10% が使用されますが、トランスのベンダーから特定の情報が提供される場合は、灰色のオーバーライド セルに入力することもあります。

一次巻線数、 N_p

漏れインダクタンスが少ない用途の場合、一次側の分割構造を使用できます。これは、20 W 以上の設計に推奨されます。

ギャップ コア実効インダクタンス、 A_{Lg} (nH/T²)

トランス メーカーでコアのセンターギャップを指定するために使用します。

動作時の最大磁束密度、 B_M (Gauss)

通常動作時は、最大値 3000 Gauss を推奨します。これにより、トランス コアの損失と軽負荷レベルで生成される可聴ノイズが制限されます。また、この制限は、起動中または出力ショートカット状態でのコアの飽和を防ぎます。これらの条件の下では出力電圧が低く、MOSFET のオフ時間の間にトランス コアがリセットされることがほとんどありません。通常はこれにより、コアが飽和するまで、次回とそれに続くサイクルで (段階的に) トランス磁束密度を増加させることができます。選択したデバイスのピーク カレント リミットで 3000 Gauss という値を設定することで、TOPSwitch-JX 内蔵の保護機能と合わせて、起動中や出力ショート状態でのコアの飽和を防ぐために十分なマージンを確保できます。

TOPSwitch-JX で使用されるマルチサイクル変調 (MCM) モードの動作は、特に長いコアが使用されている場合に、トランスで可聴周波数成分を生成する可能性があります。この可聴ノイズの生成は、 B_M に 3000 Gauss の値を使用した場合に、最小限に抑えられます。この結果、MCM モードで動作磁束密度 750 Gauss となります。このガイドラインに従い、標準のトランス製造技術である浸漬ワニス処理を行うことで、実用上の可聴ノイズをゼロにできます。設計を承認する前に、トランスの量産サンプルを使用して可聴ノイズ特性を慎重に評価する必要があります。Z5U などの誘電体を使用するセラミック コンデンサをクランプ回路で使用すると、可聴ノイズが生成されることがあります。その場合は、フィルム タイプなどの別の誘電体を使ったコンデンサに交換してみてください。

ピーク磁束密度、 B_p (Gauss)

起動時や出力短絡状態での最大磁束密度を制限するために、最大値 4200 ガウスを推奨します。この計算は、最悪な場合のカレントリミットとインダクタンス値を想定しています。密閉アダプタやグレードの低いフェライト コア素材では、動作時の周囲温度が高いため、この値を 3600 Gauss に下げる必要がある場合があります。レギュレーションが外れる直前の過負荷状態のもとで最高周囲温度でコアの飽和が起きていないことを確認するのは重要です。

トランス一次側設計パラメータ				
LP		1435	uHenries	一次インダクタンス
LP 公差		10		一次側インダクタンスの公差
NP		74		一次巻線数
NB		7		バイアス巻線数
ALG		265	nH/T^2	ギャップ コア実効インダクタンス
BM		2637	Gauss	PO, VMIN における最大磁束密度 (BM < 3000)
BP		3603	Gauss	ILIMITMAX 及び LP_MAX におけるピーク磁束密度 (BP < 4200). 注: アダプタと外付け電源向けの推奨値 3600 Gauss以下
BAC		659	Gauss	コア損失曲線の AC 磁束密度 (0.5 × ピークトゥ ピーク)
ur		1918		ギャップなしコアの相対透磁率
LG		0.38	mm	ギャップ長 (Lg > 0.1 mm)
BWE		28.8	mm	実効ボビン幅
OD		0.39	mm	絶縁層を含む一次ワイヤ最大径
INS		0.06	mm	合計絶縁厚の予測値 (= 2 × フィルム厚)
DIA		0.33	mm	導体の線径
AWG		28	AWG	一次ワイヤゲージ (端数は切り捨てて次に小さい標準 AWG 値にしたもの)
CM		161	Cmil	導体の実効面積 (Cmil)
CMA		220	Cmil/Amp	一次巻線電流容量 (200 < CMA < 500)
一次側電流密度 (J)		9.11	Amps/mm^2	一次巻線電流密度 (3.8 < J < 9.75)

図 10 計算シートのトランス一次側設計パラメータセクション

トランスの二次側設計パラメータ (多出力)				
1 番目の出力				
VO1		5	V	出力電圧
IO1_AVG		7.00	A	平均 DC 出力電流
PO1_AVG		35.00	W	平均出力電力
VD1		0.5	V	出力ダイオード順方向電圧降下
NS1		3.00		出力バイアス巻線巻数
ISRMS1		12.363	A	出力巻線 RMS 電流
IRIPPLE1		10.19	A	出力コンデンサの RMS リップル電流
PIVS1		20	V	出力ダイオードの最大ピーク逆電圧
CMS1		2473	Cmil	出力巻線のベア コンダクタの最小 Cmil
AWGS1		16	AWG	ワイヤゲージ (端数は切り上げて次に大きい標準 AWG 値にしたもの)
DIA1		1.29	mm	ベア 直径(最小)
ODS1		3.20	mm	3 層絶縁電線の最大外径
2 番目の出力				
VO2			V	出力電圧
IO2_AVG			A	平均 DC 出力電流
PO2_AVG		0.00	W	平均出力電力
VD2		0.7	V	出力ダイオード順方向電圧降下
NS2		0.38		出力バイアス巻線巻数
ISRMS2		0.000	A	出力巻線 RMS 電流
IRIPPLE2		0.00	A	出力コンデンサの RMS リップル電流
PIVS2		2	V	出力ダイオードの最大ピーク逆電圧
CMS2		0	Cmil	出力巻線のベア コンダクタの最小 Cmil
AWGS2		N/A	AWG	ワイヤゲージ (端数は切り上げて次に大きい標準 AWG 値にしたもの)
DIA2		N/A	mm	ベア 直径(最小)
ODS2		N/A	mm	3 層絶縁電線の最大外径
3 番目の出力				
VO3			V	出力電圧
IO3_AVG			A	平均 DC 出力電流
PO3_AVG		0.00	W	平均出力電力
VD3		0.7	V	出力ダイオード順方向電圧降下
NS3		0.38		出力バイアス巻線巻数
ISRMS3		0.000	A	出力巻線 RMS 電流
IRIPPLE3		0.00	A	出力コンデンサの RMS リップル電流
PIVS3		2	V	出力ダイオードの最大ピーク逆電圧
CMS3		0	Cmil	出力巻線のベア コンダクタの最小 Cmil
AWGS3		N/A	AWG	ワイヤゲージ (端数は切り上げて次に大きい標準 AWG 値にしたもの)
DIA3		N/A	mm	ベア 直径(最小)
ODS3		N/A	mm	3 層絶縁電線の最大外径
連続出力電力の合計				
		35	W	連続出力電力の合計
マイナスの出力				
		N/A		マイナスの出力がある場合は、出力番号等を入力します。例: VO2 がマイナス出力の場合は 2 を選択

図 11 計算シートのトランス二次側設計パラメータ他出力セクションセクション

一次巻線最大直径、OD (mm)

デフォルトでは、オーバーライド セルが空の場合、二重絶縁ワイヤが想定され、標準の線径が選択されます。灰色のオーバーライドセルを使用して、ユーザーが直接、巻線直径を入力できます。

計算シートで自動的に計算されるその他の係数は、次のとおりです。

合計絶縁厚の推定値、INS (mm)

一次巻線サイズ、DIA: (mm)

一次巻線ゲージ、AWG

一次巻線層数、L

コアのセンターギャップ長の推定: L_G: (mm)

二次巻線数、N_S

二次巻線サイズ、DIAs: (mm)

二次巻線ゲージ、AWG

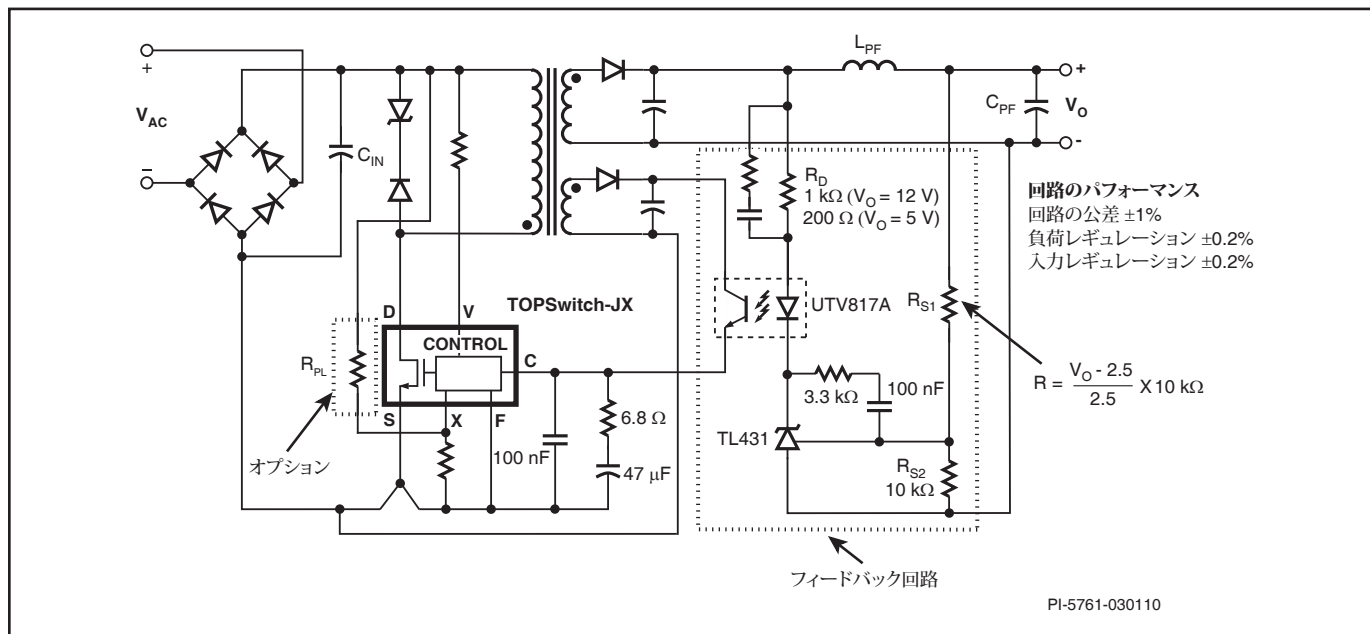


図 12 フォトカプラ-TL431 フィードバック回路を使用した、標準的な TOPSwitch-JX フライバック電源

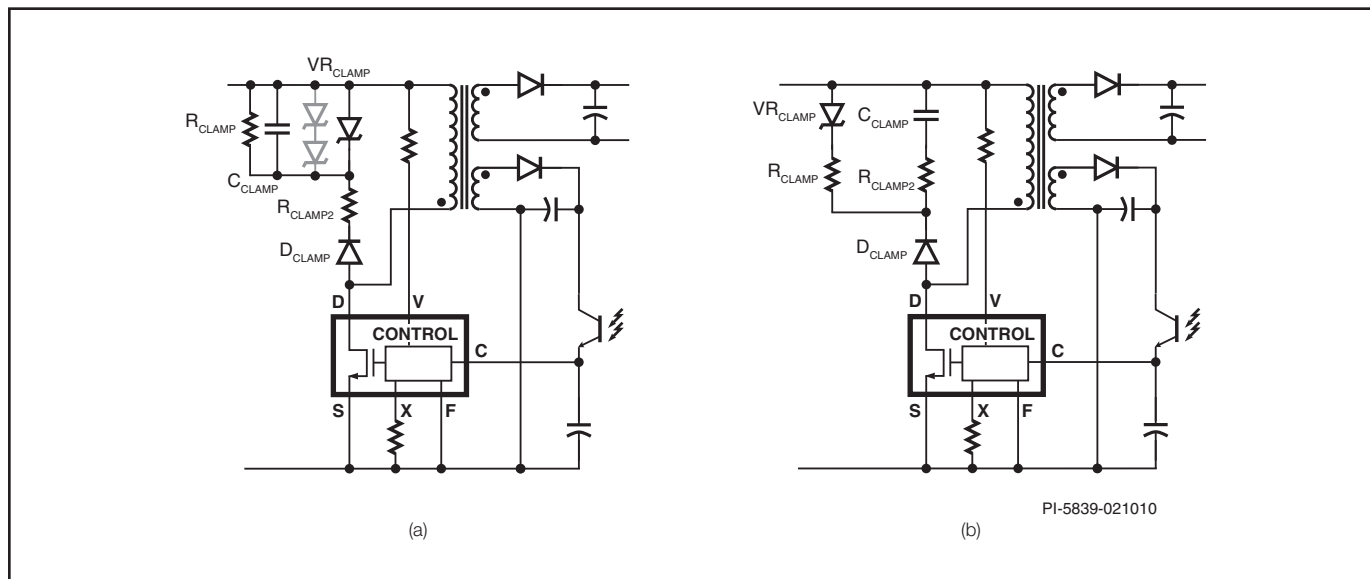


図 13 TOPSwitch-JX 応用例での推奨クランプ回路

多出力設計では、NSx、CMSx、AWGSx (ここで x は出力数) も使用する必要があります。

ステップ 6 – TOPSwitch-JX 外付け部品の選択

CONTROL ピン – 外付け部品

図 12 の回路図に、標準的な TOPSwitch-JX 電源設計に必要な外付け部品を示します。100 nF コンデンサを、TOPSwitch-JX の CONTROL ピンと SOURCE ピンの間に直接接続することを強く推奨します。このコンデンサは、短い配線で TOPSwitch-JX の近傍に配置する必要があります。表面実装部品を使用する設計の場合、このコンデンサは、TOPSwitch-JX のピンに直接配置する必要があります。

CONTROL に接続した 100 nF コンデンサに加えて、6.8 Ω の抵抗と 47 μ F の電解コンデンサを、CONTROL ピンと TOPSwitch-JX の SOURCE 端子の間に直列で接続する必要があります。47 μ F のコンデンサは、エネルギーを蓄える役割持ち、起動時に電力を TOPSwitch-JX 内部回路に供給します。また、オートリスタートのタイミングも提供します。更に、このコンデンサと CONTROL ピンのダイナミック インピーダンスは、約 160 Hz でポールを形成します。値の小さい抵抗 (6.8 Ω) は一般的に、このコンデンサと直列に追加されます。この外付け抵抗と、CONTROL ピン コンデンサの ESR (通常約 2 Ω) は、安定した直列抵抗を提供し、約 400 Hz でゼロを形成します。外付け抵抗の大きい値は位相応答の改善に役立ちますが、22 Ω を超える値は避けるべきです。

ステップ 7 – 入力を選択 - 低電圧 / 過電圧部品

低入力電圧検出機能は、入力電圧が定義されたレベルを超えるまで、電源が起動しないようにします。起動時、またはオートリスタート中でパワー MOSFET のスイッチングが停止している場合に、スイッチングを開始するには、V ピンに供給される電流が 25 μ A を超える必要があります (データ シートの I_{UV})。DC レールから V ピンへの抵抗は入力電圧の検出に使用されるため、V ピンに流入する電流が 25 μ A を超えるようにする供給電圧は、低電圧のスレッシュホールドを定義します。また、同じ抵抗が、入力過電圧スレッシュホールドを定義します。V ピンに流入する電流が I_{OV} (112 μ A 標準) を超えると、デバイスがスイッチングを停止し、TOPSwitch-JX の耐電圧はその定格 725 V V_{DSS} まで上昇します。

DC レールから V ピンに接続された標準的な値が 4 M Ω の場合、入力 UV は 100 VDC にプログラムされ、OV は 450 VDC にプログラムされます。

センス抵抗の定格は、400 V より大きくする必要があります。一般的に、0.5 W のデバイスが 1 つ、または直列に接続した 0.25 W のデバイスが 2 つ必要です。ユニバーサル入力用途の入力センス抵抗として使用する場合は、標準的な値 4 M Ω を推奨します。その他のガイダンスは、設計計算シートで提供されます。

低電圧 (UV) 機能または過電圧 (OV) 機能を選択的に使用する場合は、外付け部品を簡単に選択できるように、TOPSwitch-JX ファミリーのデータ シートに多くの回路が記載されています。V ピン機能を使用しない場合、V ピンは SOURCE ピンに接続する必要があります。V ピンを未接続状態のままにしないでください。

ステップ 8 – 一次クランプ部品の選択

TOPSwitch-JX の設計では、ツェナー クランプまたは RCD とツェナー クランプの組み合わせを使用することを推奨します。これは、ピーク ドレイン電圧を内蔵 MOSFET の BV_{DSS} 未満に確実に制限する一方で、効率を最大化し、無負荷時待機電力を最小限に抑えるためです。

ピーク負荷条件におけるドレイン電圧ピークを制限するように設計された標準的な RCD クランプは、出力電力が低減するにつれて大きな負荷と見なされるようになり、結果として軽負荷時の効率が低下し、無負荷消費電力が大きくなります。

Rec.ダイオード	$V_R(V)$	$I_D(A)$	パッケージ	メーカー
ショットキー				
1N5819	40	1	アキシャル	Vishay
SB140	40	1	アキシャル	Vishay
SB160	60	1	アキシャル	Vishay
MBR160	60	1	アキシャル	IR
11DQ06	60	1.1	アキシャル	IR
1N5822	40	3	アキシャル	Vishay
SB340	40	3	アキシャル	Vishay
MBR340	40	3	アキシャル	IR
SB360	60	3	アキシャル	Vishay
MBR360	60	3	アキシャル	IR
SB540	40	5	アキシャル	Vishay
SB560	60	5	アキシャル	Vishay
MBR745	45	7.5	TO-220	Vishay / IR
MBR760	60	7.5	TO-220	Vishay
MBR1045	45	10	TO-220	Vishay / IR
MBR1060	60	10	TO-220	Vishay
MBR10100	100	10	TO-220	Vishay
MBR1645	45	16	TO-220	Vishay / IR
MBR1660	60	16	TO-220	Vishay
MBR2045CT	45	20(2 $\times$ 10)	TO-220	Vishay / IR
MBR2060CT	60	20(2 $\times$ 10)	TO-220	Vishay
MBR20100	100	20(2 $\times$ 10)	TO-220	Vishay / IR

UFR

UF4002	100	1	アキシャル	Vishay
UF4003	200	1	アキシャル	Vishay
MUR120	200	1	アキシャル	Vishay
EGP20D	200	2	アキシャル	Vishay
BYV27-200	200	2	アキシャル	Vishay / NXP
UF5401	100	3	アキシャル	Vishay
UF5402	200	3	アキシャル	Vishay
EGP30D	200	3	アキシャル	Vishay
BYV28-200	200	3.5	アキシャル	Vishay / NXP
MUR420	200	4	TO-220	Vishay
BYW29-200	200	8	TO-220	Vishay / NXP
BYV32-200	200	18	TO-220	Vishay / NXP

テーブル 6. 出力整流としての使用に最適なダイオードのリスト

図 13a に、RCD + ツェナー クランプの例を示します。通常動作の間、クランプは R_{CLAMP} および C_{CLAMP} により行われるため、ツェナーダイオードは導通しません。これにより、過負荷時や起動時ではなく、最大負荷時の値が最適化されます。これにより消費電力は下がり、軽負荷時及び無負荷時の入力電力が改善されます。出力過負荷時や起動 $V_{R_{CLAMP}}$ は、MOSFET の BV_{DSS} 定格以下の最大ドレイン電圧を定義します。図 13a に灰色で示すように、高電力設計では、複数のツェナーが必要となる場合があります。また、ツェナー クランプも使用できるため (R_{CLAMP} 及び C_{CLAMP} は不要)、最大負荷時及び軽負荷時の効率は優れたものとなり、無負荷時入力も下がりますが、EMI は増加します。

図 13b に、高効率な RCDZ クランプ回路を示します。この構成では、ツェナー クランプの軽負荷時及び無負荷時のパフォーマンスに

加えて、RCD クランプの低 EMI 特性を実現します。この回路のメリットは、軽負荷時または無負荷時に C_{CLAMP} が $V_{R_{CLAMP}}$ より小さい値に放電しないことです。軽負荷時または無負荷時の通常の RCD クランプで、コンデンサ リップル電流は非常に大きくなり (V_{OR} 以上)、クランプとメイン負荷は無負荷時入力電力が低下し、軽負荷時の効率は低下します。動作は従来の RCD クランプと似ています。スイッチのターンオフの後、コンデンサ C_{CLAMP} は、 R_{CLAMP} 及び $V_{R_{CLAMP}}$ 経路で放電され、次のターンオフに備えてリセットされます。消費電力は、 $V_{R_{CLAMP}}$ 及び R_{CLAMP} 間で、これら 2 つの部品間の電圧に比例して共有されます。 $V_{R_{CLAMP}}$ の推奨値は、設計の V_{OR} の約 10% 上です。2 つのツェナーを直列に配置し、ツェナーの電力容量を増加することができます。

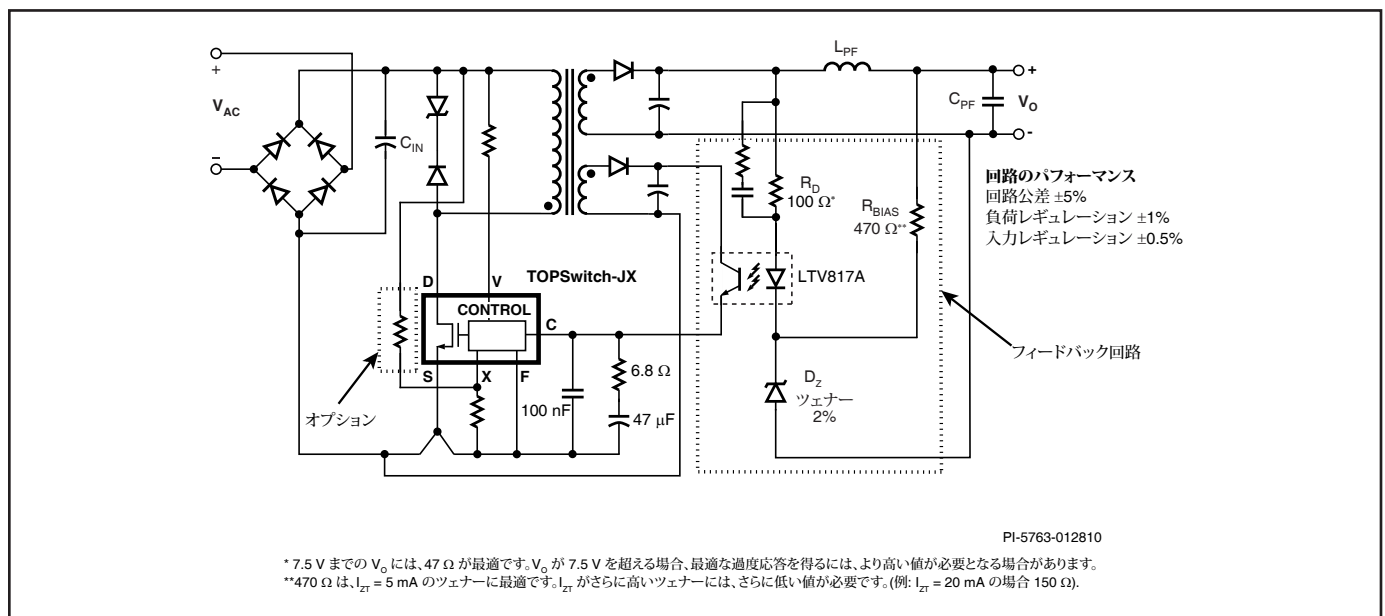


図 14 標準的なツェナー フィードバック回路

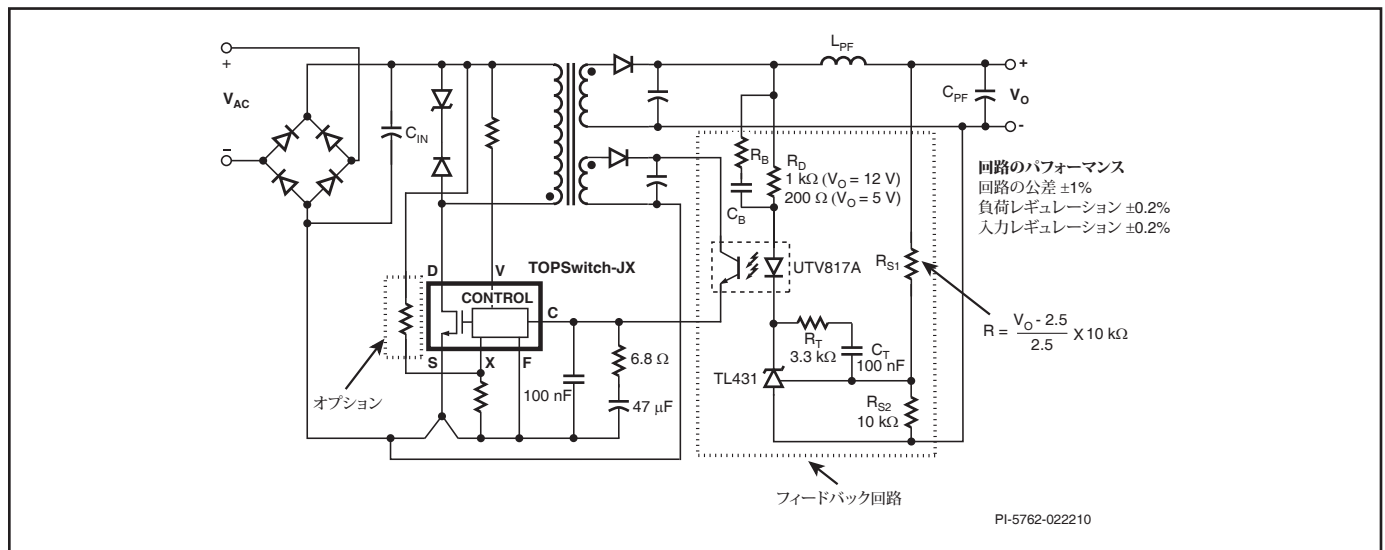


図 15 フォトカプラ-TL431 フィードバック回路

これらの条件下では、部品のバリエーションのマーヅンを確保するために、ピーク ドレイン電圧を、最大で 675 V に制限する必要があります。クランプ ダイオード (D_{CLAMP}) は、逆回復時間が 500 ns 未満の、高速または超高速リカバリー タイプである必要があります。どのような条件下でも、標準リカバリー タイプの整流ダイオードを使用すべきではありません。起動中や出力短絡で発生しうる高い消費電力は、ダイオードの故障を引き起こす可能性があります。抵抗 R_{CLAMP1} はリンギングを減衰させ、EMI を低減します。TOPSwitch-JX ファミリーの異なる製品を使用した電源は、ピーク一時電流と漏れインダクタンスが異なるため、漏れエネルギーも異なります。設計ごとにコンデンサ C_{CLAMP} 及び R_{CLAMP} を最適化する必要があります。原則として、コンデンサ C_{CLAMP} の値を最小化し、抵抗 R_{CLAMP} の値を最大化する一方で、推奨されている 675 V のピーク ドレイン電圧制限に適合させます。

ステップ 9 – 出力整流ダイオードの選択

設計計算シートに提供されている、各出力のピーク逆電圧 (V_R) 及び出力電流 (I_O) の値を使用して、出力ダイオードを選択します。テーブル 6 に、一般的に利用可能なタイプをいくつか示します。

$V_R \geq 1.25 \times PIV_S$: ここで、 PIV_S は、計算シートの [電圧ストレス パラメータ] 及び [トランスの二次側設計パラメータ] (多出力) セクションから取っています。

$I_O \geq 2 \times I_{O1}$: ここで、 I_O は、ダイオード定格 DC 電流で、 I_{O1} は平均出力電流です。温度上昇やピーク負荷条件によっては、プロトタイプの作成後に、ダイオード電流定格を大きくすることが必要な場合があります。また、これは放熱要件にも該当します。

ステップ 10 – 出力コンデンサの選択

リップル電流定格

計算シートは、平均出力電力を使用して、出力コンデンサ リップル電流を計算します。したがって、コンデンサの実際の定格は、その設計のピークから平均までの電力比率によって異なります。コンデンサのリップル定格は熱制限であり、ほとんどのピーク負荷期間はコンデンサの熱時定数 (< 1s) より短いため、ほとんどの場合、この想定が有効になります。そのような設計の場合、リップル定格が計算シートで計算した値 I_{RIPPLE} よりも大きくなるように、出力コンデンサを選択します。ただし、高いピーク電力から連続 (平均) 電力での設計や、長期間のピーク負荷条件の場合は、最悪の負荷及び周囲条件のもとで測定したコンデンサの温度情報に基づいて、コンデンサ定格を大きくする必要がある場合もあります。

どちらの場合も、適切な個々のコンデンサが見つからないときは、2 個以上のコンデンサを並列で使用して、個々のコンデンサのリップル定格の合計に等しい電流定格を達成します。

多くのコンデンサ メーカーは、コンデンサの動作温度がデータシートの最大値より低くなるとリップル電流定格を大きくする係数を提供しています。コンデンサのサイズが大きくなるようにするため、この点も検討する必要があります。

P/N	CTR(%)	BVCEO	メーカー
4 Pin DIP			
PC123Y6	80-160	70 V	Sharp
PC817X1	80-160	70 V	Sharp
PC817X4J	300-600	80 V	Sharp
SFH615A-2	63-125	70 V	Vishay, Isocom
SFH617A-2	63-125	70 V	Vishay, Isocom
SFH618A-2	63-125	55 V	Vishay, Isocom
ISP817A	80-160	35 V	Vishay, Isocom
LTV817A	80-160	35 V	Liteon
LTV816A	80-160	80 V	Liteon
LTV123A	80-160	70 V	Liteon
LTV817D	300-600	35 V	Liteon
K1010A	60-160	60 V	Cosmo

6 ピン DIP			
LTV702FB	63-125	70 V	Liteon
LTV703FB	63-125	70 V	Liteon
LTV713FA	80-160	35 V	Liteon
K2010	60-160	60 V	Cosmo
PC702V2NSZX	63-125	70 V	Sharp
PC703V2NSZX	63-125	70 V	Sharp
PC713V1NSZX	80-160	35 V	Sharp
PC714V1NSZX	80-160	35 V	Sharp
MOC8102	73-117	30 V	Vishay, Isocom
MOC8103	108-173	30 V	Vishay, Isocom
MOC8105	63-133	30 V	Vishay, Isocom
CNY17F-2	63-125	70 V	Vishay, Isocom, Liteon

テーブル 7. フォトカプラ

ESR 仕様

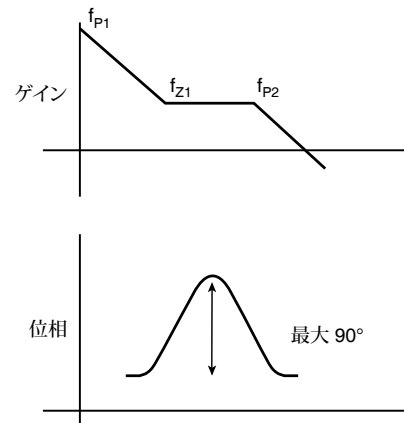
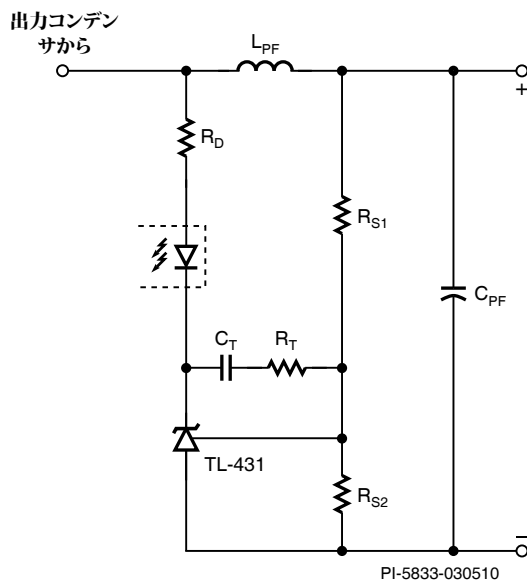
出力のスイッチング リップル電圧は、二次側ピーク電流に出力コンデンサ (電解タイプを想定) の ESR を掛けたものと等しくなります。そのため、低 ESR コンデンサ タイプを選択して、リップル電圧を下げるのが重要です。通常は、出力リップルに応じた定格のコンデンサを選択すると、ESR の許容可能な値になります。

電圧定格

$V_{RATED} \geq 1.25 \times V_O$ になるように定格電圧を選択します。

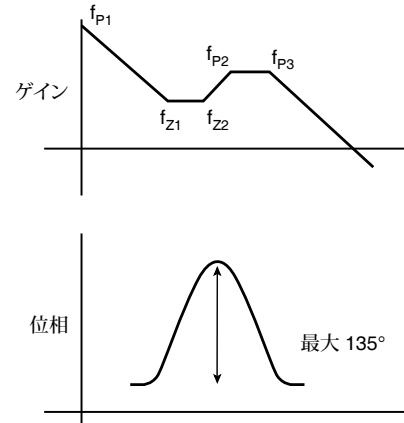
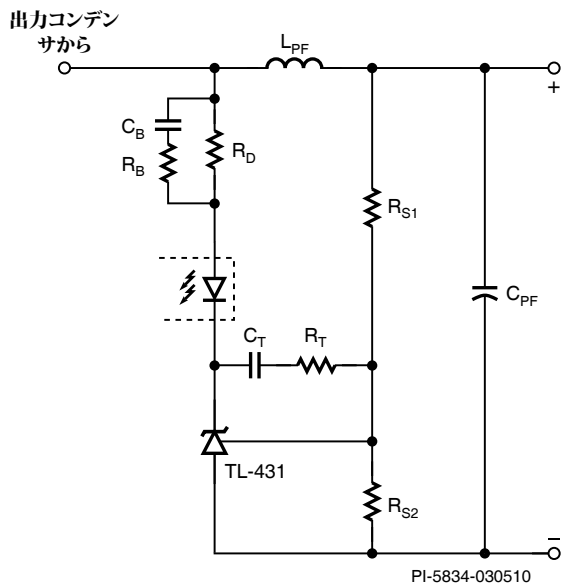
ステップ 11 – フィードバック回路部品の選択

電源のフィードバック回路の選択は、目的の出力レギュレーションによって規定されます。簡素なフィードバック回路は、フォトカプラのダイオードと直列のツェナー ダイオードを使用して構成できます。この方式は安価ですが、出力電圧の制御はツェナー ダイオードに依存しています。そのため、基準 IC と比較して、デバイスの幅広い公差と大きい温度係数が原因で、パフォーマンスが制限されます。



ポール/ゼロ	構成要素	およその位置
f_{P1}	C_T	0 Hz
f_{Z1}	R_T, C_T, R_{S1}	100 Hz
f_{P2}	TOPSwitch	7 kHz

図 16 TOPSwitch-JX を使用した、標準的な "タイプ 2" コントローラの実装



ポール/ゼロ	構成要素	およその位置
f_{P1}	C_T	0 Hz
f_{Z1}	R_T, C_T, R_{S1}	100 Hz
f_{Z2}	R_B, C_B, R_D	f_C
f_{P2}	TOPSwitch	7 kHz
f_{P3}	R_B, C_B, R_D	$10 f_C$

図 17 クロスオーバー周波数近傍に追加の位相ブースターを提供する、修正済み "タイプ 2" コントローラ

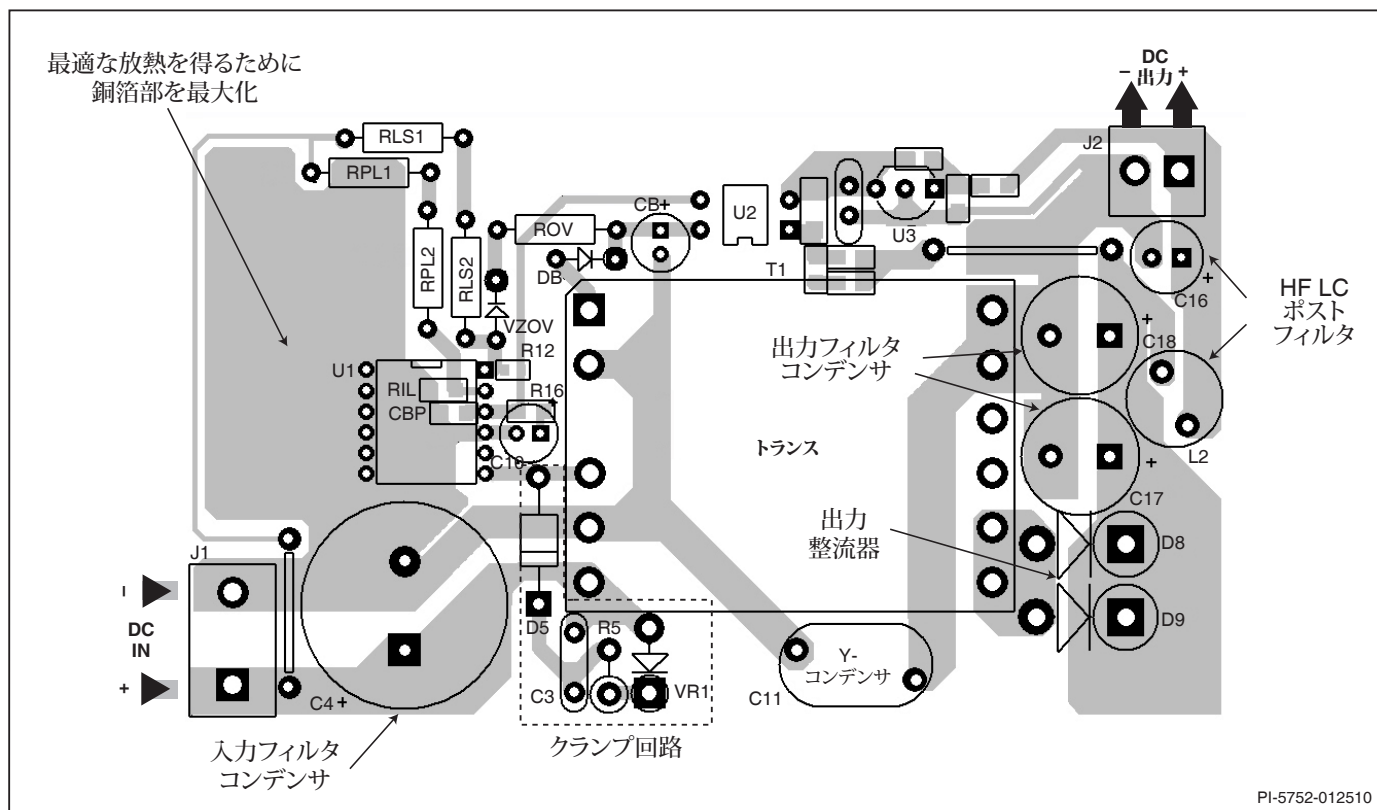


図 18a. V パッケージを使用した TOPSwitch-JX のレイアウトに関する考慮事項

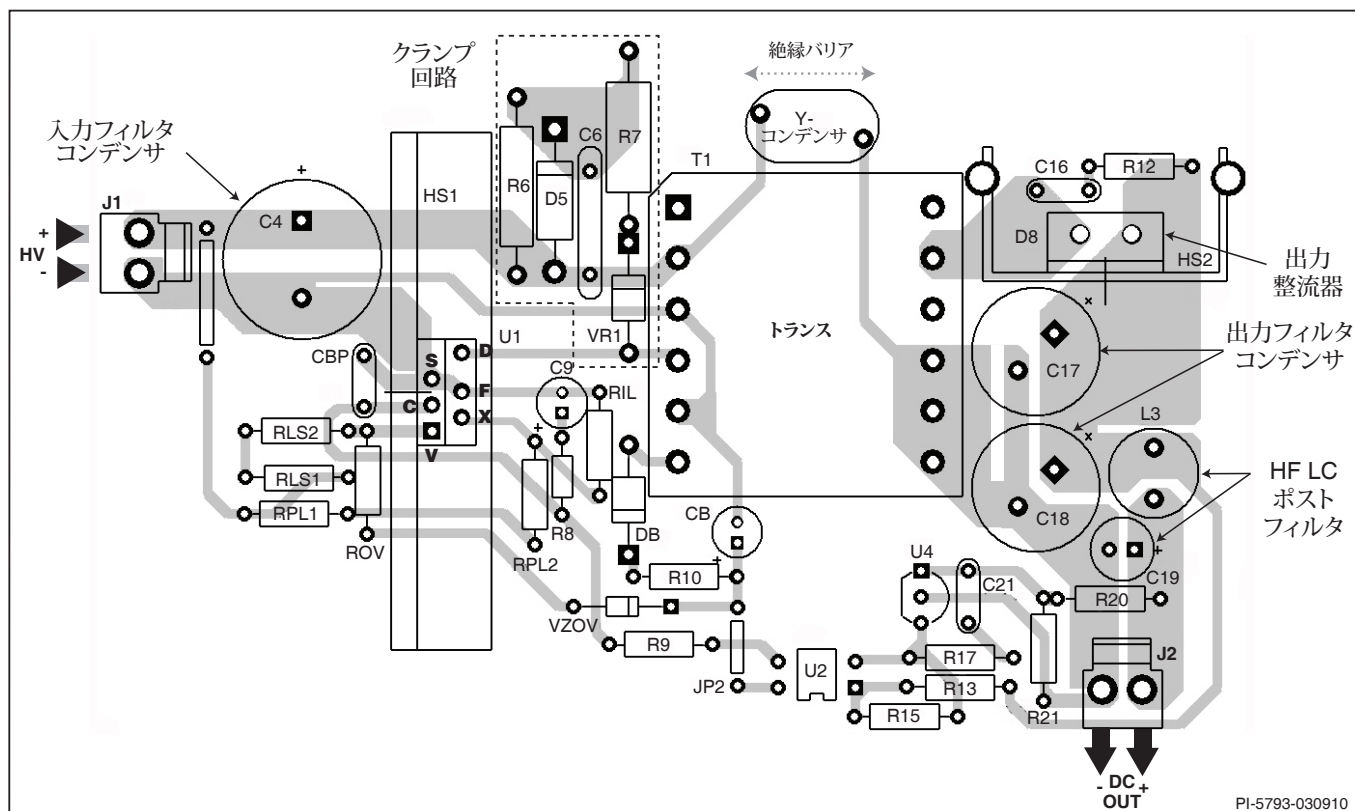


図 18b. E パッケージを使用した TOPSwitch-JX のレイアウトに関する考慮事項

図 14 に、ツェナー フィードバックの標準的な実装を示します。ツェナー ダイオード D_Z 、フォトカプラ直列抵抗 R_D 、及びフォトカプラ LED 間の低下は、出力電圧を決定します。抵抗 R_{BIAS} は、ツェナー ダイオードがそのニー電圧近くで動作するように、1 mA バイアス電流を提供します。抵抗 R_D は、フィードバックの DC ゲインを設定します。これら両方は、0.125 W または 0.25 W のいずれかで、5% のタイプです。フィードバック ネットワークをバイアスするために必要な電流を最小限に抑え、無負荷時入力電力消費を低減するために、低テスト電流 ($I_{ZT} \leq 5 \text{ mA}$) でツェナーを選択することを推奨します。

正確さを改善するために、図 15 に、基準 IC を使用した標準的な実装を示します。TL431 は、出力電圧の設定に使用し、 R_{S1} 及び R_{S2} を介してプログラミングします。抵抗 R_D は、DC ゲインを設定します。コンデンサ C_T の存在により、閉ループ転送機能に 0 Hz に非常に近いポールが追加されます (実質的に TL431 の有限ゲインによって制限されます)。更に、 C_T 抵抗 R_T 及び R_{S1} は、以下の低周波ゼロ (f_{z1}) を形成します。

$$f_{z1} = \frac{1}{2\pi(R_T + R_{S1})C_T}$$

部品の値は、ゼロが 100 Hz で発生するように選択する必要があります。

TOPSwitch-JX からの 7 kHz 内部ポールは、高周波ポール (f_{p1}) を提供し、タイプ 2 部品の構成を完了します (図 16 を参照)。

クロスオーバー周波数の近傍で位相の増加 (位相ブースト) が必要な場合があります。抵抗 R_D の選択を介して目的のクロスオーバー周波数 f_c が達成されたら、RC ネットワーク (R_B 及び C_B で形成される) を R_D の近くに配置し、この位相ブーストを実現できます。これらの部品の推奨開始値は、次のとおりです。

$$R_B \approx \frac{R_D}{9}$$

$$C_B \approx \frac{9}{10(2\pi \times R_B \times f_c)}$$

この配置では、ポールとゼロのペア (f_{z2} 及び f_{p2}) が配置され、これらは、クロスオーバー周波数 f_c を大きく変化させることなく、標準的には約 30° の位相マージンを追加することができます (図 17 を参照)。

一般的に、後段フィルタ (L_{PF} 及び C_{PF}) を追加して、高周波数スイッチング ノイズ及びリップルを減らします。インダクタ L_{PF} は、ピーク出力電流よりも電流定格が大きい、 $1 \mu\text{H} \sim 3.3 \mu\text{H}$ の範囲にする必要があります。コンデンサ C_{PF} は $100 \mu\text{F} \sim 330 \mu\text{F}$ の範囲内に収めて、電圧定格を $1.25 \times V_{OUT}$ 以上にする必要があります。 L_{PF} 及び C_{PF} の組み合わせは、共振周波数が 10 kHz かそのやや上で発生するようにする必要があります。これにより、電源のバンド幅内のポスト フィルタによる位相低下は、確実になくなります。ポスト フィルタを使用する場合は、図に示すように、ポスト フィルタ インダクタ及びセンス抵抗の前にフォトカプラを接続する必要があります。ポスト フィルタの後に接続すると、一般的に発振が発生します。

テーブル 7 に、一般的に絶縁スイッチング電源のフィードバック制御に使用されるフォトカプラのリストを示します。標準的な CTR 1 ~ 6 のフォトカプラの使用を推奨します。

設計のヒント

設計の推奨事項:

- 高出力電圧設計 >12 V の場合、特に大きい値の出力コンデンサを使用する場合は、ソフト スタート回路を推奨します。これにより、確実に低入力最大負荷で起動し、出力電圧のオーバーシュートが回避されます。図 22 では、R23、D6、及び C19 によるソフト スタート回路の実装が示されています。
- 電源無負荷時に、フォトカプラの適切なバイアス電圧を確保するために、バイアス巻線出力フィルタには、 $10 \mu\text{F}$ 、50 V 電解コンデンサを推奨します。最高の無負荷時入力電力パフォーマンスを得るために、高入力及び無負荷時に、バイアス電圧は 7 V (最悪の場合) 未満に降下すべきではありません。そのように、バイアス巻線電圧またはコンデンサを調整してください。

回路基板レイアウト

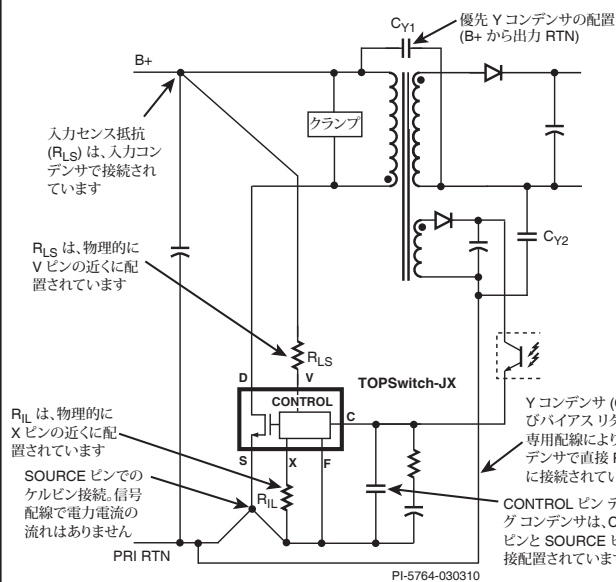
TOPSwitch-JX は、コントローラと高電圧 MOSFET の両方をワンチップに搭載した、高集積電源ソリューションです。高いスイッチング電流及び電圧とアナログ信号が存在するため、電源が常に安定してトラブルなしに動作できるようにするためには、優れたプリント回路基板 (PCB) 設計方法に従うことが特に重要です。

TOPSwitch-JX を使用した電源の基板を設計する際には、以下のガイドラインに従ってください。

一次側の配線

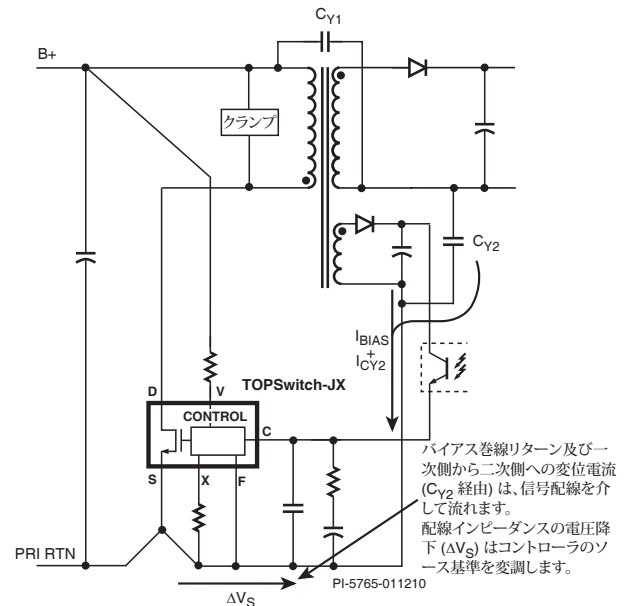
- 入力コンデンサのマイナス端子は、TOPSwitch-JX の SOURCE ピン及びバイアス巻線のリターンとは一点 (ケルビン) 接続してください。これにより、絶縁バリアを流れる容量結合による変位電流が入力フィルタ コンデンサに直接戻るようになり、サージ能力が向上します。
- CONTROL ピンのバイパス コンデンサは、SOURCE ピン及び CONTROL ピンのできるだけ近くに配置する必要があります。また、SOURCE ピンに接続する配線をメインの MOSFET のスイッチング電流及びバイアス巻線のリターン接続と共有しないようにしてください。
- VOLTAGE MONITOR (V) ピンまたは EXTERNAL CURRENT LIMIT (X) ピンに接続されている SOURCE ピン基準のすべての部品も、それぞれのピン及び SOURCE ピンの間にできるだけ近く配置する必要があります。同様に、これらの部品の SOURCE ピンに接続する配線も、メインの MOSFET スwitching またはバイアス巻線のリターン電流と共有しないようにしてください。SOURCE ピンのスイッチング電流を入力コンデンサのマイナス端子に戻す配線は、CONTROL ピン、VOLTAGE MONITOR ピン、または EXTERNAL CURRENT LIMIT ピンに接続されている部品の配線と共有せずに独立させることが非常に重要です。これは、SOURCE ピンがコントローラの基準電位ピンを兼ねているためです。ノイズ カップリングを防止するために、V ピンまたは X ピンへのどの配線もできる限り短くし、DRAIN ノード、クランプ部品、高 di/dt or dv/dt のあらゆるノードから物理的に離す必要があります。
- 高インピーダンスの V ピン側の配線を短くするために、入力センス抵抗は、V ピンの近くに配置する必要があります。V ピン抵抗の DC バス側は、できるだけバルクコンデンサの近くに配置する必要があります。
- $47 \mu\text{F}$ CONTROL ピン コンデンサに加えて、ローカル デカップリングには並列の高周波数 $0.1 \mu\text{F}$ バイパス コンデンサを使用する必要があります (図 18 の C_{BP})。
- フィードバック フォトカプラ出力は、ノイズのカップリングを防ぐために、高電圧または高電流のどの配線からも離す必要があります。

✓ 推奨レイアウト



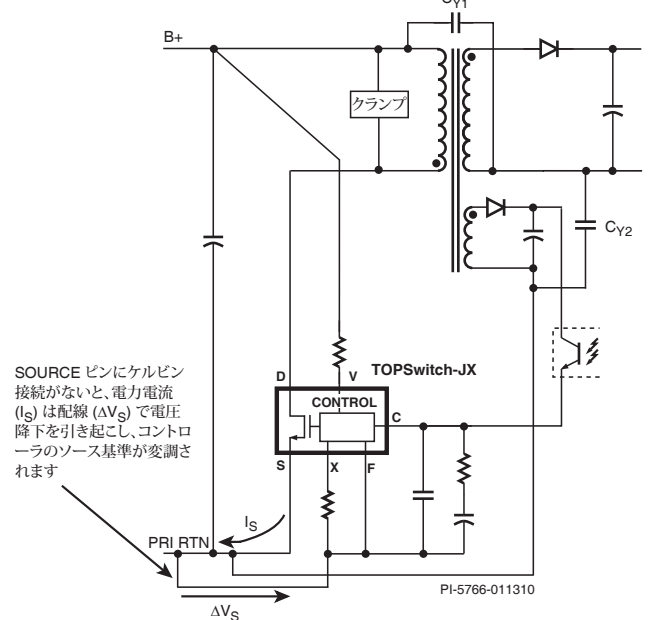
デバイスが正しく動作するために、良いレイアウト実施例に従っていることを確認します

✗ バイアス巻線のリターン接続が不良



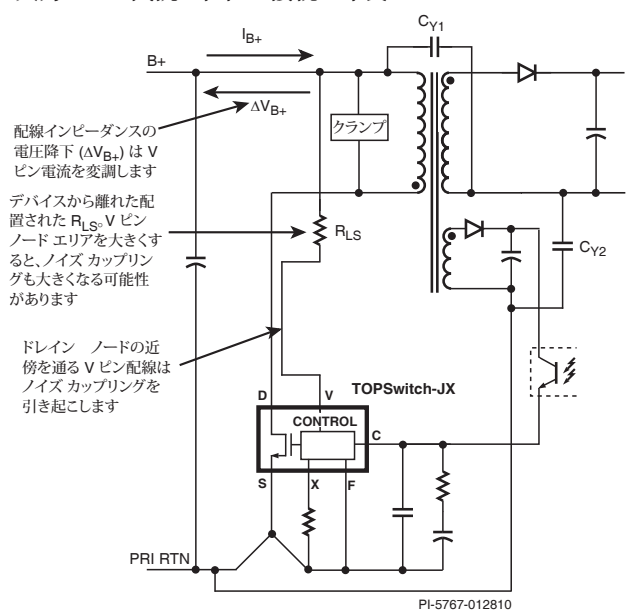
不適切なレイアウトは、出力リップルが高くなるか、適切なデバイス動作が妨げられます

✗ 信号ソース接続不良



不適切なレイアウトは、出力リップルが高くなるか、適切なデバイス動作が妨げられます

✗ 入力センス抵抗の位置と接続が不良



不適切なレイアウトは、UV/OV スレッシュホールドの変化や、さらに高い出力リップルを引き起こす場合があります

図 19 レイアウトに関する考慮事項 (回路図に図示) 及び一般的な誤り

Y コンデンサ

推奨される Y コンデンサの接続位置は、トランスの二次側出力近くのリターンピンおよびトランス一次側の DC 入力ピンに近い位置です。Y コンデンサが一次側と二次側の RTN 間に接続されている場合、一次側接続は、Y コンデンサから入力コンデンサのマイナス端子へは専用の配線を介して行う必要があります。これにより、絶縁バリアを超えて変位電流を生成した入力サージは、TOPSwitch-JX に接続された配線から確実に離しておくことができます。

二次側

漏れインダクタンスと EMI を最小にするには、二次巻線、出力ダイオード、出力フィルタ コンデンサを結ぶループの面積を最小にする必要があります。さらに、十分な放熱のためにダイオードのアノード端子とカソード端子の両方の銅パターンは、十分に大きくする必要があります。アノード領域を大きくすると高周波の放射 EMI が増大するため、安定したカソード端子の面積は大きい方が望ましいです。

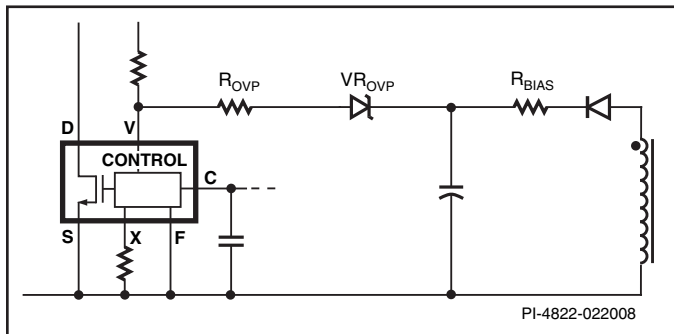


図 20 TOPSwitch-JX ベース フライバック電源向けの一次側検出 OVP 回路

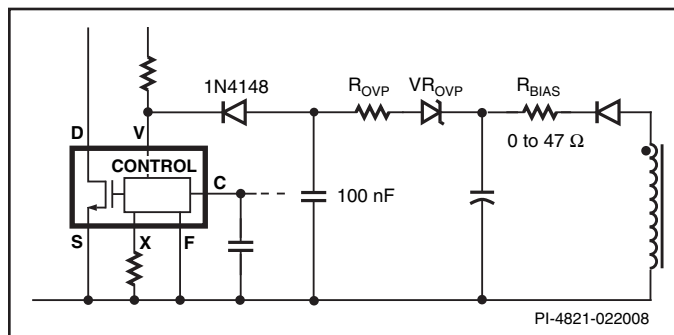


図 21 TOPSwitch-JX と追加の V ピン ノイズ デカップリングを使用した、フライバック電源一次側検出過電圧保護回路

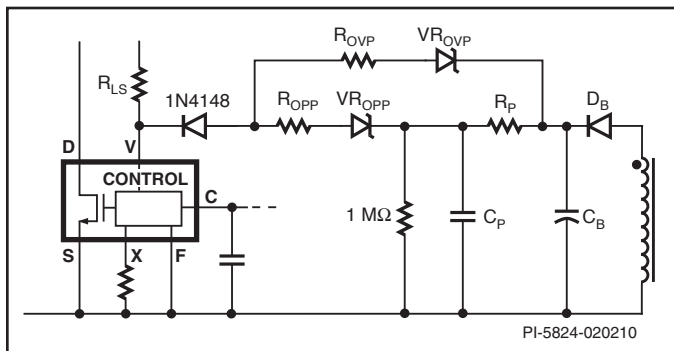


図 22 TOPSwitch-JX を使用した、過電圧保護と過電力保護の実装

回避すべき一般的なレイアウトの問題

適切でないレイアウトにより、分析に時間のかかるパフォーマンスの問題が発生し、それらは基板設計の変更が難しい開発の最終段階で起きる場合があります。図 19 に、問題の根本原因を素早く特定し、レイアウトを修正するのに役立つ方法を示します。回路図に、一般的なレイアウト上の誤りと、それらを回避すべき理由を示します。

軽負荷時の効率と無負荷時入力電力のヒント

電力メーター構成の修正

図 25 に、電力メーター及びその標準的なインピーダンスで電圧及び電流のセンス要素に使用可能な 2 つの構成を示します。個々の電圧素子と電流素子は、標準的に機器の背面に引き出されるため、ユーザーでの構成が可能です。

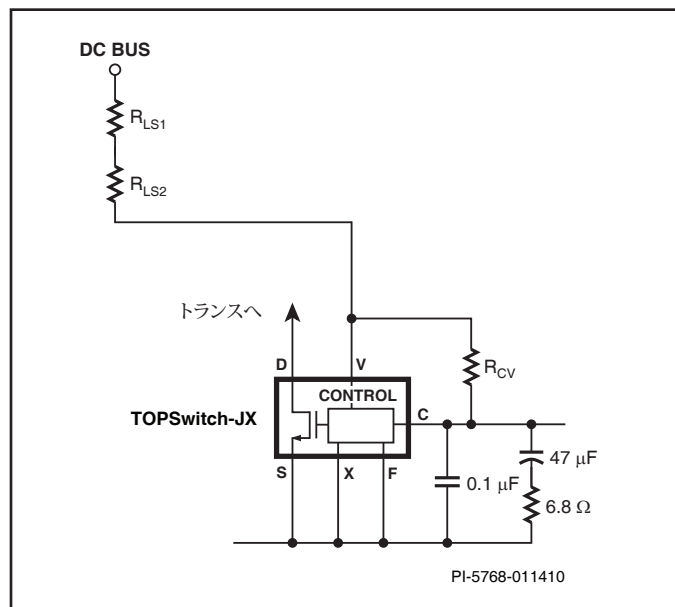


図 23 C ピンから V ピンへのバイアスによる無負荷時消費電力の削減

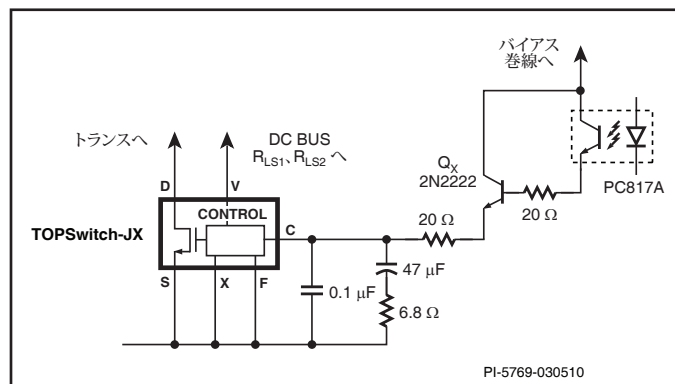


図 24 ダーリントン ペアを使用した無負荷時入力電力の削減

低電力測定 (< 100 W) の場合は、構成 (a) を使用する必要があります。これにより、電力読み取りに含まれる、電圧検出素子の入力インピーダンスからの通常時の損失が回避されます。230 VAC の場合、これは、2 MΩ 入力インピーダンスのメーターのエラー 26 mW と等しくなります。無負荷時入力電力を測定する場合、これは、ほとんどのエネルギー効率テスト方法 (IEC 62301) の 0.01 W 以下の誤差要件に適合しません。構成 (a) では、電圧検出素子の電圧降下 (消費電力) が原因で、エラーが発生します。ただし、低電流測定の場合、一般的にこれは無視して構いません。たとえば 85 VAC、2 A_{RMS} 測定の場合、消費電力は 64 mW で、0.05% 未満と 2% 以下の要件で電力測定エラーが発生します。

電力メーターが正しく構成されているかどうかを簡単にチェックするには、電力メーターに電源ユニット (PSU) を接続せずに 230 VAC を適用します。電力メーターにゼロ以外の電力値が表示された場合は、構成 (b) が使用された可能性が高いです。電力メーターを構成 (a) に切り替えてください。

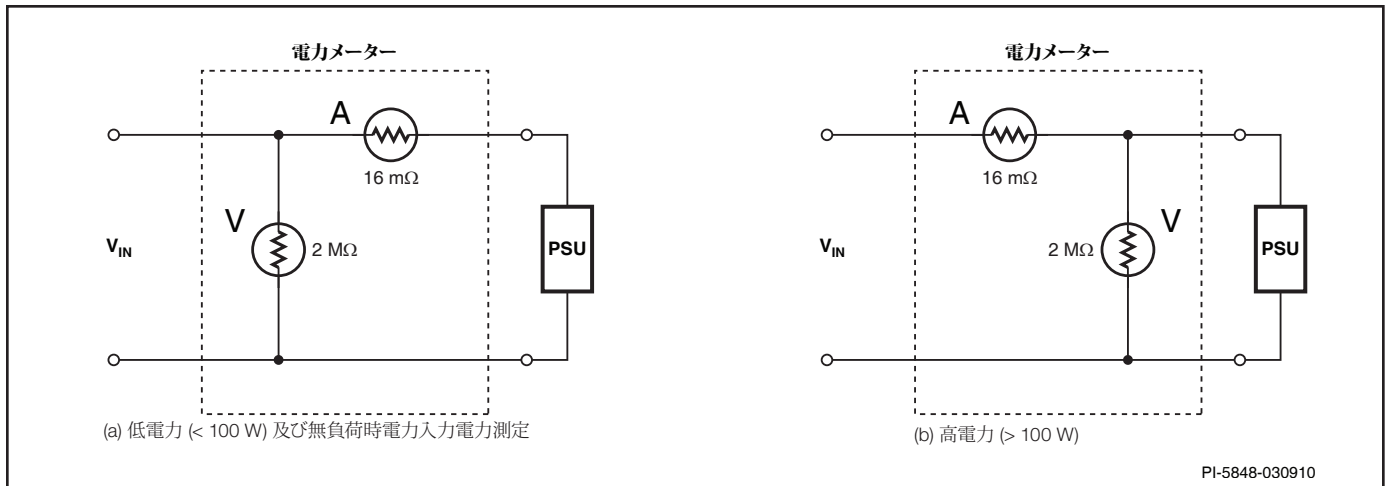


図 25 低電力 / 無負荷時及び高電力設計の正確な測定のための、正しい電力メーターの構成。
TOPSwitch-JX の電力レベルには構成 (a) を推奨。

無負荷時入力電力設定時間

無負荷時または待機状態で入力電力を測定する場合、入力電力が安定するまで十分な測定時間を確保します。図 27 に、230 VAC 入力時の TOPSwitch-JX 設計の無負荷時入力電力測定の標準的な設定時間を示します。入力電力測定は、Yokogawa WT210 電力メーターを使用して、5.5 分間 (330 s) に 100 ms ごとに取りました。最終値 (55.4 mW) の 3 mW (5%) 以内の電力測定を得るには、90 秒を超える遅延が必要であることに注意してください。

無負荷時入力電力の再現性

TOPSwitch-JX には、最小無負荷時入力電力と軽負荷時効率の変動性があり、これにより特定の仕様に適合させるのに必要な設計マージンが減ります。図 26 に、標準的なパフォーマンスの例を示します。ここで、単一電源の無負荷時は、48 個の TOP266EG 部品を使用して、デバイス温度 25 °C 及び 100 °C の両方で測定しました。単一温度における広がり合計は、両方の温度からのデータを含めて 5 mW 以下及び 7 mW 以下です。

軽負荷時の効率と無負荷時の入力電力の改善

軽負荷時及び無負荷時の条件の間、フィードバック ネットワーク、入力センス抵抗、及びクランプの電力消費は相当なもので、最適化しないと設計の無負荷時入力の 2 倍になるか、待機時消費電力で利用可能な出力電力が大幅に減る可能性があります。

これらの損失を最小限に抑えるために、以下のアプローチをとることができます。

- 出力ダミー負荷を最小限に抑える
- 入力センス抵抗を V ピンに接続する
- クランプの選択と最適化
- バイアス巻線電圧を最小限に抑える
- 入力センス抵抗の値を増やす
- ダーリントン ペアの一部としてフォトカプラ トランジスタを構成する
- TLV431 と TL431 二次側基準 IC の使用

ただし、これらのテクニックを試す前に、まず入力電力測定に使用する電力メーターが正しく構成されていることを確認してください (図 25)。

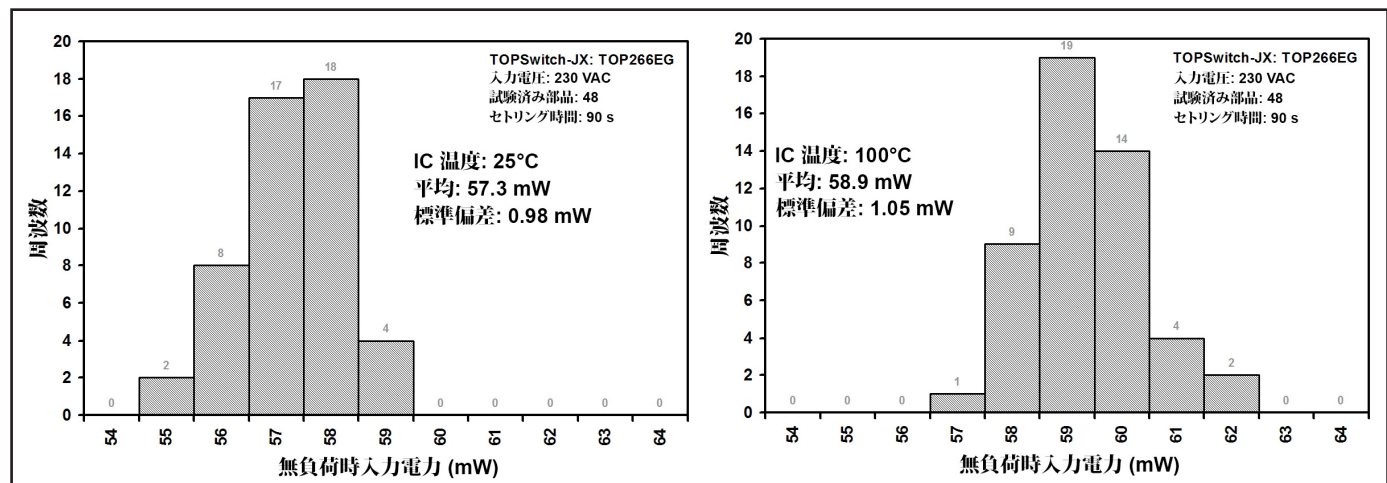


図 26 単一電源で測定された無負荷時入力電力のデバイスからデバイス及び温度バリエーションの例

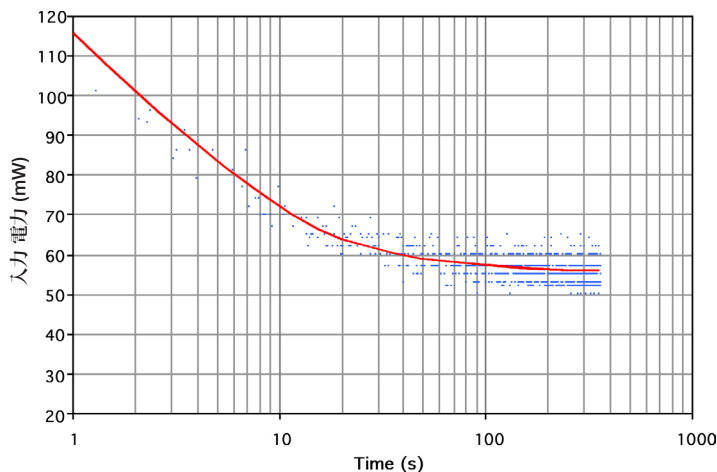


図 27 無負荷時入力電力設定時間 (点はフィルタなしによる電力メーターから即時測定を表しています。線は平均測定を表しています。)

出力ダミー負荷を最小限に抑える

単一出力の TOPSwitch-JX 設計に出力ダミー負荷は不要で、削除することができます。多出力の場合、二次側フィードバック ネットワークが接続されていない出力に小さな出力ダミー負荷が必要な場合があります。ダミー負荷がないと、これらの出力は、安定化された電圧を大幅に超えてピーク充電することができます。無負荷時入力電力を最小限に抑えるには、ダミー負荷抵抗の値を最大にする必要があります。消費電力を下げるために、シャント レギュレータを追加して、メインの低電力出力と 2 つ目の出力の固定の差を維持することができます。ここで、損失を最小限に抑えるには、出力リターンではなく制御出力に電流が流入するように、シャント レギュレータのトランジスタを構成する必要があります。

入力センス抵抗を含める (V ピンに接続)

入力低電圧及び過電圧を提供することに加えて、入力センス抵抗を V ピンに接続すると、入力フィード フォワード機能が有効になります。これにより、入力電圧が増加するにしがたい、指定のデューティサイクルをプログラムするためにデバイスの CONTROL ピンに流入する必要がある電流の量が減少します。この電流は、出力負荷 (フォトカプラ トランジスタ経由のバイアス巻線とフォトカプラ LED 経由の出力から引き出される) を表しているため、CONTROL ピンの電流を減らすと、消費電力も減少します。これにより、軽負荷時の効率及び無負荷時入力電力は改善されますが、入力センス抵抗自体の追加の消費電力は変わりません。

クランプの選択と最適化

軽負荷時及び無負荷時の消費電力を下げるには、ツェナーまたはツェナー ブリッド クランプの構成を選択します。最大負荷及び過負荷状態ではピーク ドレイン電圧を制限するように抵抗及びコンデンサの値が選択されているため、RCD クランプは回避すべきです。しかしながら、軽負荷時や無負荷時は、漏れインダクタンスのエネルギーもスイッチング周波数も低下するため、コンデンサが著しく放電します。コンデンサは、各スイッチングサイクル時に跳ね返り電圧以上に充電されるため、コンデンサ電圧が低いと充電エネルギーが多くなります。その結果、クランプ回路の消費電力は、あたかも電源出力に接続されているかのように、著しい電力損失として現れます。

ツェナー及びツェナー ブリッド クランプ構成は、コンデンサ電圧がツェナーの定格電圧で規定され、最小値未満にまで低下することがなくなり、軽負荷時及び無負荷時のクランプ回路での電力損失を抑制することで、この問題を解決します。

図 13 に、推奨されるクランプの構成を示します。レギュレーションを外れてオートリスタートに入る直前の最大 AC 入力電圧と出力過負荷という最悪の状態でのピーク ドレイン電圧を 675 V 以下に維持するため、 R_{CLAMP} の最高値を使用して、クランプの消費電力を最適化します。クランプ設計のさらなる情報は、設計フローのステップ 8 に記載されています。

無負荷時状態でバイアス巻線電圧を最小限に抑える

一次側で、CONTROL ピンへのフィードバック電流は、バイアス巻線の出力から流入します。バイアス巻線の電圧を最小限に抑えると、全体の消費電力も減少します。無負荷時及び最大入力電圧状態のもとで、オシロスコープを使用して、バイアス巻線コンデンサ電圧を監視します (図 31 の C10)。トランスのバイアス巻線のターン数を、最小電圧が 7 V 以上になるまで減らします。これ以下の電圧は、フォトカプラのカットオフを引き起こし、無負荷時の出力電圧が上昇する可能性があります。バイアス巻線のターン数の整数の性質が原因で、バイアス電圧を完璧に最適化することは不可能かも知れません。この場合は、バイアス コンデンサの値も調整して値を増やすと、バイアス電圧も少し増えます。最適化したら、過度負荷状態で正しい動作を確認し、バイアス電圧が常に 7 V 以上であることを確認します。

入力センス抵抗の値を増やす

入力センス抵抗の消費電力は、デバイス C から V ピンの間に抵抗を追加することで下げられます (図 23)。抵抗 R_{CV} は、CONTROL ピンから VOLTAGE MONITOR ピンへの固定電流をプログラムします。これにより、V ピンの入力 UV スレッショールドを超えるために必要な、 R_{LS1} 及び R_{LS2} 経由で DC BUS からの電流が減少します。これにより、 R_{LS1} 及び R_{LS2} を組み合わせた値が 4 MΩ から 10 MΩ に増加する一方で、同じ入力低電圧スレッショールドを維持することができます。

低入力電圧 (UV) 検出スレッショールドは維持されますが、入力過電圧 (OV) スレッショールド電圧は 2 倍になり、ライン フィードフォワード リップルの低減の効果は減少します。実際、ほとんどの民生用製品では、2 kV のデファレンシャルサージがこのクラスの製品に要求されるサージ耐性であり、入力 OV スレッショールドが高くなることの影響は少ないです。このサージ レベルの結果は、デバイスの BV_{DSS} を超過する可能性のある電圧を十分に下回る DC バス電圧 (パルセ コンデンサでフィルタされる) のわずかな上昇です。

デバイスのオートリスタート機能が適切に動作するために、 R_{CV} は 300 kΩ 未満とすることが必要です。

ダーリントン ペアの一部としてフォトカプラ トランジスタを構成する

ダーリントン ペア (図 24) のトランジスタの 1 つとしてフォトカプラを構成すると、一般的に無負荷時入力電力が $1 \text{ mA} \times V_o$ 以上減少します。ダーリントンのゲインが増加すると、指定の CONTROL ピン電流を提供して出力レギュレーションを維持するために必要なフォトカプラ LED (フィードバック) 電流が減少します。

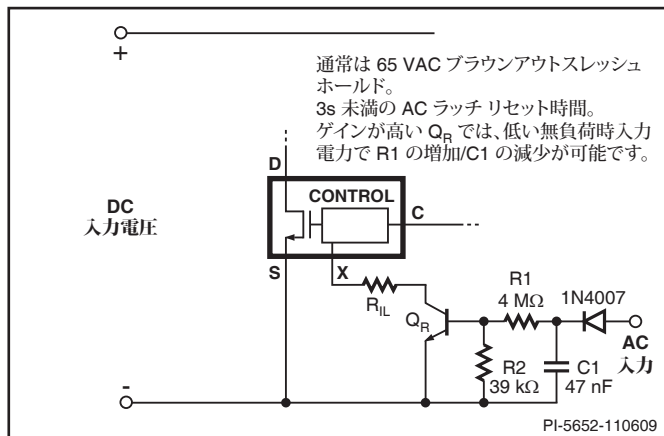


図 28 外部設定カレントリミット、AC 高速ラッチ リセット及び低入力電圧停止

二次側フィードバック電流のソースは出力であるため、それは出力負荷を表しており、したがってフィードバック電流を下げると、この負荷が減少し、それに伴い入力電力消費も減少します。減少は出力電圧の作用であるため、このアプローチは、出力フィードバックが高い出力電圧 (> 12 V) から得られる設計にとって最も効果的です。

トランジスタ Q_X は、どの汎用 NPN タイプでも構いません。安定性のために、 Q_X のエミッタから CONTROL ピンに、小さい値の抵抗 (20 Ω) を追加する必要があります。 Q_X のベースからフォトカプラ トランジスタのエミッタへの 2 つ目の抵抗は、フォトカプラの漏れ電流を補正します。また、これは、フォトカプラのゲインを A (80-160%) の CTR ランクに限定して、高温でフォトカプラ トランジスタの漏れがフィードバック電流を変調しないようにする理由でもあります。

二次側で、全体的なループ ゲインを正しく設定するために、フォトカプラ LED 直列抵抗 (図 31 の R16) は増やす必要があります。標準フィードバック構成の 10 倍の値は、良い初期推定値です。これは、後で制御ループ ボード パイロットに基づいて調整できます。

TLV431 と TL431 二次側基準 IC の使用

高電圧出力設計 (> 12 V) での TL431 から TLV431 への切り替えによって、基準 IC が要するバイアス電流を削減こととなり、無負荷消費電力を減らすことができます。正しく動作するために、TL431 には 1 mA の供給電流が必要ですが、TLV431 の場合はこれが 100 μA に減ります。供給電流 (フォトカプラ LED と並列の抵抗から供給) におけるこの減少により、負荷出力が直接減少し、したがって入力電力も減少します。

TOPSwitch-JX を使用した過電圧保護機能の実装

バイアス巻線出力は、フライバック方式の出力電圧の変化に追従します。フィードバック ループが機能なくなると、出力電圧が上昇し、バイアス巻線の電圧も上昇します。このことを用いて、出力過電圧状態を検出できます (図 20、21)。

バイアス巻線電圧が通常動作中 (または通常動作中の過渡的な負荷状態において) の電圧出力の最大値よりも大きく上昇 (標準的には 20 ~ 30%) した場合に、ツェナーダイオードが導通するように、バイアス巻線電圧と V ピンとの間に接続する最適なツェナーダイオードと直列の抵抗を選択することができます。

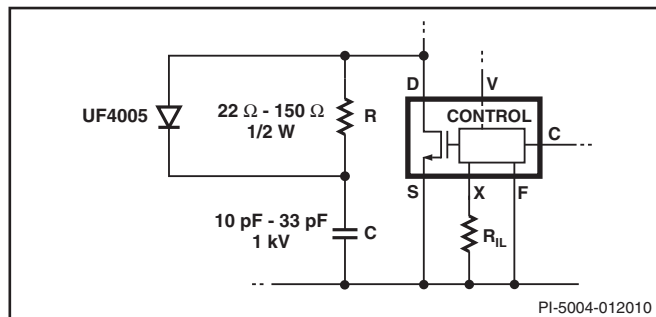


図 29 TOP269-271 を使用した高電力設計向けの推奨 RCD 回路

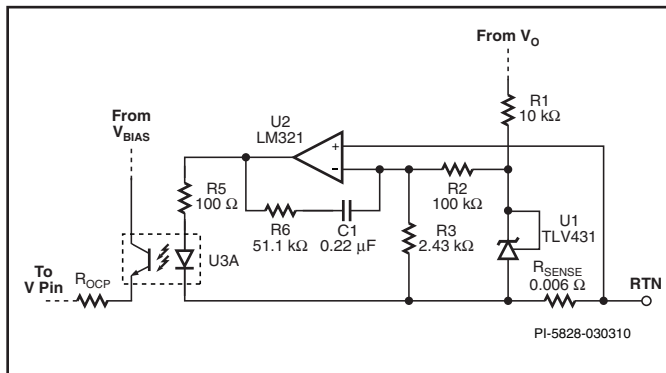


図 30 正確な過電流保護回路の実装

V ピンに流入する電流が 112 μA を超えると、スイッチング サイクルは即時に停止します。流入する電流が 100 μs 以上にわたって 112 μA 以上のものである場合、その部品はヒステリシス制御の OV シャットダウンに入ります。この状況においてオートリスタート サイクルが完了し、流入電流がヒステリシス ポイント以下に降下すると、スイッチングは再開します。

流入電流が 112 μA を超えると、V ピンは V ピン電圧を 0.5 V 降下することで応答します。V ピン電圧の降下により V ピン電流が 336 μA よりも高い値に上昇すると、IC はラッチ停止の状態に入ります。直列抵抗 R_{OVP} が非常に小さいと (5 Ω ~ 22 Ω の範囲)、流入電流が 112 μA に達したことに反応した V ピン電圧の変化は、リセットが必要となるラッチ過電圧保護状態に至る 336 μA を超える電流流入を引き起こすのに十分です。この状態で、入力 AC のサイクルが行われ、C ピンコンデンサが放電できるようになる、つまり IC がリセットされるまで、動作は再開しません。あるいは、X ピンを S ピンから切断することで、ラッチもリセットできます。TOPSwitch-JX はスイッチングを停止し、X ピンから 27 μA 未満の電流が引き出されていることを検出した場合に、OVP ラッチをリセットします。

この特性は、図 28 に示す AC 高速リセット回路で使用されます。この図は、単一のBJTを使用した簡素な内部ラッチリセット回路を示します。コンデンサ C1 の電圧は、バルク コンデンサよりも急速に変化するため、AC サイクルによりラッチの高速リセットが可能です。

一部の設計では、バイアス巻線から接続されているツェナー ダイオードが、V ピンに混入するノイズのソースとなる場合があります。これは、バイアス巻線出力リップルが高いか、回路基板レイアウトで隣接する回路からのノイズが、ツェナー ダイオードから V ピンに接続されている配線にカップリングできる場合に発生します。そのような場合は、図 21 に示す解決策を使用する必要があります。

過電力保護 (OPP) の実装

一次側で検出した過電力保護は、バイアス巻線で電圧を検出することにより、V ピンを介して実装できます。図 22 に、この構成を示します。ツェナー ダイオード VR_{OPP} は出力電圧保護を提供し、 VR_{OPP} と R_p 及び C_p は過電力保護を提供します。このアプローチは、目的の OPP 制限が最大負荷出力電力の 150% を超える場合に、上手く機能します。

OPP 機能は、二次側とバイアス巻線間の不完全なカップリングに依存します。出力負荷が増えるにつれて、漏れインダクタンスの影響が原因で、バイアス巻線電圧も上昇します。 VR_{OPP} 電流の電圧定格を超えるバイアス電圧が V ピンに流入すると、デバイスはスイッチングを停止します。このシャットダウンは、 R_{OPP} の値によってラッチまたは非ラッチ タイプにすることができます。5.1 k Ω は非ラッチ タイプとなり、22 Ω 未満はラッチ停止となります。過度負荷時や起動時に誤ったトリガを回避するには、 R_p 及び C_p は、ピーク負荷状態よりも、推奨一定時間である約 2 ms 以上長い遅延を設定します。

VR_{OPP} の電圧は、起動時や負荷過渡時に OVP の誤ったトリガを回避するために、 VR_{OPP} よりも高くする必要があります。

正確な過電流保護 (OCP) の実装

過電流保護 (低精度) の一形態として、過電力保護 (OPP) を使用することもできます。ただし、正確な過電流保護 (OCP) 機能を実装する必要がある場合は、別のフォトカプラ ベースの回路を使用して、OCP スレッシュホールドを検出し、V ピンを介してデバイスのスイッチングをオフにすることができます。

図 30 に、正確な過電流保護回路の実装を示します。負荷電流は、電流センス抵抗 R_{SENSE} の電圧降下を測定することで監視されます。シャント レギュレータ IC U1 と、R2 及び R3 で形成される抵抗分割回路ネットワークは、オペアンプ U2 の反転入力力で正確な電圧基準 0.03 V を生成するために使用されます。この低電圧検出スレッシュホールドにより、小さい電流センス抵抗を使用できるようになります。抵抗 R6 と C1 により、周波数補正が行われます。この例で、値 R_{SENSE} は、過電流スレッシュホールドが 5 A に設定されるように選択されています。このプログラムされた電流で、 R_{SENSE} の電圧が基準電圧 (0.03 V) を超えると、オペアンプ出力が上昇します。これにより、フォトカプラのダイオードが順方向にバイアスされ、V ピンを通じてシャットダウンがトリガされます。 R_{OCP} の値は、ラッチ停止または非ラッチ停止を定義します。5.1 k Ω は非ラッチ停止となり、22 Ω 未満はラッチ停止となります。過電流制限仕様が幅広いと、U2 の代わりに小さい信号ダイオードを電圧基準として使用する場合があります。

TOPSwitch-JX を使用した高電力電源の設計

フライバック方式を使用した電源の高電力レベル設計では、更に検討項目が必要です。

1. トランスの近接損失は大きく、高電力レベルのフライバック トランスの設計は、巻線構成や、マルチワイヤ構成におけるスト

ランドの数に関して、構成方法の影響を受けやすくなります。高周波トランスのワイヤ サイズの選択は、スイッチング周波数によって変わります。表皮深さはスイッチング周波数に比例し、各導体の利用可能な断面積を制限します。多ストランド (ファイラ) 巻線及びリッツ線は、一般的に、高周波トランスの導通損失を減少するために使用します。表皮効果を更に減少させるには、特に、低電圧高電流 (> 6 A) 出力の場合、フォイル巻線の使用を推奨します。

2. トランスや PCB 配線の漏れインダクタンスのわずかな増加は、スナバ回路における消費電力の大幅な増加につながる可能性があります。漏れインダクタンスを減少させるには、トランスでサンドウィッチ巻線構造を使用し、特に二次側巻線、出力ダイオード、及び出力コンデンサで形成されるループの場合、PCB 配線の長さを最小限に抑えることが重要です。スナバ回路の設計は、高効率を達成する上で重要です。一般的に高電力レベルで、サイズが適切な RCDZ クランプは、ドレイン ソース電圧が 680 V を超えないようにします。
3. 高出力電流で、二次側リップル電流は、単一の非常に低い ESR 出力コンデンサの定格を超えて増加する場合があります。そのため、複数のコンデンサを並列で使用することが一般的です。この場合、リップル電流を均等に分配するために、すべてのコンデンサへの配線の長さを等しくすることに特別な注意を払う必要があります。これによって、許容可能な動作寿命を確保することに重要となる、等しい消費電力と温度上昇を実現することができます。複数のコンデンサを使用する場合でも、スイッチング周波数リップルを低減するために、2 段階 LC フィルタが必要です。
4. 放射 EMI の発生源となりえる大きなスイッチング電流と電圧を伴う PCB 配線の長さとし、ループエリアを最小限とします。

いずれかの TOPSwitch-JX を使用した高電力設計の場合、特に TOP269 – TOP271 を使用する設計の場合は、ドレイン端子とソース端子の間に小型の RC (または RCD) ネットワークを配置するためのスペースを PCB 基板に設けることを推奨します (図 29)。これにより、影響を与える電源の動作からのスイッチング ノイズが減少し、ラジエーション EMI の低減にも役立ちます。22 Ω ~ 150 Ω の抵抗及び 10 pF ~ 33 pF の範囲の 1 kV 定格のセラミック コンデンサは、ほとんどの用途に最適です。

このダイオードの追加により、スナバにおける消費電力が最大 1/2 低減します。

設計のクイック チェックリスト

どの電源でも、すべての TOPSwitch-JX 設計は、最悪な場合の条件で部品仕様を超えていないことを確認するために、実際のハードウェアで検証する必要があります。最小限、次の試験を行うことを強く推奨します。

1. 最大ドレイン電圧 – 最大入力電圧及び最大過負荷出力電力で V_{DS} のピーク値が 680 V を超えないことを検証します。出力の負荷がオートリスタートを開始する (レギュレーションが外れる) 直前のレベルの時、最大出力電力になります。
2. 最大ドレイン電流 – 最高周囲温度、最大入力電圧及び最大出力負荷時の起動時ドレイン電流波形を観測し、トランスの飽和及び過剰なリーディング エッジ電流スパイクの兆候を確認します。TOPSwitch-JX の最小リーディング エッジ ブランキング時間は 180 ns です。これによりスイッチング サイクルの起動不全を避けやすくなります。180 ns の最小ブランキング時間の後、リーディング エッジ スパイク電流がドレイン電流の許容カレント リミットを下回っていることを確認します。

3. 温度特性の確認 - 最大出力電力、最小入力電圧、および最高周囲温度で、TOPSwitch-JX、トランス、出力ダイオード、出力コンデンサがそれぞれの温度制限を超えないことを検証します。データシートに指定されているように、TOPSwitch-JX の $R_{DS(ON)}$ における部品ごとのばらつきを許容する十分な温度マージンが必要です。これらのバリエーションを許容するために、V パッケージの最大 SOURCE ピン温度または E パッケージのタブ温度は 110 °C を推奨します。あるいは、DRAIN ピンと直列で同じヒートシンクに取り付けられている外付け抵抗を接続することで、設計マージンを確認することができます。選択した抵抗は、試験や最悪な場合の最大仕様のもとで測定した、デバイスの $R_{DS(ON)}$ と等しくなります。

付録 A

応用例

低無負荷時電力、高効率、65 W ユニバーサル入力アダプタ電源

図 31 の回路は、密閉型アダプタ ケース アプリケーション用に設計された、入力電圧 90 VAC ~ 265 VAC、出力 19V 3.42A の電源です。この設計では、最高の最大負荷効率、最高の平均効率 (25%、50%、75%、及び 100% 負荷の平均)、及び非常に低い無負荷時待機電力を実現します。更に、ラッチタイプの出力過電圧機能の搭載、安全規格で求められる制限電源 (LPS) の設計要求に対応します。測定された効率及び無負荷時の特性を回路図のテーブルに示していますが、これらは、現在のエネルギー効率要求に容易に適合します。

これらの設計目標を満たすために、重要な設計上の決定事項を以下に示します。

PI 部品の選択

- 効率向上のため、電力供給に必要なサイズよりも 1 段階大きなデバイスを選択します。

TOPSwitch-JX のカレント リミット プログラミング機能を使用することで、電力供給に必要なサイズを超える大きなデバイスを選択できます。これにより、MOSFET 導通損失 ($I_{RMS}^2 \times R_{DS(ON)}$) が減少して、最大負荷、低入力電圧での効率が向上します。ただし、小さなデバイスを使用した場合と同様に、過負荷電力、トランス及びその他の部品のサイズは変わりません。

この設計では、電力供給に必要なサイズよりも 1 段階大きなデバイスを選択しています (電力テーブルで推奨)。これにより、高効率が可能になります。デバイスサイズを更に大きくしても、より大きな MOSFET によるスイッチング損失が増加し、効率は同等か、それ以下になることがあります。

入力センス抵抗値

- 入力センス抵抗を $4\text{ M}\Omega$ から $10.2\text{ M}\Omega$ に引き上げることで、無負荷時入力消費電力を 16 mW 削減します。

入力センスは、抵抗 R3 及び R4 によって提供され、入力低電圧スレッシュホールド及び過電圧スレッシュホールドを設定します。これらの抵抗値の合計値を標準の $4\text{ M}\Omega$ から $10.2\text{ M}\Omega$ に引き上げることで、抵抗消費電力が減少するため、無負荷時待機電力が約 26 mW から約 10 mW に低下します。UV (ターンオン) スレッシュホールドに生じた変化を補正するために、CONTROL ピンと VOLTAGE-MONITOR ピンの間に抵抗 R20 を追加します。これにより、約 $16\text{ }\mu\text{A}$ に等しい DC 電流が V ピンに追加され、V ピンの UV (ターンオン) スレッシュホールド電流である $25\text{ }\mu\text{A}$ に達するために、R3 及び R4 を介して $9\text{ }\mu\text{A}$ の電流を供給する必要があり、UV スレッシュホールドは 95 VDC に設定されます。

この方法では、OV スレッシュホールドが約 450 VDC から約 980 VDC に上昇し、入力 OV 機能は実質的に無効になります。ただし、この設計では入力コンデンサ (C2) の値が十分に大きく、ピークドレイン電圧が U1 の BV_{DSS} 定格に達することなく 2 kV のディファレンシャル入力サージに対応できるため、入力 OV 機能の影響はありません。

クランプの構成 - RZCD 対 RCD

- 軽負荷時の効率向上、無負荷時待機電力の低減のため、RCD クランプではなく、RCDZ (ツェナー ブリッド) を使用します。

クランプ回路は、VR2、C4、R5、R6、及び D2 によって構成されます。これにより、漏れインダクタンスによって生じる DRAIN ピーク電圧スパイクを TOPSwitch-JX の内蔵 MOSFET の BV_{DSS} 定格未満に制限します。軽負荷時の効率と無負荷時の待機電力を改善するために、標準的な RCD クランプではなく、このクランプ回路を選択します。

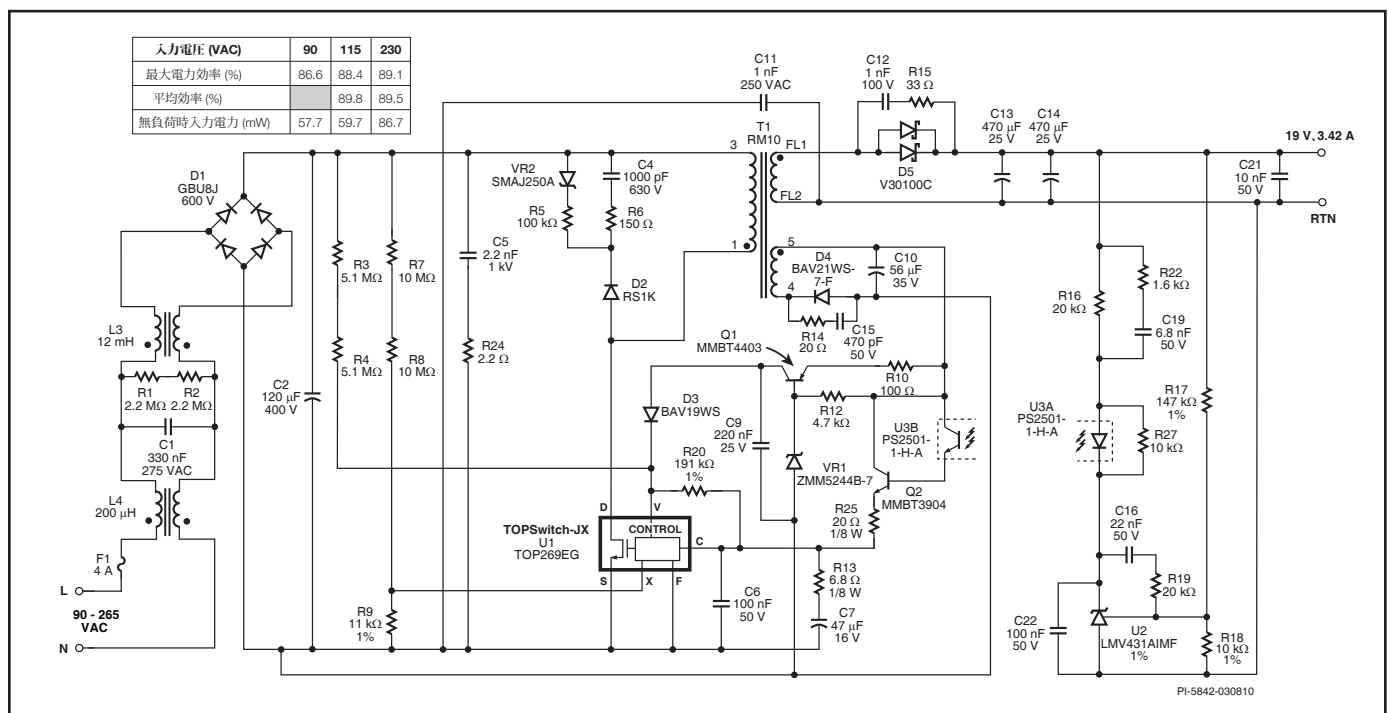


図 31 低無負荷時待機電力、高効率の 19 V 65 W、ユニバーサル入力フライバック電源

標準的な RCD クランプでは、C4 の放電は、抵抗とツェナーの直列接続ではなく、並列接続の抵抗によって行われます。RCD クランプでは、最大負荷時や過負荷時のドレイン ピーク電圧を制限するために、抵抗値を選択します。しかしながら、軽負荷時や無負荷時は漏れインダクタンスのエネルギーもスイッチング周波数も低下するため、この抵抗値はコンデンサを著しく放電させ、コンデンサ電圧が低下します。コンデンサは、各スイッチングサイクル時に跳ね返り電圧以上に充電されるため、コンデンサ電圧が低いと充電エネルギーが多くなります。その結果、クランプ回路の消費電力は、あたかも電源出力に接続されているかのように、著しい電力損失として現れます。

RZCD クランプは、コンデンサ電圧が VR2 の定格電圧で規定され、最小値未満にまで低下することがなくなり、軽負荷時及び無負荷時のクランプ回路での電力損失を抑制します。

抵抗 R6 及び R28 は高周波リングを減衰させ、EMI を低減します。VR2 に直列に接続された抵抗によりピーク電流が制限されるため、VR2 は TVS タイプより低コストな標準的なパワー ツェナー ダイオードを使用できる可能性があります (ただし、この設計では、SMD パッケージ品を使用するため、TVS タイプを選択しています)。ダイオード D2 は、逆回復時間が 500 ns と長いので、標準的な 600 V 定格ではなく、800 V 定格を選択しています。これにより、ダイオードの逆回復時間中にクランプ エネルギーの一部を再生できるようになるため、効率が向上します。SMD 部品を使用するため、複数の抵抗を並列に使用し、損失の分散を行います。

フィードバック回路

- フォトカプラとトランジスタを組み合わせることでダーリントン接続を構成することで、二次側フィードバック電流が低下し、無負荷時待機電力を低減します。
- 二次側の基準 IC には、低電圧、低電流タイプを使用することで二次側フィードバック電流を低下させ、無負荷時待機電力を低減します。
- 高入力電圧、無負荷時のバイアス巻線電圧を約 9V に調整し、無負荷時待機電力を低減します。

高入力電圧時の CONTROL ピンに流入するフィードバック電流は、通常、約 3 mA です。この電流は、バイアス巻線 (C7 の両端電圧) 及び出力から直接供給されます。これらはどちらも電源出力の負荷になります。無負荷時のバイアス巻線による消費電力を最小にするために、バイアス巻線の巻数と C10 の値を調整して、C10 の両端電圧の最小電圧を約 9V にします。これは、フォトカプラを動作させるのに必要な最小電圧です。二次側フィードバック回路の消費電力を最小にするために、Q2 を追加して、U3B とのダーリントン接続を構成します。これにより、二次側のフィードバック電流が約 1mA に低減します。(トランジスタの h_{FE} による) ループゲインの増加は、R16 を大きくし、R25 を追加することで調整します。基準 IC を標準的な基準電圧 2.5 V の TL431 から 1.24 V の LMV431 に置き換えることで、動作電流を 1 mA から 100 μ A に低減します。

出力ダイオードの選択

- 出力ダイオードには、電流定格が大きく、 V_F の値が小さいショットキー ダイオードを選択します。

D5 には、 V_F が 5A 時に 0.455 V である、15 A、100 V のデュアルタイプ ショットキー ダイオードを選択しています。この電流定格は、

要求される電流値よりも大きいですが、これにより抵抗損失と電圧損失を低減し、最大負荷時及び平均負荷時の効率を改善します。トランスの一次側と二次側の巻き数比を大きくすることで ($V_{OR} = 110$ V)、100 V のショットキーの使用を可能にします。これは、TOPSwitch-JX の内部 MOSFET の電圧定格が大きいことにより実現できます。

出力過電圧のシャットダウン感度の向上

- 出力過電圧のシャットダウン感度を改善するために、トランジスタ Q1 及び VR1 を追加します。

オープンループ状態では、出力電圧が上昇し、バイアス巻線電圧も上昇します。バイアス巻線電圧が VR1 電圧と Q1 の V_{BE} 電圧降下分の合計値を超えると、Q1 がオンして V ピンに電流が流れます。Q1 を追加することで、入力電圧が低く、最大負荷時のような出力電圧の跳ね上がりが比較的小さい条件でもラッチ停止スレッショールドを十分超える電流を供給できるようになり、V ピンに対して十分な電流を流すことを可能にします。

出力過負荷保護は、Xピンのカレントリミット設定機能及び R7, R8, R9 によって行われます。抵抗 R8 と R9 は、入力電圧の上昇とともにデバイスのカレント リミットを低減して過負荷電力特性をほぼ一定に保ち、100 VA 未満の電力制限 (LPS) の要求を満足させます。(R8 のオープンなど) 単一の異常状態でもこの要求に適合できるように、過負荷時に生じるバイアス電圧の上昇をトリガすることでラッチ停止させます。

無負荷時超低待機電力、高効率、30 W、ユニバーサル入力オープン フレーム電源

以下の図 32 に示す回路は、85 VAC ~ 265 VAC 入力、12 V、2.5 A 出力の電源を示します。この設計では、最大負荷及び平均負荷 (25%、50%、75% 及び 100%) 時における効率、非常に低い無負荷時待機電力を実現します。更に、ラッチタイプの出力過電圧機能の搭載、安全規格で求められる制限電源 (LPS) の設計要求に対応します。実際の効率及び無負荷時の特性を回路図のテーブルに示していますが、これらは、現在のエネルギー効率要求に容易に適合します。

これらの設計目標を満たすために、重要な設計上の決定事項を以下に示します。

PI 部品の選択

- 40 °C の周囲温度条件では、電力テーブルに記載されているデバイスサイズよりも 1 段階小さなデバイスが使用できます。

この設計では、電力テーブル (テーブル 1) の基板放熱における 85 ~ 265 VAC、オープン フレーム条件に基づいてデバイスを選択しています。周囲温度仕様が 40 °C (電力テーブル条件では 50 °C)、デバイス ヒートシンクに対してレイアウト及び面積を最適化することによって、1 段階小さなデバイス (TOP267V ではなく TOP266V) を選択し、実際の温度及び効率データによって、このデバイスの有効性を確認します。測定の結果、デバイスの最高温度は最大負荷、40 °C、85VAC/47Hz の最悪条件で 107 °C、平均効率は ENERGY STAR 及び EuP Tier2 要件の 83% を超えることを確認しました。

トランス コアの選択

- スイッチング周波数を 132 kHz 設定にすることでコアを小型化し、コストを低減します。

コアサイズはスイッチング周波数の関数のため、132 kHz という高いスイッチング周波数により、コアの小型化を実現します。高周波化に対して、TOPSwitch-JX のドレインソース間容量 (C_{OSS}) は、ディスクリート MOSFET と比較して小さいことから効率への悪影響はありません。

入力センサ抵抗値

- 入力センサ抵抗を $4\text{ M}\Omega$ から $10.2\text{ M}\Omega$ に引き上げることで、無負荷時入力消費電力を 16 mW 削減します。

入力センサは抵抗 R1 及び R2 によって提供され、入力低電圧スレッシュホールド及び過電圧スレッシュホールドを設定します。これらの抵抗値の合計値を標準の $4\text{ M}\Omega$ から $10.2\text{ M}\Omega$ に引き上げることで、無負荷時待機電力が約 26 mW から約 10 mW に低下します。UV スレッシュホールドに生じた変化を補正するために、CONTROL ピンと VOLTAGE-MONITOR ピンの間に抵抗 R12 を追加します。これにより、約 $16\text{ }\mu\text{A}$ に等しい DC 電流が V ピンに追加され、V ピンの UV スレッシュホールド電流である $25\text{ }\mu\text{A}$ に達するには、R1 及び R2 を介して $9\text{ }\mu\text{A}$ の電流を供給する必要がある、UV スレッシュホールドは約 95 VDC に設定されます。

この方法では、OV スレッシュホールドが約 450 VDC から約 980 VDC に上昇し、入力 OV 機能は実質的に無効になります。ただし、この設計では入力コンデンサ (C3) の値が十分に大きいので、U1 の BV_{DSS} 定格に達することなく 2kV のディファレンシャルサージノイズに対応でき、入力 OV 機能の無効の影響はありません。

クランプの構成 – RZCD 対 RCD

- 軽負荷時の効率向上、無負荷時待機電力の低減のため、RCD ではなく、RCDZ (ツェナー プリード) を使用します。

クランプ回路は、VR1、C4、R5、及び D5 によって構成されます。これにより、漏れインダクタンスによって生じる DRAIN ピーク電圧スパイクを TOPSwitch-JX の内蔵 MOSFET の BV_{DSS} 定格未満に制限します。軽負荷時の効率と無負荷時の待機電力を改善するために、標準的な RCD クランプではなく、このクランプ回路を選択します。

標準的な RCD クランプでは、C4 の放電は、抵抗とツェナーの直列接続ではなく、並列接続の抵抗によって行われます。RCD クランプでは、最大負荷時や過負荷時の DRAIN ピーク電圧を制限するために、R5 の抵抗値を選択します。しかしながら、軽負荷時や無負荷時は漏れインダクタンスのエネルギーもスイッチング周波数も低下するため、この抵抗値はコンデンサを著しく放電させ、コンデンサ電圧が低下します。コンデンサは、各スイッチングサイクル時に跳ね返り電圧以上に充電されるため、コンデンサ電圧が低いと充電エネルギーが多くなります。その結果、クランプ回路の消費電力は、あたかも電源出力に接続されているかのように、著しい電力損失として現れます。

RZCD クランプは、コンデンサ電圧が VR1 の定格電圧で規定され、最小値未満にまで低下することがなくなり、軽負荷時及び無負荷時のクランプ回路での電力損失を抑制します。ここでは、ツェナー VR1 は高いピークエネルギーを吸収できる TVS タイプを選択していますが、ピーク電流が小さい場合には、実績のある標準的な低コストのツェナーダイオードを使用することも可能です。

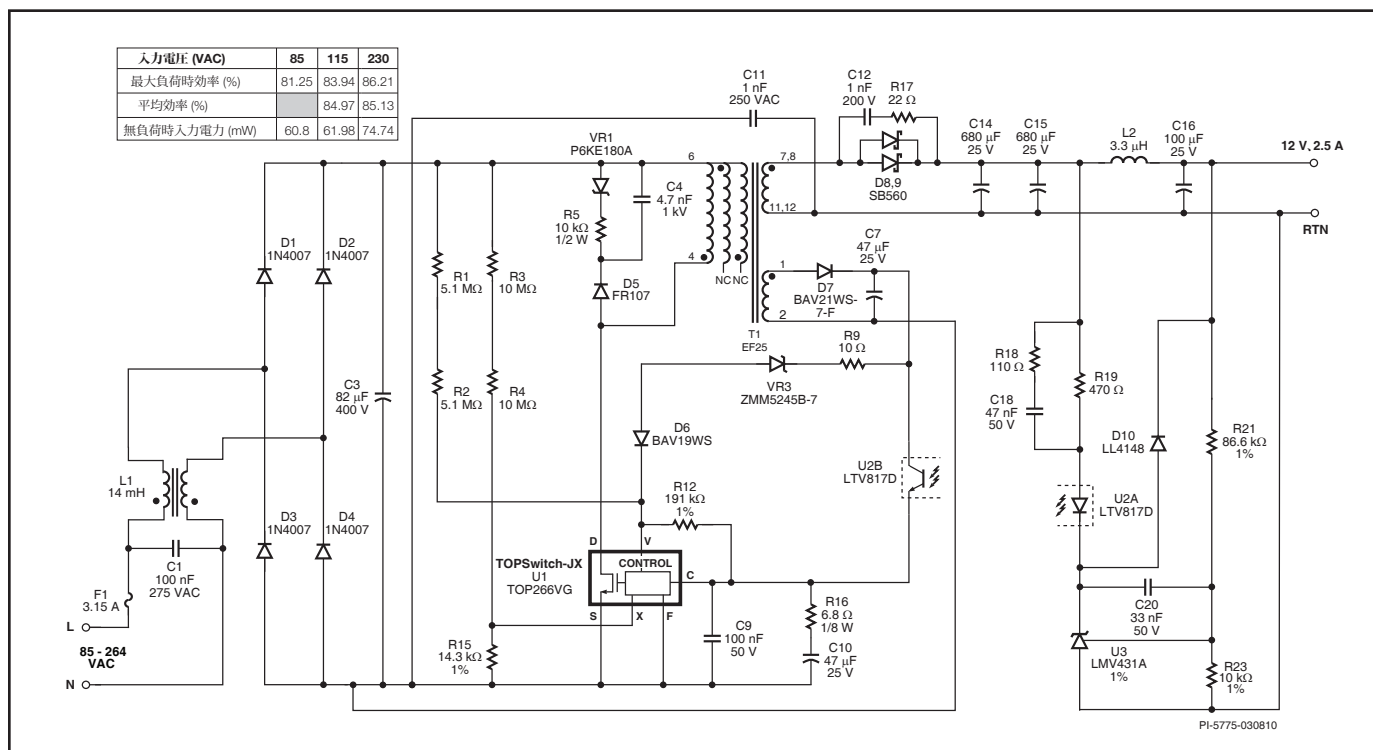


図 32 低無負荷時待機電力、高効率の 12 V 30 W、ユニバーサル入力フライバック電源

多くの設計では、50 Ω より小さい抵抗を C4 と直列に接続して、高周波リンギングを減衰させ、EMI を改善することがありますが、このケースでは必要ありません。

フィードバック回路

- 二次側バイアス電流を小さくして無負荷時待機電力を低減するために、高 CTR のフォトカプラを使用します。
- 二次側の基準 IC には、低電圧、低電流タイプを使用することで二次側フィードバック電流を低下させ、無負荷時待機電力を低減します。
- 高入力電圧、無負荷時のバイアス巻線電圧を約 9V に調整し、無負荷時待機電力を低減します。

高入力電圧時の CONTROL ピンに流入するフィードバック電流は、通常、約 3 mA です。この電流は、バイアス巻線 (C10 の両端電圧) 及び出力から直接供給されます。これらはどちらも電源出力の負荷になります。

無負荷時のバイアス巻線による消費電力を最小にするために、バイアス巻線の巻数と C7 の値を調整して、C7 の両端電圧の最小電圧を約 9 V にします。これは、フォトカプラを動作させるのに必要な最小電圧です。

二次側フィードバック回路の消費電力を最小限に抑えるために、高い CTR (CTR 300 ~ 600%) のフォトカプラ タイプを使用します。これにより、フォトカプラの二次側 LED 電流が約 3mA から 1mA 未満に低下し、出力の実効負荷も小さくなります。リファレンス IC を標準的な基準電圧 2.5V の TL431 から 1.24 V の LMV431 に置き換えることで、動作電流を 1 mA から 100 μ A に低減します。

出力ダイオードの選択

- 高 V_{OR} 設計により、高効率、低コストの 60 V ショットキーダイオードを使用できるようになります。

TOPSwitch-JX の BV_{DSS} 定格は 725 V という (標準パワー MOSFET の 600 V または 650 V 定格と比べて) 大きな値であるため、トランスの一次側と二次側の巻き数比 (跳ね返り電圧または V_{OR}) を大きくすることが可能です。これにより、出力ダイオードの電圧ストレスが低減され、(80 V または 100 V に対して) 低コストで高効率の 60 V ショットキー ダイオードを使用できるようになります。低電圧のダイオードを使用することで順方向電圧が小さくなり、効率を改善します。低コストと高効率を実現するために、2 つの 5 A、60 V のアキシャル ショットキー ダイオードを並列接続します。これにより、ダイオードの基板への放熱が可能になり、コストを低減すると同時に、単一の TO-220 パッケージの高電流ダイオードにヒートシンクを取り付けた場合と比較しても効率を維持することができます。この構成では、両方のダイオードに定格電流が出力電流の 2 倍のものを使用し、カソードを共通にして温度が均一になるように PCB に放熱することを推奨します。これにより、ダイオード電流は効果的に分配されるようになります。

出力インダクタとソフトスタート

- インダクタ L2 は、出力のソフトな立ち上がりを実現し、コンデンサを不要にします。

起動時の出力オーバーシュートを防止するために、L2 に発生する電圧を使用してソフトスタート機能を実現します。L2 の両端電圧が U2A と D10 の順方向電圧降下を超えると、フォトカプラの LED に電流が流れ、一次側にフィードバックされます。これにより、出力電圧がレギュレーションに達するまで出力電圧の上昇率を制限します。これは、通常、U3 にコンデンサを接続して実現しますが、この構成により、このコンデンサの削除を可能にします。

付録 B

多出力フライバック電源設計

合計出力電力が同じ多出力フライバック電源と単出力フライバック電源の唯一の違いは、二次側の設計です。

集中型出力電力で設計する

シンプルな多出力フライバック設計は、AN-22 「TOPSwitch を使用した多出力フライバック電源の設計」 に詳しく説明されています。設計方式は、全出力の出力電力をメイン出力に集中することで、単出力相当から始めます。二次側ピーク電流 I_{sp} 及び RMS 電流 I_{SRMS} が供給されます。集中電力に対応する出力平均電流 I_o も計算されます。

簡素化の想定

個々の出力巻線の電流波形は、漏れインダクタンス、整流特性、コンデンサ値、及び出力負荷の関数である、各回路のインピーダンスによって決まります。この電流波形は出力から出力へとまったく同じではないかも知れませんが、最初の段階として、組み合わせ回路の単出力相当では全出力電流が同じ形を持ちます。

出力 RMS 電流と平均電流

出力平均電流は常に DC 負荷電流と等しくなりますが、RMS 値は電流波形によって決まります。電流波形は、全出力で同じであると想定されるため、平均電流に対する RMS の比率も同じである必要があります。したがって、既知の出力平均電流を使用する場合、各出力巻線の RMS 電流は、以下のように計算されます。ここで $I_{SRMS(n)}$ 及び $I_{o(n)}$ は、二次側 RMS 電流及び出力の出力平均電流で、 I_{SRMS} 及び I_o は、二次側 RMS 電流及び集中単一出力相当設計の出力平均電流です。

$$I_{SRMS}(n) = I_o(n) \times \frac{I_{SRMS}}{I_o}$$

各出力の二次側設計のカスタマイズ

各二次側巻線のターン数は、それぞれの出力電圧 $V_{o(n)}$ に基づいて計算します。

$$N_s(n) = N_s \times \frac{V_o(n) + V_D(n)}{V + V_D}$$

出力整流最大逆電圧は

$$PIV_s(n) = V_{MAX} \times \frac{N_s(n)}{N_p} + V_o(n)$$

出力 RMS 電流 $I_{SRMS(n)}$ では、二次側ターン数 $N_{s(n)}$ 及び既知の出力整流最大逆電圧 $PIV_{s(n)}$ 、各出力の二次側設計は、単出力設計と全く同様に行えるようになりました。

二次側巻線サイズ

TOPSwitch-JX 設計計算シートは、二次側巻線の直径を計算する場合、CMA 200 を想定しています。これにより、個別の巻線を使用した各出力の RMS 電流に必要な最小ワイヤサイズがわかります。優れた放熱性を得るために、より大きいサイズのワイヤを設計者は希望するかも知れません。表皮効果やボビンの占有率等のその他の検討事項により、平行に巻いた複数ストランドを使用することで、より小さいワイヤの使用が提案される場合があります。さらに、トランス製造の実用的な検討事項も、ワイヤサイズを決定します。

改訂	備考	日付
A	初回リリース	2010 年 03 月
B	新しい PI スタイルを使用して更新しました。	2017 年 12 月

最新の情報については、弊社ウェブサイトを参照してください。 www.power.com

Power Integrations は、信頼性や製造性を向上するために、随時製品に対して変更を行う権利を留保します。Power Integrations は、本書に記載された装置または回路の使用に起因するいかなる責任も負わないものとします。Power Integrations は、ここでは何らの保証もせず、商品性、特定目的に対する適合性、及び第三者の権利の非侵害の黙示保証なども含めて、すべての保証を明確に否認します。

特許情報

ここで例示した製品及びアプリケーション (PI デバイス IC の外付けトランス構造と回路も含む) は、米国及び他国の特許の対象である場合があります。また、Power Integrations に譲渡された米国及び他国の出願中特許の対象である可能性があります。Power Integrations が保有する特許の全リストは、www.power.com に掲載されています。Power Integrations は、<http://www.power.com/ip.htm> の定めるところに従って、特定の特許権に基づくライセンスをお客様に許諾します。

生命維持に関する方針

Power Integrations の社長の書面による明示的な承認なく、Power Integrations の製品を生命維持装置またはシステムの重要な構成要素として使用することは認められていません。本書で使用されるように:

- 「生命維持装置またはシステム」とは、(i) 外科手術による肉体への埋め込みを目的としているか、または (ii) 生命活動を支援または維持するものであり、かつ (iii) 指示に従って適切に使用した時に動作しないと、利用者に深刻な障害または死をもたらすと合理的に予想されるものです。
- 「重要な構成要素」とは、生命維持装置またはシステムの構成要素のうち、動作しないと生命維持装置またはシステムの故障を引き起こすか、あるいは安全性または効果に影響を及ぼすと合理的に予想される構成要素です。

PI ロゴ、TOPSwitch、TinySwitch、SENZero、SCALE、SCALE-iDriver、SCALE-iFlex、Qspeed、PeakSwitch、LYTSwitch、LinkZero、LinkSwitch、InnoSwitch、HyperTFS、HyperPFS、HyperLCS、DPA-Switch、CAPZero、Clampless、EcoSmart、E-Shield、Filterfuse、FluxLink、StakFET、PI Expert、及び PI FACTS は Power Integrations, Inc. の商標です。その他の商標は、各社の所有物です。©2017, Power Integrations, Inc.

Power Integrations の世界各国の販売サポート担当

本社

5245 Hellyer Avenue
San Jose, CA 95138, USA
代表: +1-408-414-9200
カスタマー サービス:
上記以外の国: +1-65-635-64480
南北アメリカ: +1-408-414-9621
電子メール: usasales@power.com

中国 (上海)

Rm 2410, Charity Plaza, No. 88
North Caoxi Road
Shanghai, PRC 200030
電話: +86-21-6354-6323
電子メール: chinasales@power.com

中国 (深圳)

17/F, Hivac Building, No. 2, Keji Nan
8th Road, Nanshan District,
Shenzhen, China, 518057
電話: +86-755-8672-8689
電子メール: chinasales@power.com

ドイツ (AC-DC/LED 販売)

Lindwurmstrasse 114
D-80337 München
ドイツ
電話: +49-89-5527-39100
電子メール:
eurosales@power.com

ドイツ (ゲートドライバ販売)

HellwegForum 1
59469 Ense
ドイツ
電話: +49-2938-64-39990
電子メール:
igbt-driver.sales@power.com

インド

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
電話: +91-80-4113-8020
電子メール:
indiasales@power.com

イタリア

Via Milanese 20, 3rd.Fl.
20099 Sesto San Giovanni (MI) Italy
電話: +39-024-550-8701
電子メール: eurosales@power.com

日本

〒222-0033
神奈川県横浜市港北区新横浜 1-7-9
2-12-11
友泉新横浜一丁目ビル
電話: +81-45-471-1021
電子メール: japansales@power.com

韓国

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
電話: +82-2-2016-6610
電子メール: koreasales@power.com

シンガポール

51 Newton Road
#19-01/05 Goldhill Plaza
Singapore, 308900
電話: +65-6358-2160
電子メール:
singaporesales@power.com

台湾

5F, No. 318, Nei Hu Rd., Sec.1
Nei Hu Dist.
Taipei 11493, Taiwan R.O.C.
電話: +886-2-2659-4570
電子メール: taiwansales@power.com

英国

Building 5, Suite 21
The Westbrook Centre
Milton Road
Cambridge
CB4 1YG
電話: +44 (0) 7823-557484
電子メール: eurosales@power.com